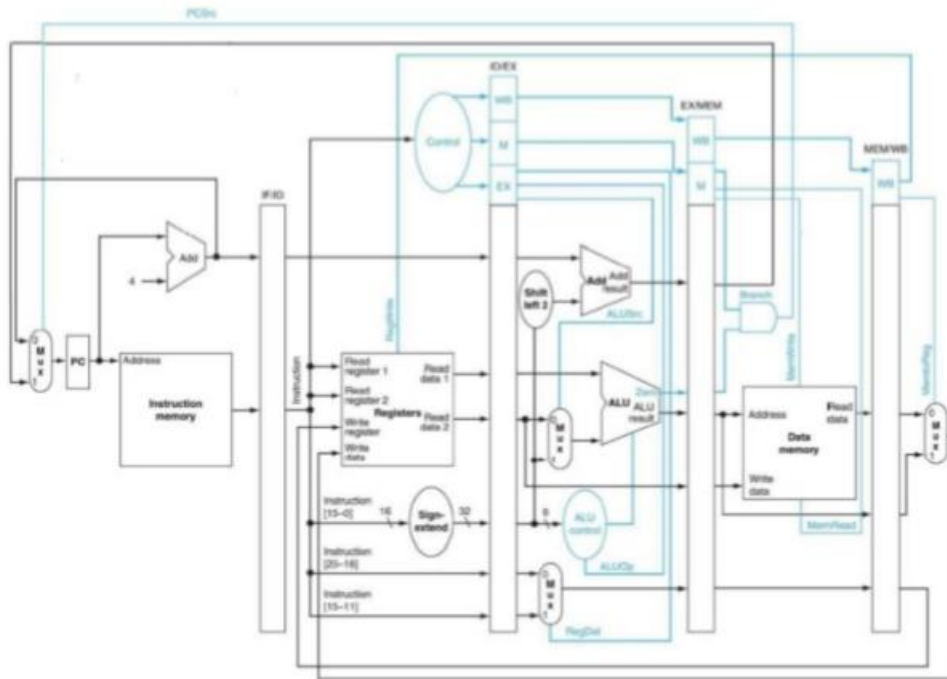


## MY Architecture :



與講義上的一模一樣。

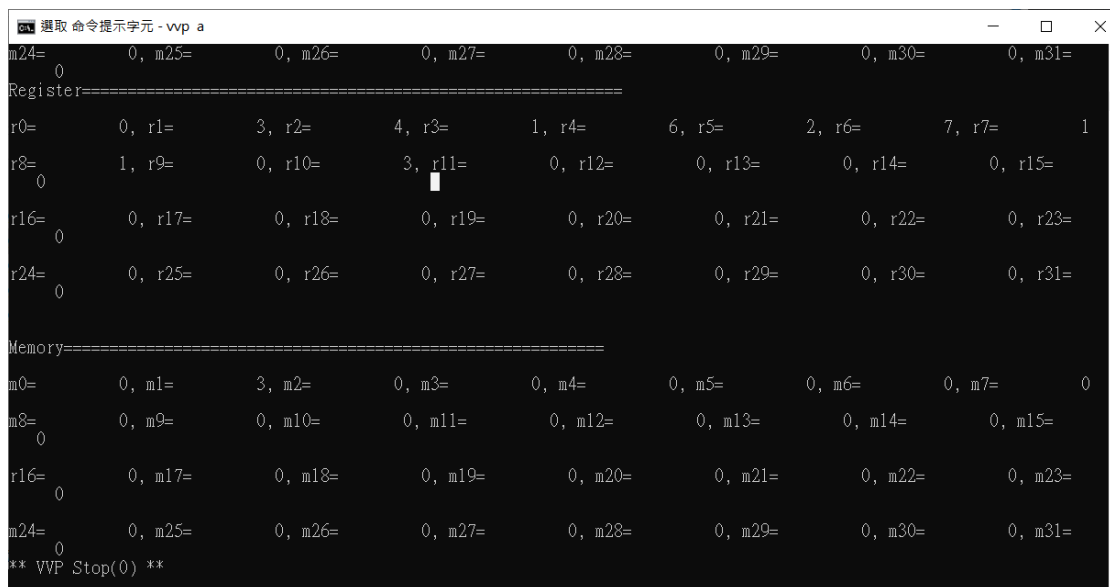
## Hardware Module Analysis :

這次與 lab3 不一樣的點在於多了 Pipe\_Reg 和 Pipe\_CPU\_1，Pipe\_Reg 是用來存每個 pipeline 間的 data 讓他可以保存一個 clock 後在傳遞到下個 pipe，有點像一個 register 的概念，而 Pipe\_CPU\_1 其實就是上次的 single\_cycle\_cpu，不同之處就是這次是 pipeline 所以會多了很多的 wire 來串接每個地方，寫起來較為複雜。

## Problems You Met and Solutions :

這次在寫 `pipeline_cpu` 遇到的困難主要都來自於寫 `Pipe_CPU_1` 上，因為這次主要的工作都是在接線上，其他 `code` 並沒有太大的變動，而這次因為將變數傳遞到下個地方，所以多了非常多的變數的名字，所以在接線上精神要十分集中不然一個不小心接錯 **Bug** 會非常難 **de**，很幸運地這次我一接完就過了，因此主要的困難還是在接線的過程吧，總共接了 2 個小時，看著一堆變數有時候常會搞混，但還好最後成功接完了~

## Result :



```
m24= 0, m25= 0, m26= 0, m27= 0, m28= 0, m29= 0, m30= 0, m31= 0
Register=====
r0= 0, r1= 3, r2= 4, r3= 1, r4= 6, r5= 2, r6= 7, r7= 1
r8= 1, r9= 0, r10= 3, r11= 0, r12= 0, r13= 0, r14= 0, r15= 0
r16= 0, r17= 0, r18= 0, r19= 0, r20= 0, r21= 0, r22= 0, r23= 0
r24= 0, r25= 0, r26= 0, r27= 0, r28= 0, r29= 0, r30= 0, r31= 0
Memory=====
m0= 0, m1= 3, m2= 0, m3= 0, m4= 0, m5= 0, m6= 0, m7= 0
m8= 0, m9= 0, m10= 0, m11= 0, m12= 0, m13= 0, m14= 0, m15= 0
r16= 0, m17= 0, m18= 0, m19= 0, m20= 0, m21= 0, m22= 0, m23= 0
m24= 0, m25= 0, m26= 0, m27= 0, m28= 0, m29= 0, m30= 0, m31= 0
** VVP Stop(0) **
```

上圖是 `test1` 跑完的結果

## Bonus:

下圖是跑完的結果

```
選擇 命令提示字元 - vwp a
m24= 0, m25= 0, m26= 0, m27= 0, m28= 0, m29= 0, m30= 0, m31=
Register=====
r0= 0, r1= 16, r2= 20, r3= 8, r4= 16, r5= 8, r6= 24, r7= 26
r8= 0, r9= 100, r10= 0, r11= 0, r12= 0, r13= 0, r14= 0, r15=
r16= 0, r17= 0, r18= 0, r19= 0, r20= 0, r21= 0, r22= 0, r23=
r24= 0, r25= 0, r26= 0, r27= 0, r28= 0, r29= 0, r30= 0, r31=
Memory=====
m0= 0, m1= 16, m2= 0, m3= 0, m4= 0, m5= 0, m6= 0, m7= 0
m8= 0, m9= 0, m10= 0, m11= 0, m12= 0, m13= 0, m14= 0, m15=
r16= 0, m17= 0, m18= 0, m19= 0, m20= 0, m21= 0, m22= 0, m23=
m24= 0, m25= 0, m26= 0, m27= 0, m28= 0, m29= 0, m30= 0, m31=
** VWP Stop(0) **
```

MACHINE CODE:

I1: addi \$1,\$0,16

I3: addi \$3,\$0,8

NO OPERATION

I4: sw \$1,4(\$0)

I5: lw \$4,4(\$0)

I2: addi \$2,\$1 ,4

I8: addi \$7,\$1,10

I7: add \$6,\$3,\$1

I6: sub \$5,\$4,\$3

I9: and \$8,\$7,\$3

I10: addi \$9,\$0,100

## Summary :

這次的 LAB 就是上次的 LAB3 的進階版，指令並沒有太多的不同，但因為要改 PIPELINE 所以接線上真的比以往複雜了非常多，但也因為如此所以只要有 BUG 就一定是線沒接好，DEBUG 比較沒有上次來的複雜，因為確定是哪個模組錯了就好 DE 很多，但也因為 PIPELINE 的這個模組很複雜，要找出 BUG 也是需要一點心力，因此這次我在接線時十分得小心翼翼，深怕只要不小心接錯 BUG 會很難找出來，每打完一個 STAGE 就反覆檢查三遍，還好有經過這個縝密的檢查，才得以讓我 SIMULATE 一次就過了，十分開心，這次自己實作 PIPELINE 我覺得十分有成就感，感覺有把上課學到的東西實做出來，雖然接線過程有點累，但換來的成就感也是十分多的!