

COGNOMS: MASSACHS GÜELL

NOM: JOAN

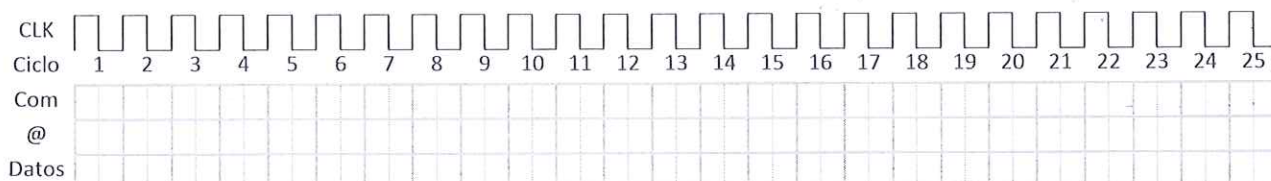
DNI: 41598334M

## Problema 2. (3,6 puntos)

Una CPU está conectada a una cache de instrucciones (\$I) y una cache de datos (\$D). El conjunto formado por CPU+\$I+\$D está conectado a una memoria principal formada por un único módulo DIMM estándar de 8 GBytes. Este DIMM tiene 8 chips de memoria DDR-SDRAM (Double Data Rate Synchronous DRAM) de 1 byte de ancho cada uno. El DIMM está configurado para leer/escribir ráfagas de 64 bytes (justo el tamaño de bloque de las caches). La latencia de fila es de 4 ciclos, la latencia de columna de 3 ciclos y la latencia de precarga de 1 ciclo.

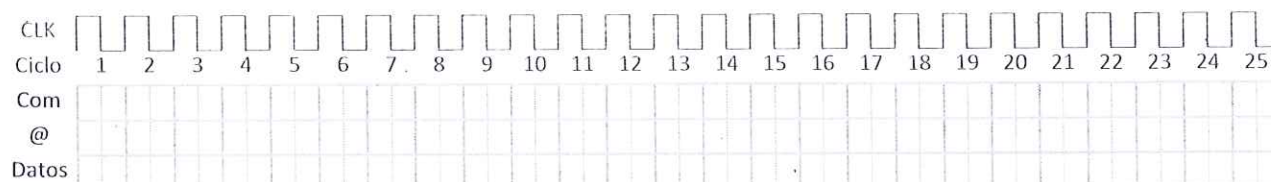
En los siguientes cronogramas, indica la ocupación de los distintos recursos de la memoria DDR: bus de datos, bus de direcciones y bus de comandos. En todos los cronogramas supondremos que no hay ninguna página de DRAM abierta.

a) Rellena el siguiente cronograma para una lectura de un bloque de 64 bytes de la DDR.

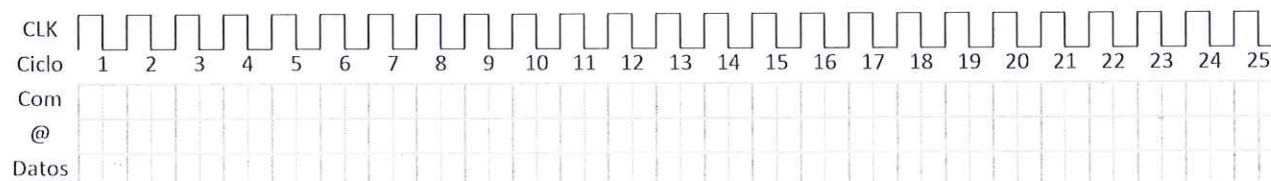


En ocasiones, es posible que el conjunto CPU+\$I+\$D solicite múltiples bloques a la DDR (por ejemplo porque se produzca un fallo simultáneamente en \$I y en \$D). El controlador de memoria envía los comandos necesarios a la DDR-SDRAM de forma que ambos bloques sean transferidos lo más rápidamente posible y se maximice el ancho de banda. Rellena los siguientes cronogramas para la lectura de dos bloques de 64 bytes en función de la ubicación de los dos bloques involucrados. El objetivo es minimizar el tiempo total.

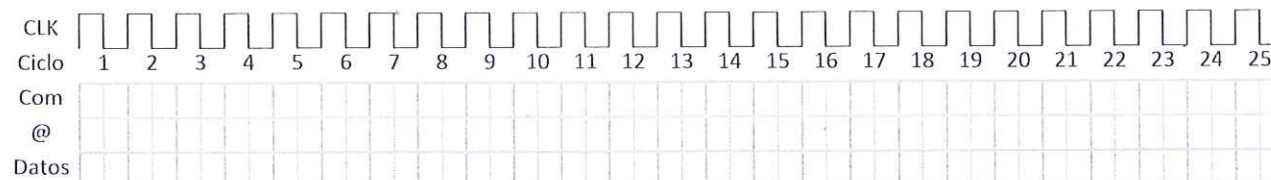
b) Ambos bloques están ubicados en el mismo banco y en la misma página.



c) Ambos bloques están ubicados en el mismo banco pero en páginas distintas.



d) Ambos bloques están ubicados en bancos distintos.



El conjunto CPU+\$I+\$D funciona a una frecuencia interna mayor que la memoria SDRAM. Un ciclo de la SDRAM corresponde a múltiples ciclos de CPU por lo que los ciclos de los apartados siguientes no se corresponden a los cronogramas anteriores.