

# 于博士信号完整性分析入门

于争 博士

[www.sig007.com](http://www.sig007.com)

整理:runnphoenix

# 什么是信号完整性?

如果你发现，以前低速时代积累的设计经验现在似乎都不灵了，同样的设计，以前没问题，可是现在却无法工作，那么恭喜你，你碰到了硬件设计中最核心的问题：**信号完整性**。早一天遇到，对你来说是好事。

在过去的低速时代，电平跳变时信号上升时间较长，通常几个 ns。器件间的互连线不至于影响电路的功能，没必要关心信号完整性问题。但在今天的高速时代，随着 IC 输出开关速度的提高，很多都在皮秒级，不管信号周期如何，几乎所有设计都遇到了信号完整性问题。另外，对低功耗追求使得内核电压越来越低，1.2v 内核电压已经很常见了。因此系统能容忍的噪声余量越来越小，这也使得信号完整性问题更加突出。

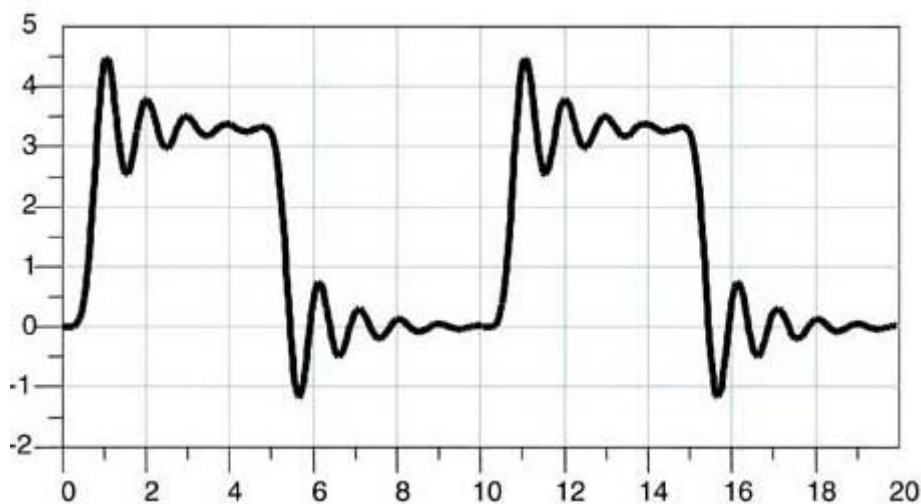
广义上讲，**信号完整性**是指在电路设计中互连线引起的所有问题，它主要研究互连线的电气特性参数与数字信号的电压电流波形相互作用后，如何影响到产品性能的问题。主要表现在对时序的影响、信号振铃、信号反射、近端串扰、远端串扰、开关噪声、非单调性、地弹、电源反弹、衰减、容性负载、电磁辐射、电磁干扰等。

**信号完整性**问题的根源在于信号上升时间的减小。即使布线拓扑结构没有变化，如果采用了信号上升时间很小的 IC 芯片，现有设计也将处于临界状态或者停止工作。

下面谈谈几种常见的信号完整性问题。

## 反射:

图 1 显示了信号反射引起的波形畸变。看起来就像振铃，拿出你制作的电路板，测一测各种信号，比如时钟输出或是高速数据线输出，看看是不是存在这种波形。如果有，那么你对信号完整性问题有个感性的认识了，对，这就是一种信号完整性问题。



很多硬件工程师都会在时钟输出信号上串接一个小电阻，至于为什么，他们中很多人都说不清楚，他们会说，很多成熟设计上都有，照着做的。或许你知道，可是确实很多人说不清这个小小电阻的作用，包括很多有了三四年经验的硬件工程师，很惊讶么?可这确实是事实，我碰到过很多。其实这个小电阻的作用就是为了解决信号反射问题。而且随着电阻的加大，振铃会消失，但你会发现信号上升沿不再那么陡峭了。这个解决方法叫阻抗匹配，奥，对了，一定要注意阻抗匹配，阻抗在信号完整性问题中占据着极其重要的

地位。

### **串扰：**

如果足够细心你会发现，有时对于某根信号线，从功能上来说并没有输出信号，但测量时，会有幅度很小的规则波形，就像有信号输出。这时你测量一下与它邻近的信号线，看看是不是有某种相似的规律！对，如果两根信号线靠的很近的话，通常会有的。这就是串扰。当然，被串扰影响的信号线上的波形不一定和邻近信号波形相似，也不一定有明显的规律，更多的是表现为噪声形式。串扰在当今的高密度电路板中一直是个让人头疼的问题，由于布线空间小，信号必然靠得很近，因此你必须面对它，只能控制但无法消除。对于受到串扰的信号线，邻近信号的干扰对他来说就相当于噪声。

串扰大小和电路板上的很多因素有关，并不是仅仅因为两根信号线间的距离。当然，距离最容易控制，也是最常用的解决串扰的方法，但不是唯一方法。这也是很多工程师容易误解的地方。更深入的讨论，我会在后续文章中陆续推出，如果你感兴趣，可以常来于博士信号完整性研究网 <http://www.sig007.com>，关注博士讲坛栏目。

### **轨道塌陷：**

噪声不仅存在于信号网络中，电源分配系统也存在。我们知道，电源和地之间电流流经路径上不可避免存在阻抗，除非你能让电路板上的所有东西都变成超导体。那么，当电流变化时，不可避免产生压降，因此，真正送到芯片电源管脚上的电压会减小，有时减小得很厉害，就像电压突然产生了塌陷，这就是**轨道塌陷**。轨道塌陷有时会产生致命的问题，很可能影响你的电路板的功能。高性能处理器集成的门数越来越多，开关速度也越来越快，在更短的时间内消耗更多的开关电流，可以容忍的噪声变得越来越小。但同时控制噪声越来越难，因为高性能处理器对电源系统的苛刻要求，构建更低阻抗的电源分配系统变得越来越困难。你可能注意到了，又是阻抗，理解阻抗是理解信号完整性问题的关键。

信号完整性问题涉及面比较广，这里只是简单介绍几种现象，希望这篇文章能让你对信号完整性有个初步的认识。信号完整性，将是每个硬件工程师的必修课。早一天接触，早一天受益。

# 何时会遇到信号完整性问题

多年前，在我开始研究信号完整性问题时也曾经有过这样的疑问，随着对信号完整性理解的深入，便没有再仔细考虑。后来在产品开发过程中，朋友、同事经常向我提出这一问题。有些公司制作复杂电路板时，硬件总也调不通，于是找到我，当我解决了问题，并告诉他们，原因就在于没有处理好信号完整性设计，负责开发的硬件工程师也会提出同样的问题。他们通常的说法是：高速电路中会有问题，可是什么情况下必须进行专门的信号完整性设计？

不断的有人问我，我不得不作更深入的思考。说实话，这个问题很难回答，或者说他们这种问法很难回答。他们的意思可以解释为，速度高了就要考虑信号完整性，低速板不存在这个问题，那总要有个临界频率，这个频率是多少？有人曾提出过这样的论点，当外部总线频率超过 80MHz 时，就要进行专门的分析设计，低于这一频率，不用考虑信号完整性问题。对这一论点，我不敢苟同。仔细分析，他们这种问法的背后是对信号完整性的一种误解。

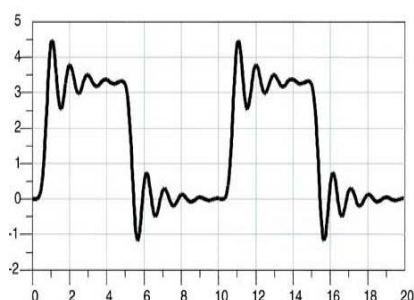
如果必须有一个答案的话，我想答案应该是：只要信号畸变到了无法容忍的程度就要考虑信号完整性问题。呵呵，听起来像是在胡说八道，不过这确实是能找到的最好的答案了。

要想弄清这个问题，必须先了解信号完整性的实质到底是什么。产生信号完整性的原因很多，频率（值得推敲，暂且借用提问者的说法）只不过是其中的一个而已，怎么能单单用频率来强行地划分界线！顺便说一句，很多人说频率的影响，其实这个词很值得推敲：频率到底指的是哪个部分的频率？电路板上主时钟频率，芯片内部主频，外部总线带宽，数字信号波形带宽，电磁辐射频率，影响信号完整性的频率到底指的是哪一个？问题根源在于信号上升时间。如果你不是很理解，可以到[于博士信号完整性研究网](#)学习。

信号完整性最原始的含义应该是：信号是否能保持其应该具有的波形。很多因素都会导致信号波形的畸变，如果畸变较小，对于电路板不会产生影响，可是如果畸变很大，就可能影响电路的功能。系统频率（芯片内部主频以及外部频率）、电磁干扰、电源波纹噪声，数字器件开关噪声、系统热噪声等都会对信号产生影响，频率并不具有特殊的地位，你不能把所有的注意力都放在频率这个因素上。

那么这里又会出现另一个问题，波形畸变多大，会对电路板功能产生影响。这没有确定统一的指标，和具体应用以及电路板的其他电气指标有关。对于数字信号而言，对畸变的容忍度较大。能有多大的容忍度，还要考虑电路板上的电源系统供电电压波纹有多大，系统的噪声余量有多大，所用器件对于信号建立时间和保持时间的要求是多少等等。对于模拟信号，相对比较敏感，容忍度较小，至于能容忍多大的畸变，和系统噪声，器件非线性特性，电源质量等等有关。

是不是听起来很晦涩？确实，要说清楚这个问题并不容易，因为牵扯到了太多的因素在内。下面这个数字信号波形的例子能让你有一个简单直观的理解。



这是一个受反射影响的方波数字信号，波形的畸变仅仅是反射的结果，没有迭加其他噪声。假设低电平逻辑小于  $0.7v$ ，高电平大于  $2v$ 。对于高电平来说，震荡的低谷部分可能会冲到  $2v$  以下，此时电路处于不定态，可能引起电路误动作。所以，迭加在高电平上的波纹幅度不能太大。由于电路存在噪声，电源也有波纹，这些最终都会迭加到信号波形上，所以你计算波纹幅度的时候要考虑这些因素，而这些因素和你的电路板其他部分设计有关。所以你无法确定一个统一的畸变标准，只能根据你具体电路的设计和应用综合考虑。最终的原则只有一个：通过信号完整性设计、电源完整完整性设计等手段，将总的信号畸变控制在一定范围内，保证电路板正常稳定工作。

工程中，解决信号完整性的问题是一个系统的工程，并不是一两种方法就可以包打天下的。什么时候会碰到信号完整性问题也不是可以硬性的划一道线来区分，一句话，要根据你的实际情况来定。

可能你会感觉，这么多不确定的因素，还怎么在最初设计的时候考虑信号完整性问题？嗯，没问题的，其实对于所有影响信号质量的因素，你都可以通过一定的设计技术来控制。对于电源波纹问题，那是电源完整性的问题，又是一个系统的工程。而其他的电磁干扰，电磁兼容等则是另外一个系统工程。

总之，信号完整性问题涉及的知识较多，是一个跨学科的知识体系。网上关于信号完整性基础知识讲解很多，但很少有讲得很深入的。要想学好信号完整性，你需要有一定的精力投入，但可以告诉你，只要掌握学习方法，其实不难。一旦你学好它，回报是非常高的，毕竟这方面的人才现在是奇缺，很多公司给信号完整性工程师开价都在  $25W$  以上，如果你很牛的话，呵呵，决不是这个价。

好了，废话就不多说了。对于信号完整性技术问题，我会在于博士信号完整性研究网的博士讲坛栏目进行深入探讨。

# 重视信号上升时间

信号的上升时间，对于理解信号完整性问题至关重要，高速 pcb 设计中的绝大多数问题都和它有关，你必须对它足够重视。

信号上升时间并不是信号从低电平上升到高电平所经历的时间，而是其中的一部分。业界对它的定义尚未统一，最好的办法就是跟随上游的芯片厂商的定义，毕竟这些巨头有话语权。通常有两种：第一种定义为 10-90 上升时间，即信号从高电平的 10% 上升到 90% 所经历的时间。另一种是 20-80 上升时间，即信号从高电平的 20% 上升到 80% 所经历的时间。两种都被采用，从 **IBIS 模型** 中可看到这点。对于同一种波形，自然 20-80 上升时间要更短。

好了，只要了解这些就够了。对于我们终端应用来说，精确的数字有时并不是很重要，而且这个数值芯片厂商通常也不会直接给我们列出，当然有些芯片可以从 IBIS 模型中大致估计这个值，不幸的是，不是每种芯片你都能找到 IBIS 模型。

重要的是我们必须建立这样的概念：**上升时间对电路性能有重要的影响，只要小到某一范围，就必须引起注意，哪怕是一个很模糊的范围。**没有必要精确定义这个范围标准，也没有实际意义。你只需记住，现在的芯片加工工艺使得这个时间很短，已经到了 ps 级，你应该重视他的影响的时候了。

随着信号上升时间的减小，反射、串扰、轨道塌陷、电磁辐射、地弹等问题变得更严重，噪声问题更难以解决，上一代产品的设计方案在这一代产品中可能已经不适用了。

信号上升时间的减小，从频谱分析的角度来说，相当于信号带宽的增加，也就是信号中有更多的高频分量，正是这些高频分量使得设计变得更加困难。互连线必须作为传输线来对待，从而产生了很多以前没有的问题。

因此，学习信号完整性，你必须有这样的概念：**信号陡峭的上升沿，是产生信号完整性问题的罪魁祸首。**

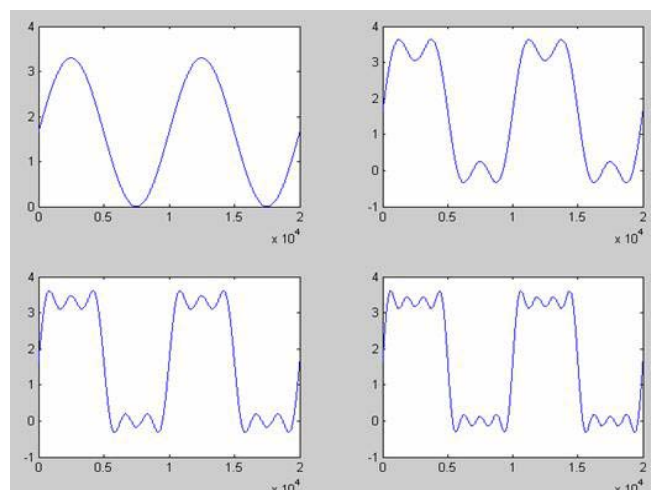
# 信号上升时间与带宽

在前文中我提到过，要重视信号上升时间，很多信号完整性问题都是由信号上升时间短引起的。本文就谈谈一个基础概念：**信号上升时间和信号带宽的关系**。

对于数字电路，输出的通常是方波信号。方波的上升边沿非常陡峭，根据傅立叶分析，任何信号都可以分解成一系列不同频率的正弦信号，方波中包含了非常丰富的频谱成分。

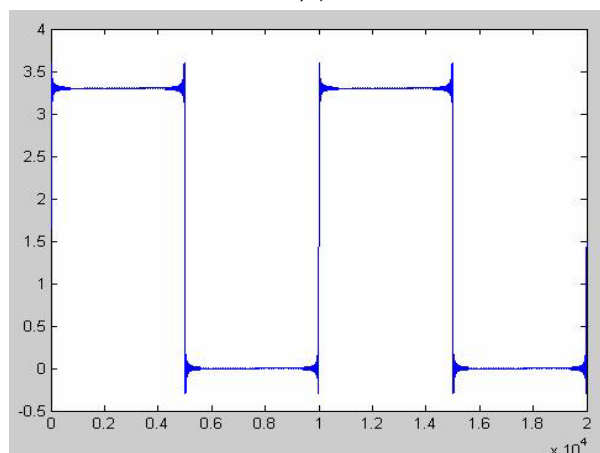
抛开枯燥的理论分析，我们用实验来直观的分析方波中的频率成分，看看不同频率的正弦信号是如何叠加成为方波的。首先我们把一个 1.65v 的直流和一个 100MHz 的正弦波形叠加，得到一个直流偏置为 1.65v 的单频正弦波。我们给这一信号叠加整数倍频率的正弦信号，也就是通常所说的谐波。3 次谐波的频率为 300MHz，5 次谐波的频率为 500MHz，以此类推，高次谐波都是 100MHz 的整数倍。图 1 是叠加不同谐波前后的比较，左上角的是直流偏置的 100MHz 基频波形，右上角时基频叠加了 3 次谐波后的波形，有点类似于方波了。左下角是基频+3 次谐波+5 次谐波的波形，右下角是基频+3 次谐波+5 次谐波+7 次谐波的波形。这里可以直观的看到叠加的谐波成分越多，波形就越像方波。

图 1



因此如果叠加足够多的谐波，我们就可以近似的合成出方波。图 2 是叠加到 217 次谐波后的波形，已经非常近似方波了，不用关心角上的那些毛刺，那是著名的**吉布斯现象**，仿真必然会有，不影响对问题的理解。这里我们叠加谐波的最高频率达到了 21.7GHz。

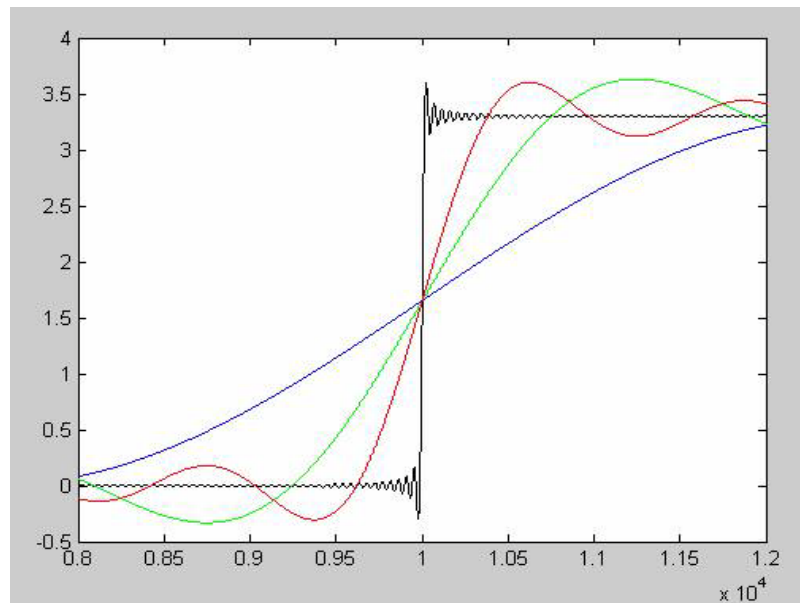
图 2



上面的实验非常有助于我们理解方波波形的本质特征，理想的方波信号包含了无穷多的谐波分量，可以说带宽是无限的。实际中的方波信号与理想方波信号有差距，但有一点是共同的，就是所包含频率很高的频谱成分。

现在我们看看叠加不同频谱成分对上升沿的影响。图 3 是对比显示。蓝色是基频信号上升边，绿色是叠加了 3 次谐波后的波形上升边沿，红色是基频+3 次谐波+5 次谐波+7 次谐波后的上升边沿，黑色的是一直叠加到 217 次谐波后的波形上升边沿。

图 3



通过这个实验可以直观的看到，谐波分量越多，上升沿越陡峭。或从另一个角度说，如果信号的上升边沿很陡峭，上升时间很短，那该信号的带宽就很宽。上升时间越短，信号的带宽越宽。这是一个十分重要的概念，一定要有一个直觉的认识，深深刻在脑子里，这对你学习信号完整性非常有好处。

这里说一下，最终合成的方波，其波形重复频率就是 100MHz。叠加谐波只是改变了信号上升时间。信号上升时间和 100MHz 这个频率无关，换成 50MHz 也是同样的规律。如果你的电路板输出数据信号只是几十 MHz，你可能会不在意信号完整性问题。但这时你想想信号由于上升时间很短，频谱中的那些高频谐波会有什么影响？记住一个重要的结论：**影响信号完整性的不是波形的重复频率，而是信号的上升时间。**

本文的仿真代码很简单，我把代码贴在这里，你可以自己在 matlab 上运行一下看看。

```
clc;    clear all;    pack;
Fs = 10e9;
Nsamp = 2e4;
t = [0:Nsamp-1].*(1/Fs);
f1 = 1e6;
x0 = 3.3/2;
x1 = x0 + 1.65*sin(2*pi*f1*t);
x3 = x0;
for n=1:2:3
    x3 = x3 + 3.3*2/(pi*n) * sin(2*pi*n*f1*t);
```



```

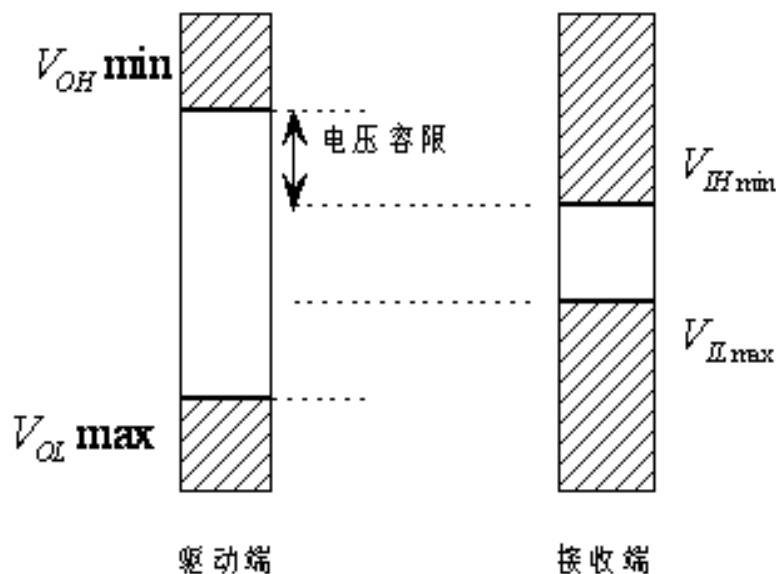
end
x5 = x0;
for n=1:2:5
    x5 = x5 + 3.3*2/(pi*n) * sin(2*pi*n*f1*t);
end
x7 = x0;
for n=1:2:7
    x7 = x7 + 3.3*2/(pi*n) * sin(2*pi*n*f1*t);
end
figure
subplot(221)
plot(x1)
subplot(222)
plot(x3)
subplot(223)
plot(x5)
subplot(224)
plot(x7)
x217 = x0;
for n=1:2:217
    x217 = x217 + 3.3*2/(pi*n) * sin(2*pi*n*f1*t);
end
figure
plot(x217)
figure
plot(x217, 'k')
hold on
plot(x1, 'b')
plot(x3, 'g')
plot(x7, 'r')
hold off
axis([8000 12000 -0.5 4])

```

# 电压容限

在高速 pcb 设计中，有很大一部分工作是进行噪声预算，规划系统各种噪声源产生噪声大小。这就涉及到一个非常基础但十分重要的概念：电压容限。

电压容限是指驱动器的输出与接收端输入在最坏情况下的灵敏度之间的差值。很多器件都是输入电压敏感的。图中显示了驱动器输出与接受器输入电压之间的逻辑关系。



对于驱动器端输出高电平不低于  $V_{OH\ min}$ ，输出低电平不高于  $V_{OL\ max}$ 。而对于接收端输入来说，只要高于  $V_{IH\ min}$ ，就可以保证可靠接收到逻辑 1，只要低于  $V_{IL\ max}$  即可保证接收到逻辑 0。而如果输入电压位于  $V_{IH\ min}$  和  $V_{IL\ max}$  之间的区域时，可能被接收电路判为 1，也可能判为 0，因此对于接收电路来说输入电压不能处于这个不定态区域。以高电平输出和输入关系来看，最小的输出值和最小允许输入值之间存在一个差值，这个值就是高电平的电压容限。即：

高电平电压容限 =  $V_{OH\ min} - V_{IH\ min}$  。

低电平电压容限 =  $V_{IL\ max} - V_{OL\ max}$  。

电压容限为处理电路系统中各种不理想因素提供了一个缓冲地带，使得系统能够在一定程度上容忍发送和接收过程中的信号畸变。电压容限在系统噪声预算设计中占有重要的作用，系统最终的噪声总量不能超过电压容限，否则，信号进入接收端的不定态区域时，系统将无法正常工作。

实际系统中总会有不理想的因素，造成信号的恶化，引入噪声。下面几种情况都会引入噪声：

1、由于回路阻抗的存在，回路中必然产生压降，导致各逻辑器件之间存在地电位差。门电路发送的信号是本地地电位上的一个固定电位，如果发送端与接收端的参考电位之间发生了偏移，那么收到的将会是另外一个电位。

2、某些逻辑系列产品的门限电平是一个温度的函数。温度较低的门电路到温度较高的门电路的信号传送可能容限减少或者负的容限值。

3、快速变化的返回信号电流，流经接地通路电感，引起逻辑器件之间的对地电压变化。这些对地电压差对于接收信号电位的影响就像上面所说的直流地电位差一样。这是感性串扰的一种形式。

4、邻近线路上的信号可能通过各自的互容或互感相互耦合，对某个指定的线路产生串扰。串扰叠加到预期的接收信号之上，可能使一个好信号偏移到邻近开关门限。

5、振铃、反射、长的线路使二进制信号的形状产生扭曲。与发射端相比，接收端变化了的信号显得更小（或更大）。容限为信号失真流出了一些容许限度。

前两种情况在所有电子系统都会存在，无论其运行速度如何。后三种是高速系统特有的。这3个高速效应都随被传输信号的大小而改变：信号返回电流越大，引起的地电位差越高。信号电压（或电流）越大，产生的串扰越多，而且传输信号越大，表现出的振铃和反射越严重。因此不论是低速还是高速系统，都不可避免的引入噪声，而电压容限给了系统调整地余地。

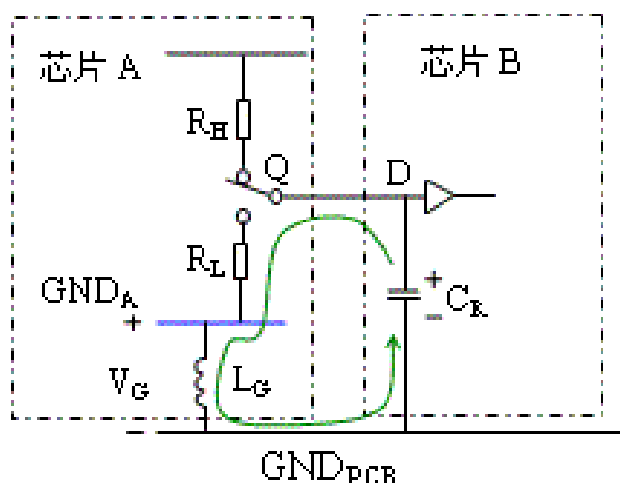
# 什么是地弹

所谓“地弹”，是指芯片内部“地”电平相对于电路板“地”电平的变化现象。以电路板“地”为参考，就像是芯片内部的“地”电平不断的跳动，因此形象的称之为地弹（ground bounce）。当器件输出端有一个状态跳变到另一个状态时，地弹现象会导致器件逻辑输入端产生毛刺。

那么“地弹”是如何产生的呢？

首先我们要明白，对于任何封装的芯片，其引脚会存在电感电容等寄生参数，而地弹正是由于引脚上的电感引起的。

我们可以用下图来直观地解释一下。图中开关  $Q$  的不同位置代表了输出的“0”“1”两种状态。假定由于电路状态装换，开关  $Q$  接通  $RL$  低电平，负载电容对地放电，随着负载电容电压下降，它积累的电荷流向地，在接地回路形成一个大的电流浪涌。随着放电电流建立然后衰减，这一电流变化作用于接地引脚的电感  $L_G$ ，这样在芯片外的电路板“地”与芯片内的地之间，会形成一定的电压差，如图中  $V_G$ 。这种由于输出转换引起的芯片内部参考地电位漂移就是地弹。



芯片 A 的输出变化，产生地弹。这对芯片 A 的输入逻辑是有影响的。接收逻辑把输入电压和芯片内部的地电压差分比较确定输入，因此从接收逻辑来看就象输入信号本身叠加了一个与地弹噪声相同的噪声。

现在，集成电路的规模越来越大，开关速度不断提高，地弹噪声如果控制不好就会影响电路的功能，因此有必要深入地弹的概念并研究它的规律。

本文只是概念性的阐述，对地弹的深入剖析将在后续文章中进行。

# 反射现象

前面讲过，对于数字信号的方波而言，含有丰富的高频谐波分量，边沿越陡峭，高频成分越多。而 pcb 上的走线对于高频信号而言相当于**传输线**，信号在传输线中传播时，如果遇到特性阻抗不连续，就会发生反射。反射可能发生在传输线的末端，拐角，过孔，元件引脚，线宽变化，T 型引线等处。总之，无论什么原因引起了传输线的阻抗发生突变，就会有部分信号沿传输线反射回源端。

反射形成机理很复杂，这包含了很多电磁领域的复杂的知识，本文不准备深入讨论，如果你真的很想知道，可以给我留言，我专门讲解。

工程中重要的是反射量的大小。表征这一现象的最好的量化方法就是使用**反射系数**。反射系数是指反射信号与入射信号幅值之比，其大小为： $(Z2-Z1)/(Z2+Z1)$ 。 $Z1$  是第一个区域的特性阻抗， $Z2$  是第二个区域的特性阻抗。当信号从第一个区域传输到第二个区域时，交界处发生阻抗突变，因而形成反射。举个例子看看反射能有多大，假设  $Z1=50$  欧姆， $Z2=75$  欧姆，根据公式得到反射系数为： $(75-50)/(75+50)=20\%$ 。如果入射信号幅度是 3.3v，反射电压达到了  $3.3*20\%=0.66v$ 。对于数字信号而言，这是一个很大的值。你必须非常注意他的影响。

实际电路板上的反射可能非常复杂，反射回来的信号还会再次反射回去，方向与发射信号相同，到达阻抗突变处又再次反射回源端，从而形成多次反射，一般的资料上都用反弹图来表示。多次的反弹是导致信号振铃的根本原因，相当于在信号上叠加了一个噪声。为了电路板能正确工作，你必须想办法控制这个噪声的大小，噪声预算是设计高性能电路板的一个非常重要的步骤。

# 理解临界长度

很多人对于 PCB 上线条的临界长度这个概念非常模糊，甚至很多人根本不知道这个概念，如果你设计高速电路板却不知道这个概念，那可以肯定，最终做出的电路板很可能无法稳定工作，而你却一头雾水，无从下手调试。

临界长度在业界说法很混乱，有人说 3 英寸，有人说 1 英寸，我还听说过很多其他的说法，多数是因为对这个概念理解有误造成的。很多人说，奥，走线太长会引起信号反射，走线很短的话不会产生反射。这种说法是非常错误的，把好几个概念像搅浆糊一样混在一起。那么临界长度到底是什么，是多少，为什么要关注临界长度？

理解临界长度最好从时间角度来分析。信号在 pcb 走线上传输需要一定的时间，普通 FR4 板材上传输时间约为每纳秒 6 英寸，当然表层走线和内层走线速度稍有差别。当走线上存在阻抗突变就会发生[信号反射](#)，这和走线长度无关。但是，如果走线很短，在源端信号还没上升到高电平时，反射信号就已经回到源端，那么发射信号就被淹没在上升沿中，信号波形没有太大的改变。走线如果很长，发射端信号已经到达高电平，反射信号才到达源端，那么反射信号就会叠加在高电平位置，从而造成干扰。那么走线长度就有一个临界值，大于这个值，返回信号叠加在高电平处，小于这个值反射信号被上升沿淹没。这个临界值就是临界长度，注意，这种定义非常不准确，因为只考虑了一次反射情况，这里只是为了理解概念需要，暂时这样说。

那么准确的定义是什么？实际中反射都是发生多次的，虽然第一次信号反射回到源端的时间小于信号上升沿时间，但是后面的多次反射还会叠加在高电平位置，对信号波形造成干扰。那么，**临界长度的合理定义应该是：能把反射信号的干扰控制在可容忍的范围内的走线长度。**这一长度上的信号往返时间要比信号上升时间小很多。试验中发现的经验数据为，当信号在 pcb 走线上的时延高于信号上升沿的 20% 时，**信号会产生明显的振铃。**对于上升时间为 1ns 的方波信号来说，pcb 走线长度为  $0.2 \times 6 = 1.2\text{inch}$  以上时，信号就会有严重的振铃。所以临界长度就是 1.2inch，大约 3cm。

你可能注意到了，又是信号上升时间！再一次强调，**信号上升时间在高速设计中占有重要地位。**

## 特性阻抗

当信号在传输线上传播时，信号感受到的瞬态阻抗与单位长度电容和材料的介电常数有关，可表示为：

$Z = \frac{83}{C_L} \sqrt{\epsilon_r}$ 。如果 PCB 上线条的厚度和宽度不变，并且走线和返回平面间距离不变，那么信号感受到的瞬态阻抗就不变，传输线是均匀的。对于均匀传输线，恒定的瞬态阻抗说明了传输线的特性，称为特性阻抗。

如果 PCB 上线条的厚度增大或者宽度增加，单位长度电容增加，特性阻抗就变小。同样，走线和返回平面间距离减小，电容增大，特性阻抗也减小。

一个很重要的特性阻抗就是自由空间的特性阻抗，也叫自由空间的波阻抗，在 EMC 中非常重要。自由空间特性阻抗为  $Z_0 = \sqrt{\mu_0/\epsilon_0} = 377\Omega$ 。

对于常见的 FR4 板材的 PCB 板上， $50\Omega$  特性阻抗的典型结构如图所示。对于微带线，线宽 W 是介质厚度 h 的 2 倍。对于带状线，线条两侧介质总厚度 b 是线宽 W 的两倍。

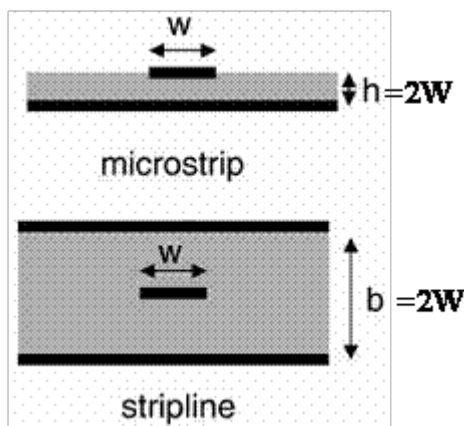


图 1

FR4 板材的 PCB 板上，特性阻抗传输线另一个特性是：

单位长度电容=3.3pF/in

单位长度电感=8.3nH/in

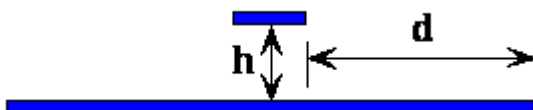


图 2

了解这些特殊的特性阻抗，对于设计电路板有一定的参考意义，能让我们在制作电路前有个直观的认识。精确地特性阻抗计算需要用场求解器。推荐用 Polar Instruments 的 SI9000 软件，大名鼎鼎，绝对精品。

## 多长的走线才是传输线

这和信号的传播速度有关，在 FR4 板材上铜线条中信号速度为  $6\text{in/ns}$ 。简单的说，只要信号在走线上的往返时间大于信号的上升时间，PCB 上的走线就应当做传输线来处理。

我们看信号在一段长走线上传播时会发生什么情况。假设有一段 60 英寸长的 PCB 走线，如图 1 所示，返回路径是 PCB 板内层靠近信号线的地平面，信号线和地平面间在远端开路。

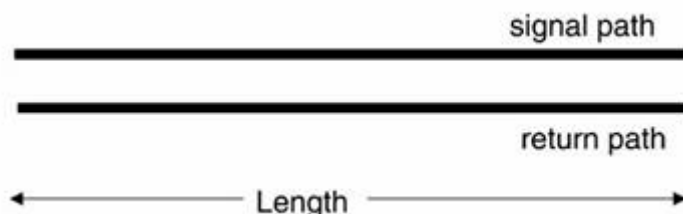


图 1

信号在这条走线上向前传播，传输到走线尽头需要  $10\text{ns}$ ，返回到源端又需要  $10\text{ns}$ ，则总的往返时间是  $20\text{ns}$ 。如果把上面的信号往返路径看成普通的电流回路的话，返回路径上应该没有电流，因为在远端是开路的。但实际情况却不是这样，返回路径在信号上后最初的一段时间有电流。

在这段走线上加一个上升时间为  $1\text{ns}$  的信号，在最初的  $1\text{ns}$  时间，信号还线条上只走了 6 英寸，不知道远端是开路还是短路，那么信号感受到的阻抗有多大，怎么确定？如果把信号往返路径看成普通的电流回路的话就会产生矛盾，所以，必须按传输线处理。

实际上，在信号线条和返回地平面间存在寄生电容，如图 2 所示。当信号向前传播过程中，A 点处电压不断不变化，对于寄生电容来说，变化的电压意味着产生电流，方向如图中虚线所示。因此信号感受到的阻抗就是电容呈现出来的阻抗，寄生电容构成了电流回流的路径。信号在向前传播所经过的每一点都会感受到一个阻抗，这个阻抗是变化的电压施加到寄生电容上产生的，通常叫做传输线的瞬态阻抗。

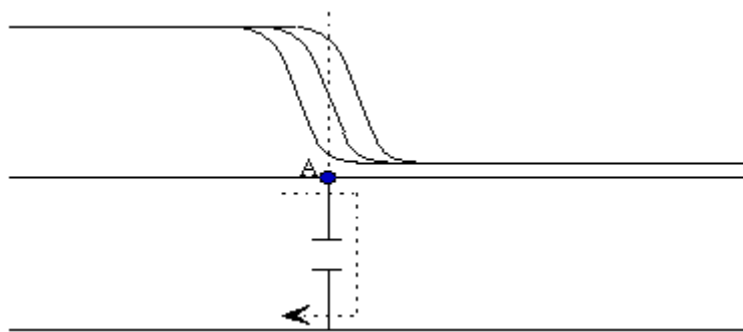


图 2

当信号到达远端，远端的电压升至信号的最终电压后，电压不再变化。虽然寄生电容还是存在，但是没有电压的变化，电容相当于开路，这对应的就是直流情况。

因此，这个信号路径短期的表现和长期的表现不一样，在起始一小段时间内，表现就是传输线。即使传输线远端开路，在信号跳变期间，传输线前段的性能也会像一个阻值有限的电阻。



# 信号振铃是怎么产生的

信号的反射可能会引起振铃现象，一个典型的信号振铃如图 1 所示。

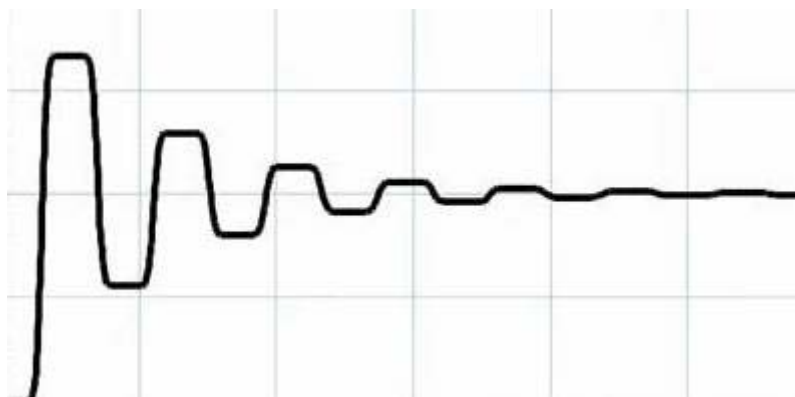


图 1

那么信号振铃是怎么产生的呢？

前面讲过，如果信号传输过程中感受到阻抗的变化，就会发生信号的反射。这个信号可能是驱动端发出的信号，也可能是远端反射回来的反射信号。根据反射系数的公式，当信号感受到阻抗变小，就会发生负反射，反射的负电压会使信号产生下冲。信号在驱动端和远端负载之间多次反射，其结果就是信号振铃。**大多数芯片的输出阻抗都很低，如果输出阻抗小于 PCB 走线的特性阻抗，那么在没有源端端接的情况下，必然产生信号振铃。**

信号振铃的过程可以用反弹图来直观的解释。假设驱动端的输出阻抗是 10 欧姆，PCB 走线的特性阻抗为 50 欧姆（可以通过改变 PCB 走线宽度，PCB 走线和内层参考平面间介质厚度来调整），为了分析方便，假设远端开路，即远端阻抗无穷大。驱动端传输 3.3V 电压信号。我们跟着信号在这条传输线中跑一次，看看到底发生了什么。为分析方便，忽略传输线寄生电容和寄生电感的影响，只考虑阻性负载。图 2 为反射示意图。

第 1 次反射：信号从芯片内部发出，经过 10 欧姆输出阻抗和 50 欧姆 PCB 特性阻抗的分压，实际加到 PCB 走线上的信号为 A 点电压  $3.3 \times 50 / (10 + 50) = 2.75V$ 。传输到远端 B 点，由于 B 点开路，阻抗无穷大，反射系数为 1，即信号全部反射，反射信号也是 2.75V。此时 B 点测量电压是  $2.75 + 2.75 = 5.5V$ 。

第 2 次反射：2.75V 反射电压回到 A 点，阻抗由 50 欧姆变为 10 欧姆，发生负反射，A 点反射电压为 -1.83V，该电压到达 B 点，再次发生反射，反射电压 -1.83V。此时 B 点测量电压为  $5.5 - 1.83 - 1.83 = 1.84V$ 。

第 3 次反射：从 B 点反射回的 -1.83V 电压到达 A 点，再次发生负反射，反射电压为 1.22V。该电压到达 B 点再次发生正反射，反射电压 1.22V。此时 B 点测量电压为  $1.84 + 1.22 + 1.22 = 4.28V$ 。

第 4 次反射：..... 第 5 次反射：... ..

如此循环，反射电压在 A 点和 B 点之间来回反弹，而引起 B 点电压不稳定。观察 B 点电压： $5.5V \rightarrow 1.84V \rightarrow 4.28V \rightarrow \dots$ ，可见 B 点电压会有上下波动，这就是信号振铃。

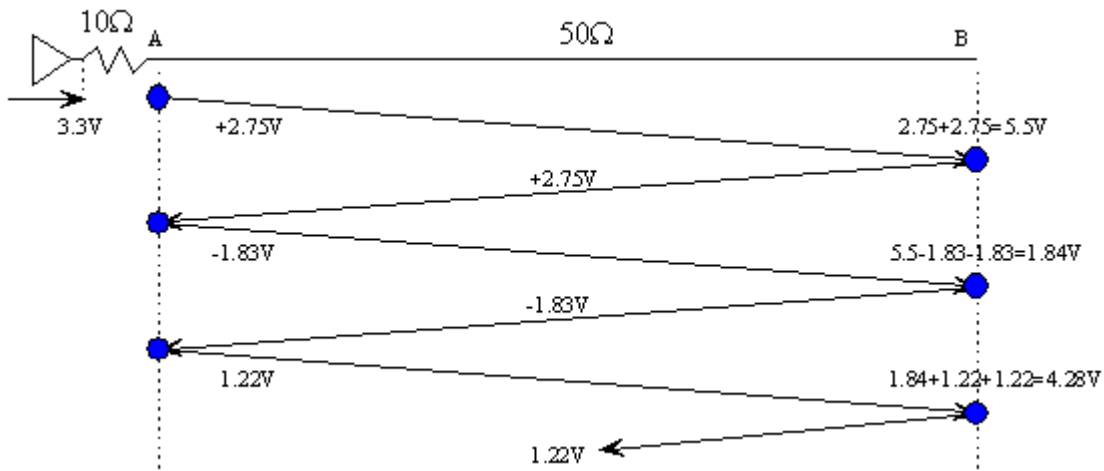


图 2

信号振铃根本原因是负反射引起的，其罪魁祸首仍然是阻抗变化，又是阻抗！在研究信号完整性问题时，一定时时注意阻抗问题。

负载端信号振铃会严重干扰信号的接受，产生逻辑错误，必须减小或消除，因此对于长的传输线必须进行**阻抗匹配端接**。

# PCB 走线宽度变化产生的反射

在进行 PCB 布线时，经常会发生这样的情况：走线通过某一区域时，由于该区域布线空间有限，不得不使用更细的线条，通过这一区域后，线条再恢复原来的宽度。走线宽度变化会引起阻抗变化，因此发生反射，对信号产生影响。那么什么情况下可以忽略这一影响，又在什么情况下我们必须考虑它的影响？

有三个因素和这一影响有关：阻抗变化的大小、信号上升时间、窄线条上信号的时延。

首先讨论阻抗变化的大小。很多电路的设计要求反射噪声小于电压摆幅的 5%（这和信号上的噪声预算有关），根据反射系数公式：

$$\rho = \frac{Z_2 - Z_1}{Z_2 + Z_1} = \frac{\Delta Z}{\Delta Z + 2Z_1} \leq 5\%$$

可以计算出阻抗大致的变化率要求为： $\Delta Z/Z_1 \leq 10\%$ 。你可能知道，电路板上阻抗的典型指标为  $\pm 10\%$ ，根本原因就在这。

如果阻抗变化只发生一次，例如线宽从 8mil 变到 6mil 后，一直保持 6mil 宽度这种情况，要达到突变处信号反射噪声不超过电压摆幅的 5% 这一噪声预算要求，阻抗变化必须小于 10%。这有时很难做到，以 FR4 板材上微带线的情况为例，我们计算一下。如果线宽 8mil，线条和参考平面之间的厚度为 4mil，特性阻抗为 46.5 欧姆。线宽变化到 6mil 后特性阻抗变成 54.2 欧姆，阻抗变化率达到了 20%。反射信号的幅度必然超标。至于对信号造成多大影响，还和信号上升时间和驱动端到反射点处信号的时延有关。但至少这是一个潜在的问题点。幸运的是这时可以通过阻抗匹配端接解决问题。

如果阻抗变化发生两次，例如线宽从 8mil 变到 6mil 后，拉出 2cm 后又变回 8mil。那么在 2cm 长 6mil 宽线条的两个端点处都会发生反射，一次是阻抗变大，发生正反射，接着阻抗变小，发生负反射。如果两次反射间隔时间足够短，两次反射就有可能相互抵消，从而减小影响。假设传输信号为 1V，第一次正反射有 0.2V 被反射，1.2V 继续向前传输，第二次反射有  $-0.2 \times 1.2 = 0.24V$  被反射回。再假设 6mil 线长度极短，两次反射几乎同时发生，那么总的反射电压只有 0.04V，小于 5% 这一噪声预算要求。因此，这种反射是否影响信号，有多大影响，和阻抗变化处的时延以及信号上升时间有关。研究及实验表明，只要阻抗变化处的时延小于信号上升时间的 20%，反射信号就不会造成问题。如果信号上升时间为 1ns，那么阻抗变化处的时延小于 0.2ns 对应 1.2 英寸，反射就不会产生问题。也就是说，对于本例情况，6mil 宽走线的长度只要小于 3cm 就不会有问题。

当 PCB 走线线宽发生变化时，要根据实际情况仔细分析，是否造成影响。需要关注的参数有三个：阻抗变化有多大、信号上升时间是多少、线宽变化的颈状部分有多长。根据上面的方法大致估算一下，适当留出一定的余量。如果可能的话，尽量让减小颈状部分长度。

需要指出的是，实际的 PCB 加工中，参数不可能像理论中那样精确，理论能对我们的设计提供指导，但不能照搬照抄，不能教条，毕竟这是一门实践的科学。估算出的值要根据实际情况做适当的修订，再应用到设计中。如果感觉经验不足，那就先保守点，然后在根据制造成本适当调整。

## 接收端容性负载的反射

信号的接收端可能是集成芯片的一个引脚，也可能是其他元器件。不论接收端是什么，实际的器件的输入端必然存在寄生电容，接受信号的芯片引脚和相邻引脚之间有一定的寄生电容，和引脚相连的芯片内部的布线也会存在寄生电容，另外引脚和信号返回路径之间也会存在寄生电容。

好复杂，这么多寄生电容！其实很简单，想想电容是什么？两个金属板，中间是某种绝缘介质。这个定义中并没有说两个金属板是什么形状的，芯片两个相邻引脚也可以看做是电容的两个金属板，中间介质是空气，不就是一个电容么。芯片引脚和 PCB 板内层的电源或地平面也是一对金属板，中间介质是 PCB 板的板材，常见的是 FR4 材料，也是一个电容。呵呵，搞来搞去，还是回到了最基础的部分。高手不要笑，太简单了。不过确实很多人看到寄生电容就感到有点晕，理解不透，所以在这里啰嗦一下。

回到正题，下面研究一下信号终端的电容有什么影响。将模型简化，用一个分立电容元件代替所有寄生电容，如图 1 所示。

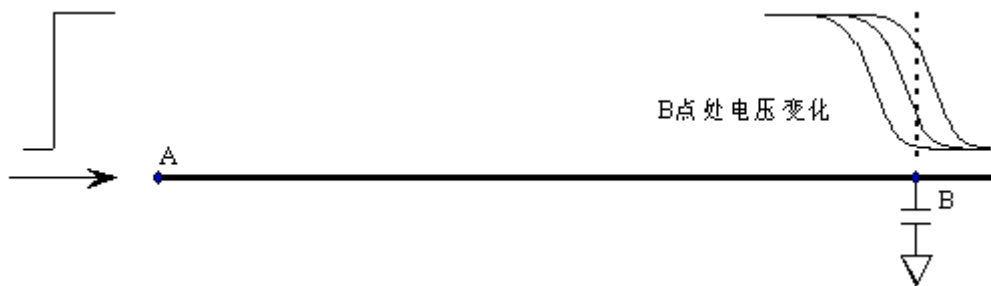


图 1

我们考察 B 点电容的阻抗情况。电容的电流为：

$$I_C = C \frac{dV}{dt}$$

随着电容的充电，电压变化率逐渐减小（电路原理中的瞬态过程），电容的充电电流也不断减小。即电容的充电电流是随时间变化的。

电容的阻抗为：

$$Z = \frac{V}{I_C} = \frac{V}{C \frac{dV}{dt}}$$

因此电容所表现出来的阻抗随时间变化，不是恒定的。正是这种阻抗的变化特性决定了电容对信号影响的特殊性。如果信号上升时间小于电容的充电时间，最初电容两端的电压迅速上升，这时阻抗很小。随着电容充电，电压变化率下降，充电电流减小，表现为阻抗明显增大。充电时间无穷大时，电容相当于开路，阻抗无穷大。

阻抗的变化必然影响信号的反射。在充电的开始一段时间，阻抗很小，小于传输线的特性阻抗，将发生负反射，反射回源端 A 点的信号将产生下冲。随着电容阻抗的增加，反射逐渐过渡到正反射，A 点的信号经过一个下冲会逐渐升高，最终达到开路电压。

因此电容负载使源端信号产生局部电压凹陷。精确波形和传输线的特性阻抗、电容量、信号上升时间有关。

对于接收端，很明显，就是一个 RC 充电电路，不是很严谨，但是和实际情况非常相似。电容两端电压，即 B 点电压随 RC 充电电路的时间常数呈指数增加（基本电路原理）。因此电容对接收端信号上升时间产生影响。

RC 充电电路的时间常数为  $\tau = Z \times C$ ，这是 B 点电压上升到电压终值的  $\frac{1}{e}$  即 37% 所需的时间。B 点电压 10%~90% 上升时间为

$$\tau_{10-90} = 2.2 \times \tau = 2.2 \times Z \times C$$

如果传输线特性阻抗为 50 欧姆，电容量 10pF，则 10%~90 充电时间为 1.1ns。如果信号上升时间小于 1.1ns，那么 B 点电压上升时间主要由电容充电时间决定。如果信号上升时间大于 1.1ns，末端电容器作用是使上升时间进一步延长，增加约 1.1ns（实际应比这个值小）。图 2 显示了终端电容负载对驱动端和接受端产生影响的示意图，放在这里，让大家能有个感性的认识。

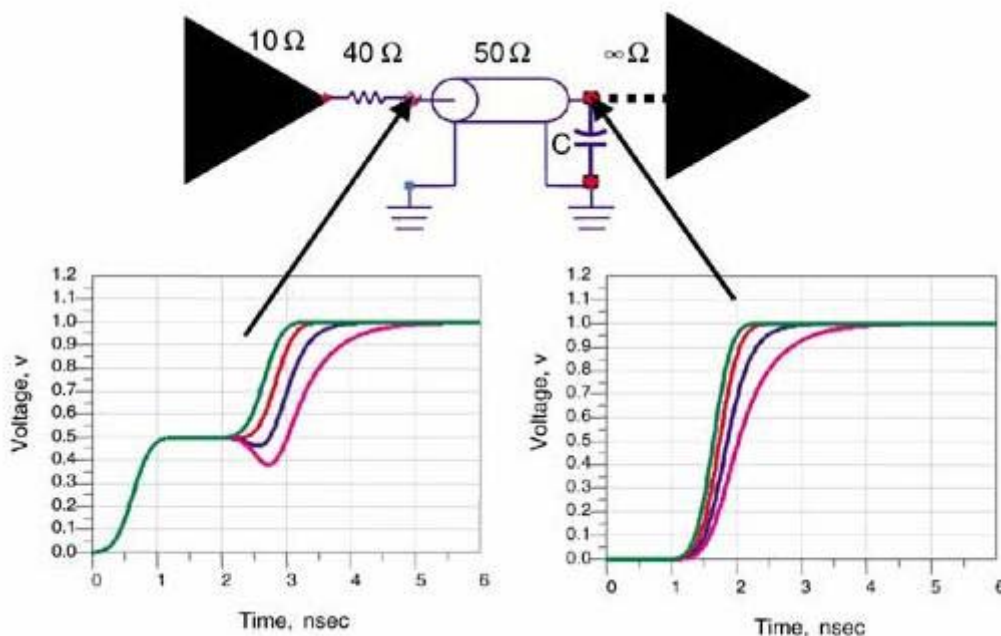


图 2

至于信号上升时间增加的精确值是多少，对于电路设计来说没必要，只要定性的分析，有个大致的估算就可以了。因为计算再精确也没实际意义，电路板的参数也不精确！对于设计者来说，定性分析并了解影响，大致估算出影响在那个量级，能给电路设计提供指导就可以了，其他的事软件来做吧。举个例子，如果信号上升时间 1ns，电容使信号上升时间增加远小于 1ns，比如 0.2 ns，那么这么一点点增加可能不会有什么影响。如果电容造成的上升时间增加很多，那可能就会对电路时序产生影响。那么多少算很多？看看电路的时序余量吧，这涉及到电路的时序分析和时序设计。

总之接收端电容负载的影响有两点：

- 1、使源端（驱动端）信号产生局部电压凹陷。
- 2、接收端信号上升时间延长。

在电路设计中这两点都要考虑。

# 特性阻抗和频率有关吗？

难得半日清闲，看到留言板有网友留言问道这个问题，留一篇随笔，与各位网友共享。

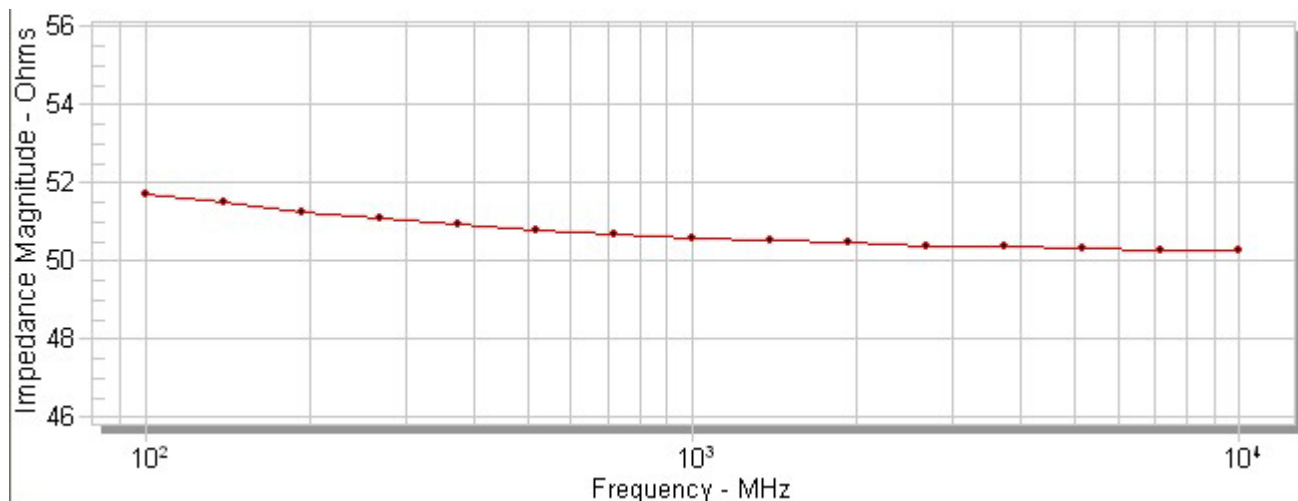
当我们提到特性阻抗的时候，通常很少考虑它与频率的关系。其原因在于，特性阻抗是传输线的一个相当稳定的属性，主要和传输线的结构也就是横截面的形状有关。从工程的角度来说，把特性阻抗作为一个恒定量是合理的。说实话，搞了这么长时间的 SI 设计，还没碰到需要考虑特性阻抗变化的情况。

既然有网友一定要考虑这个问题，今天我们就稍稍深入一下，看看特性阻抗的真实面目。虽然没有太大的工程应用价值，但是对于理解问题还是有好处的。

特性阻抗是从理论上分析传输线时经常提到的一个量，从传输线的角度来说，它可以用下面的公式表示

$$Z_0 = \sqrt{\frac{L}{C}}$$

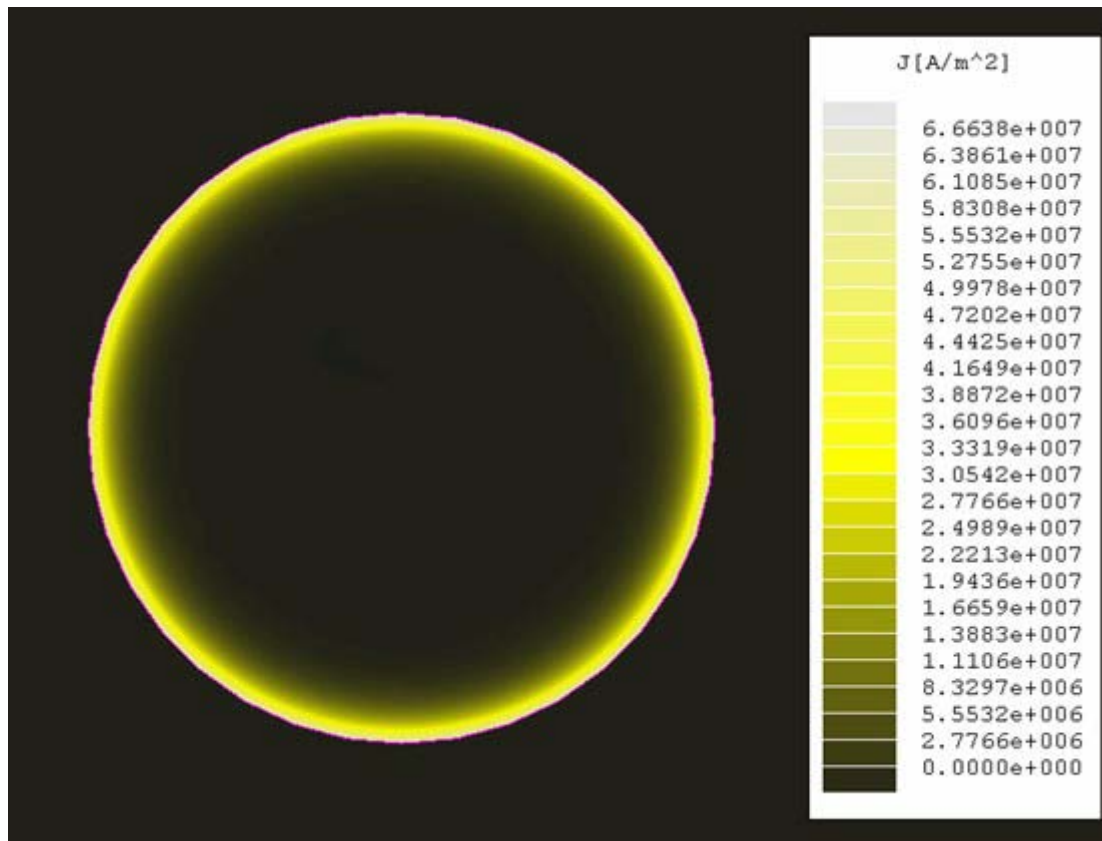
L 表示传输线的单位长度电感，C 为单位长度电容。乍一看，似乎公式中没有任何变化的量。但是特性阻抗真的是个恒定的量吗？我们使用 Polar 软件对横截面固定的传输线进行扫频计算，频率范围定在 100MHz~10GHz，来看看场求解器给出的结果，如下图：



你可能感到惊讶，特性阻抗随着频率的升高变小了，why？阻抗公式中那个量发生了变化？

其实这涉及到电磁学方面的一个深层次的问题。罪魁祸首是电感！！电感问题是个很复杂的问题，对电感的理论计算很繁琐，有兴趣的网友可以找资料看看电感的计算，详细的推导过程我就不在这里写了。简单的说，导线的电感由两部分组成：导线的内部电感和导线的外部电感。当频率升高时，导线的内部电感减小，外部电感不变，总电感减小，因而导致了特性阻抗减小。

我们知道，电感的定义是指围绕在电流周围的磁力线匝数。电感随频率减小，直觉告诉我们一定是导线中电流分布发生了变化。到这里我想各位网友应该豁然开朗了。趋肤效应（skin effect）你一定不会陌生。看看下面的这张图你会有更直观的感受，这是用二维场求解器仿真出来的高频时导体中电流的分布。黄色部分是电流所在位置。



当频率升高时，电流向导线表面集中，在导线内部电流密度减小，当然电感减小。电感的本质，是围绕在电流周围的磁力线匝数，注意“围绕在电流周围”这个说法。假设存在极端情况，导线内部电流完全消失，所有的电流集中在导体表面，磁力线当然没法再内部去环绕电流，内部电感消失。导线总电感减小，减小的那一部分就是导线的内部电感。当然这种说法不严谨，不过对直观的理解问题非常有帮助。

结论：

- 1、传输线的特性阻抗确实和频率有关，随着频率升高，特性阻抗减小，但会逐渐趋于稳定。
- 2、特性阻抗的变化原因是导线的单位长度电感随频率升高而减小。
- 3、这种特性阻抗的变化很小，在工程应用中一般不用考虑它的影响。知道有这个事就是了。



# 关于 SI 设计与 SI 仿真的一点浅见

看到有很多人执着于仿真，也有人提到软件仿真与实际不相符的问题，谈谈我自己的一些看法。

很多情况下，一个软件没法搞定所有 SI 问题。商用软件一般是不会跑错的，尤其是一些经典的软件，经过了多年的工程验证，千锤百炼，没有问题。错的只是软件的使用法，不同的软件解决的问题不同，也有一定的适用范围，在他的能力范围内，仿真结果是值得信赖的。一定注意不能让软件做他做不了的事。

仿真和实际不相符还有一个原因，模型问题。有些器件，网上给出的模型有问题。用有问题的模型来仿，结果也一定有问题。模型能不能用，要设计者自己来判断。

另外，仿真的时候要考虑所有的影响因素，软件不可能把所有的因素考虑在内，仿真只是针对某一个具体问题。怎么处理这些复杂的因素不是软件本身的事，这些应该是设计者的事。怎么灵活应用工具解决实际问题，需要相当深厚的理论功底，这点才是真正考验设计者的地方。一个工程师能力如何，在这个问题上能充分的表现出来。

不能盲目相信网上的一些 Design rules，有些是错的，有些适用范围很窄。有些虽然具有一定的普适性，但也只是一个指导方向，不可能给出一个量化指标，但是工程中恰恰需要的是量化的指标。所以很多人都会有这个困惑，遵循了所有的 rule，但是没什么太大的效果，原因就在于没有量化的指标，有些问题差一点点结果就会差很多，搞微波电路的人最清楚这个问题。

SI 设计是个很个性化的活，每一个设计都可能不一样。

SI 问题很复杂，涉及的因素很多，具体工程设计中，要分清哪些是致命的因素，哪些是很重要的，哪些是有影响但是影响有限的，关注并解决主要问题，而不是把精力分散到所有问题上，这是**工程设计的关键**。很多人花了很大的精力去解决一些细枝末节的问题，而忽略了最重要的影响因素，导致设计失败，归根结底，其原因在于目标错了而自己还不知道。一句老话：擒贼先擒王！

SI 设计是一个系统工程，不是一两个措施就能搞定的。

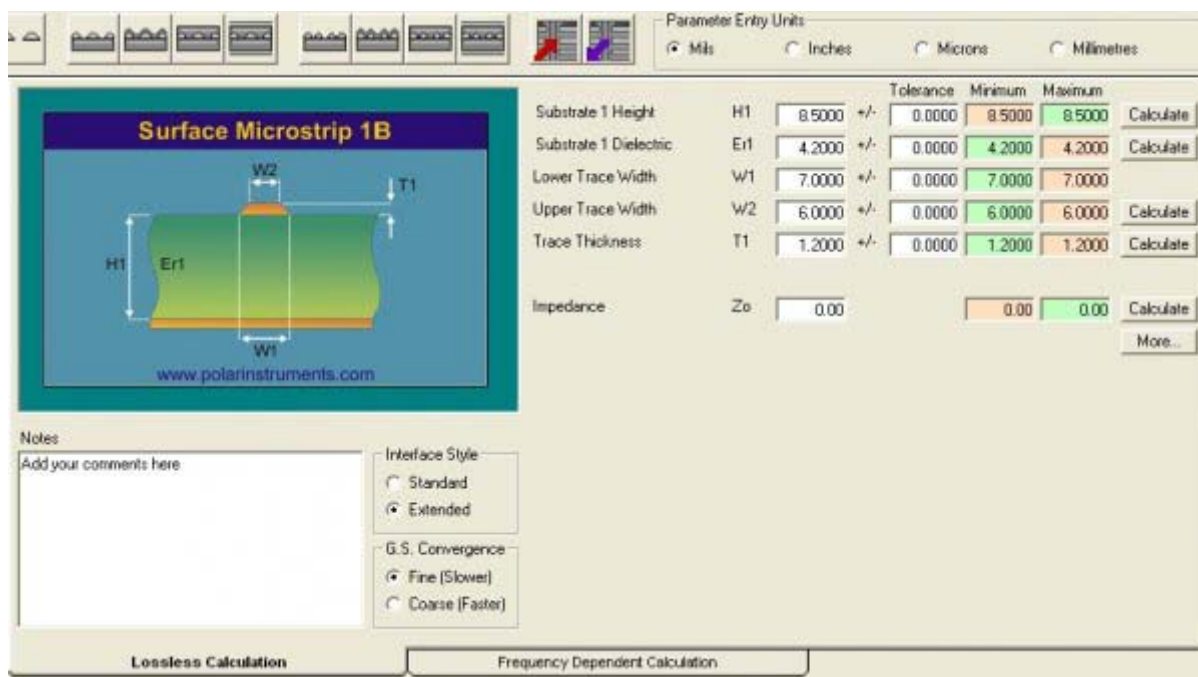
仿真软件对 SI 设计非常非常重要，但最重要的却不是软件，而是设计者头脑中的知识。

AK47 是经典的武器，但是他所能做的也只是射出子弹。枪本身并不能分清敌我，枪口指向敌人，可能赢得胜利，指向自己人就会造成灾难。关键还在于拿枪的人。

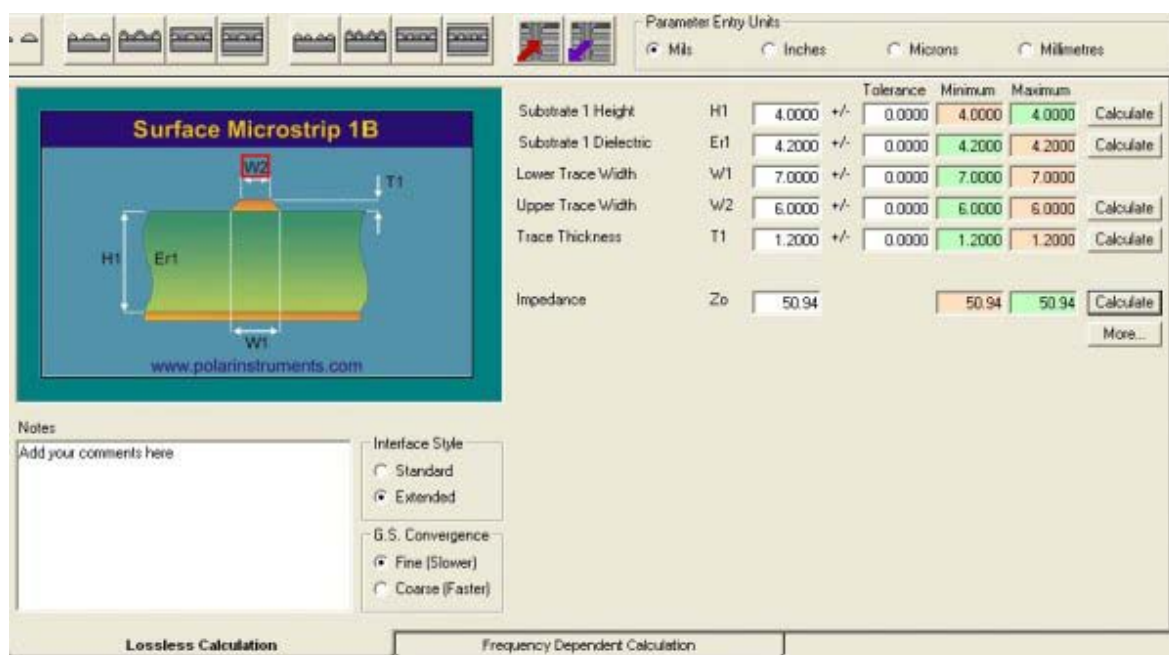


# 关于使用 Polar 软件进行扫频计算

打开软件，界面看到了吧，找到微带线，下图。



下面有两个标签页：lossless calculation 和 frequency dependent calculation。打开 lossless calculation，点一下就是了。进到这个界面设置一下参数。这个不用说了吧，SI 中最基本的东西，阻抗和什么有关，图形右侧这些参数写的很清楚。用鼠标砸一下 More 按钮上面的那个 Calculation，别把屏幕弄坏了，呵呵。阻抗值出来了，50.94 欧姆。



打开这个标签：frequency dependent calculation，在界面的底下呢。

右上角参数表变了，见下图，看到里面的东西了吧，从上到下依次是：走线长度，电导率，损耗角正切值，信号上升时间，最大最小频率，频率步长，计算 S 参数的频率步长。想计算那个频段的就设置一下。设置好了就 calculation，这个界面就一个 calculation 按钮。

Length of Line	LL	1000.00
Trace Conductivity (S/m)	TC	5.80E+07
Loss Tangent	TanD	0.0195
Rise Time (ps)	Tr	10
Frequency Minimum (MHz)	FMin	100
Frequency Maximum (GHz)	FMax	10.00
Frequency Steps	FSteps	15
S-Parameter Frequency Steps	SPSteps	200
<input type="button" value="Calculate"/>		

Frequency Distribution

☒ Logarithmic ☐ Linear

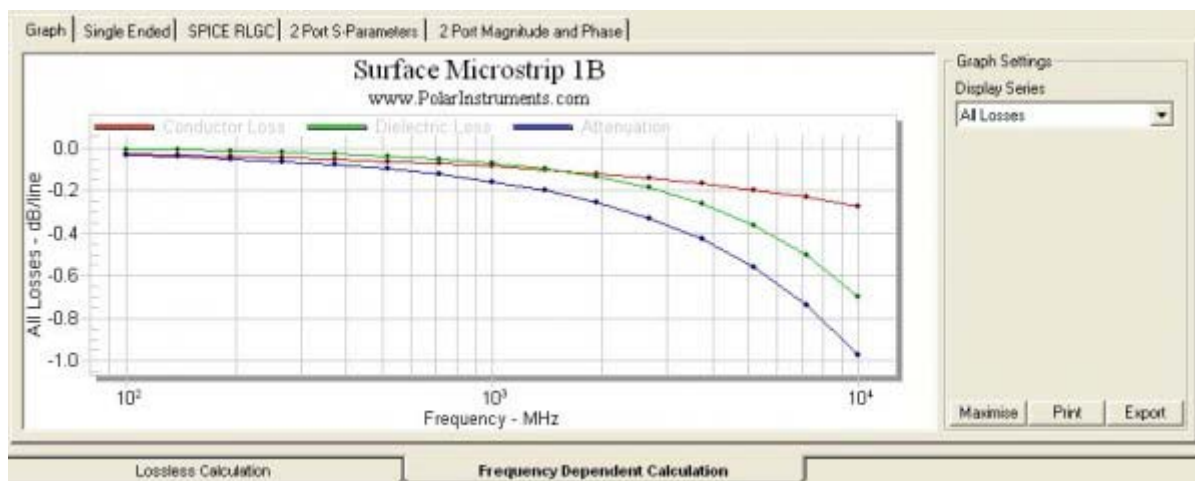
Result Presentation

☒ Length of Line ☐ / in ☐ / m

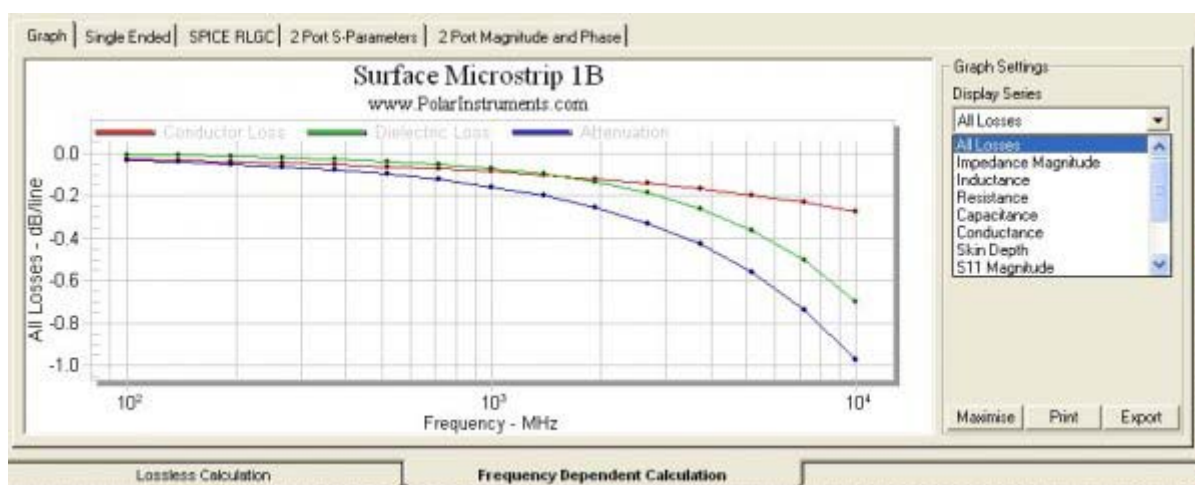
Extended Substrate Data

☐ Use Extended Substrate Data

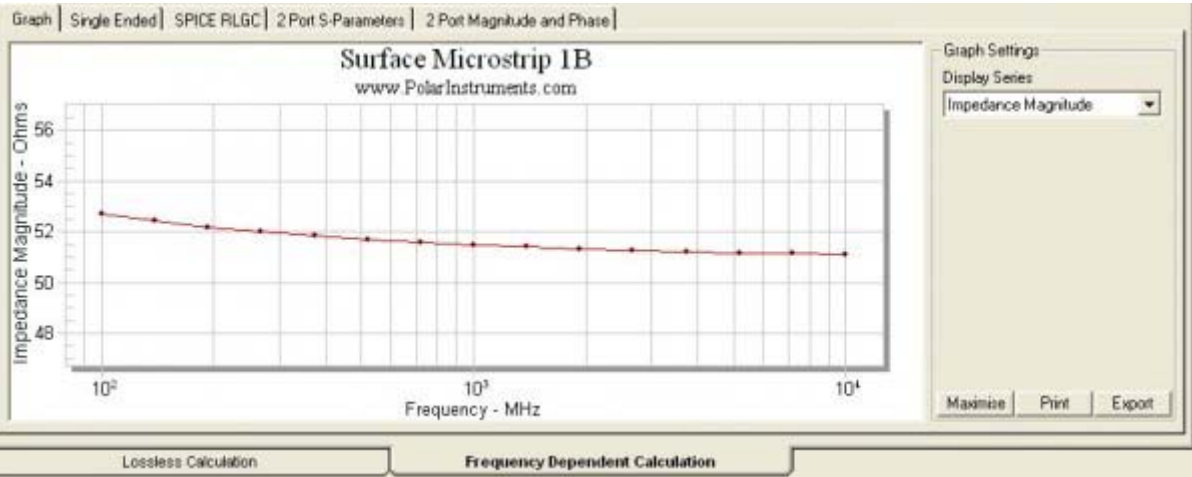
显示曲线那个图框上面有一排按钮，选 Graph，其他的都是数据表。



图形右侧有个 Graph settings，下拉列表是这样的。



选 Impedance magnitude 看看出的是什么图形。



## PCB 走线中容性负载反射

很多时候，PCB 走线中途会经过过孔、测试点焊盘、短的 stub 线等，都存在寄生电容，必然对信号造成影响。走线中途的电容对信号的影响要从发射端和接受端两个方面分析，对起点和终点都有影响。

首先按看一下对信号发射端的影响。当一个快速上升的阶跃信号到达电容时，电容快速充电，充电电流和信号电压上升快慢有关，充电电流公式为： $I=C*dV/dt$ 。电容量越大，充电电流越大，信号上升时间越快， $dt$  越小，同样使充电电流越大。

我们知道，信号的反射与信号感受到的阻抗变化有关，因此为了分析，我们看一下，电容引起的阻抗变化。在电容开始**充电的初期**，阻抗表示为：

$$Z_c = \frac{V}{I} = \frac{V}{C \frac{dV}{dt}}$$

这里  $dV$  实际上是阶跃信号电压变化， $dt$  为信号上升时间，电容阻抗公式变为：

$$Z_c = \frac{V}{C \frac{V}{RT}} = \frac{RT}{C}$$

从这个公式中，我们可以得到一个很重要的信息，当阶跃信号施加到电容两端的初期，电容的阻抗与信号上升时间和本身的电容量有关。

通常在电容充电初期，阻抗很小，小于走线的特性阻抗。信号在电容处发生负反射，这个负电压信号和原信号叠加，使得发射端的信号产生下冲，引起发射端信号的非单调性。

对于接收端，信号到达接收端后，发生正反射，反射回来的信号到达电容位置，那个样发生负反射，反射回接收端的负反射电压同样使接收端信号产生下冲。

为了使反射噪声小于电压摆幅的 5%（这种情况对信号影响可以容忍），阻抗变化必须小于 10%。那么电容阻抗应该控制在多少？电容的阻抗表现为一个并联阻抗，我们可以用并联阻抗公式和反射系数公式来确定它的范围。对于这种并联阻抗，我们希望电容阻抗越大越好。假设电容阻抗是 PCB 走线特性阻抗的  $k$  倍，根据并联阻抗公式得到电容处信号感受到的阻抗为：

$$\frac{Z_c Z_0}{Z_c + Z_0} = \frac{k}{k+1} Z_0$$

阻抗变化率为： $\frac{1}{k+1} \leq 10\%$ ，即  $k \geq 9$ ，也就是说，根据这种理想的计算，电容的阻抗至少要是 PCB 特性阻抗的 9 倍以上。实际上，随着电容的充电，电容的阻抗不断增加，并不是一直保持最低阻抗，另外，每一个器件还会有寄生电感，使阻抗增加。因此这个 9 倍限制可以放宽。在下边的讨论中假设这个限制是 5 倍。

有了阻抗的指标，我们就可以确定能容忍多大的电容量。电路板上 50 欧姆特性阻抗很常见，我就用 50 欧姆来计算。

$$Z_c = \frac{RT}{C} \geq 5 \times 50$$

得出：

$$C(pF) \leq 4 \times RT(ns)$$

即在这种情况下，如果信号上升时间为 1ns，那么电容量要小于 4 皮法。反之，如果电容量为 4 皮法，则信号上升时间最快为 1ns，如果信号上升时间为 0.5ns，这个 4 皮法的电容就会产生问题。

这里的计算只不过是为了说明电容的影响，实际电路中情况十分复杂，需要考虑的因素更多，因此这里计算是否精确没有实际意义。关键是要通过这种计算理解电容是如何影响信号的。我们对电路板上每一个因素的影响都有一个感性认识后，就能为设计提供必要的指导，出现问题就知道如何去分析。精确的评估需要用软件来仿真。

总结：

- 1、PCB 走线中途容性负载使发射端信号产生下冲，接收端信号也会产生下冲。
- 2、能容忍的电容量和信号上升时间有关，信号上升时间越快，能容忍的电容量越小。