

Universidad de Costa Rica

Facultad de Ingeniería
Escuela de Ingeniería Eléctrica

IE-0523
Circuitos Digitales II

PROYECTO #1

Gabriel Barahona Otoyá B70896
Fabio Villalobos Pacheco B78346
Carolina Alvarado Chavarría B40246
Erick Muñoz Zamora B44810

Grupo: 1

Profesor:
Jorge Soto

II-Ciclo, 2021

1. Plan de trabajo

Se explican a continuación las simulaciones a realizar de manera que se compruebe el funcionamiento del diseño a implementar.

Debido a la naturaleza del proyecto se presentaran varios avances por lo que el plan de pruebas se irá modificando de acuerdo a la entrega actual. En cada uno de los avances el plan de pruebas consistirá de una replica, en ocasiones ligeramente modificada de las pruebas utilizadas como explicación para las secciones. De manera que por ejemplo para la sección de bytestripping se replicará un comportamiento similar al de la figura 1. De esta manera será posible el comprobar que se tiene un comportamiento adecuado del diseño.

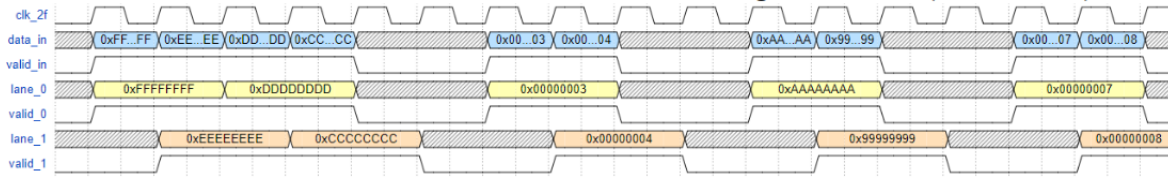


Figura 1: Simulación de bytestripping

1.1. Secciones de prueba

En la figura 2 se presenta la estructura que se seguirá para la elaboración del diseño. Se nota como la misma se compone de distintos elementos. Cada uno de estos elementos se construirá por medio de un modulo, y para comprobar el comportamiento del diseño en total se realizaran además pruebas individuales a cada uno de acuerdo al proceso mencionado anteriormente.

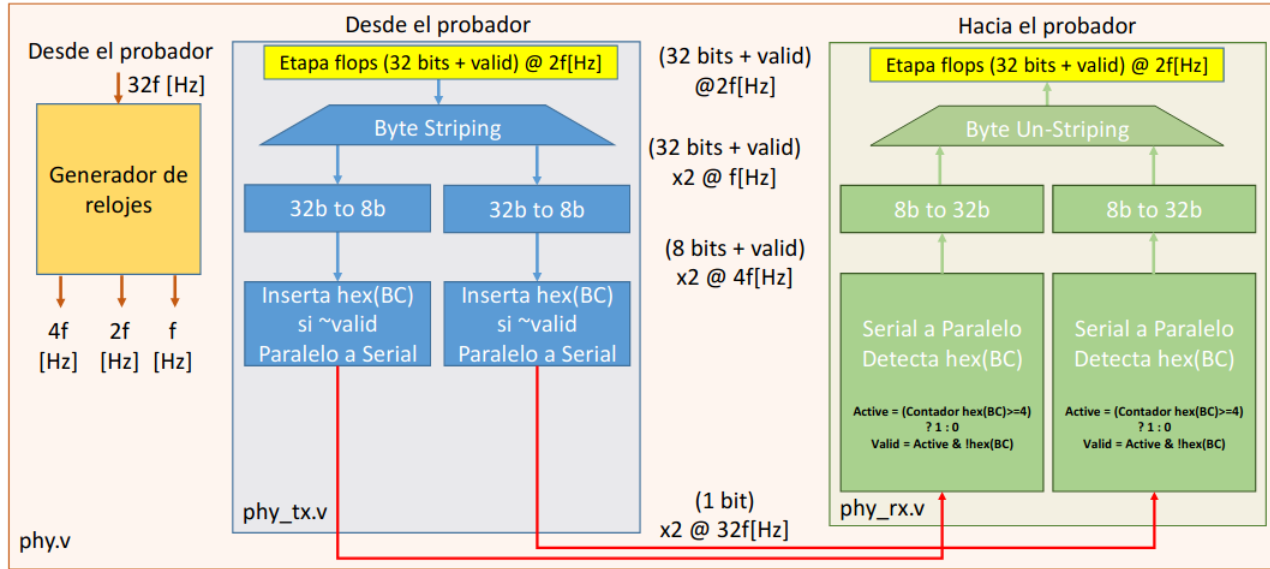


Figura 2: Estructura de diseño

1.2. Prueba Final

Las primeras pruebas que se realizaran al producto final serán las de comportamiento básico, consistiendo de una señal de entrada de 32 bits. El razonamiento para la prueba básica es la facilidad de análisis al consistir en la menor señal posible que se puede transmitir por medio del diseño. El funcionamiento del diseño se comprobara tanto en cada sección del diseño como al final del mismo.

Posteriormente se realizarán pruebas más complejas en las que se tendrán más señales de entrada cada una de 32 bits, de manera que se compruebe el funcionamiento constante del diseño. Esperando que tanto a la entrada como a la salida del producto total se obtengan las mismas señales de 32 bits, en conjunto con sus respectivas señales de valid.