

Revisão P1

Prof. Geomar

Erickson G. Müller

26 de Setembro de 2024

Conteúdo

1. Circuitos Combinacionais
2. Circuito Contador Binário
3. Circuito Contador de Gray
4. Linguagem de Descrição de Hardware VHDL

1 Sistema Digital

Um aparato dotado de conjuntos finitos de **entradas** e **saídas** e capaz de processar informação representada sob forma **numérica**.

2 Circuitos Combinacionais

Não armazenam dados, exemplo: Circuito Somador.

3 Circuitos Sequenciais

Armazenam dados, exemplo: Circuito Contador.

4 Níveis de Abstração

Em ordem decrescente:

1. Nível de Sistema: CPU, ASIP, ASIC, barramentos, memórias, software embarcado.
2. Nível RT (Transferência entre Registradores): Unidades funcionais (somadores, subtratores, multiplicadores), Rede de interconexão (fios, multiplexadores, decodificadores, barramentos, buffers tri-state), Registradores e blocos de memória RAM, ROM.
3. Nível Lógico: portas lógicas, latches e flip-flops.
4. Nível de Circuito Elétrico: transistores, resistores, capacitores, indutores e fios.
5. Nível de Transistor.

5 Circuitos Contadores

Módulo do contador: é o número de estados que o contador passa antes de retornar ao 0, é o número de valores que o contador pode ter, não o valor máximo. Para um circuito formado por n flip-flops, teremos um contador de módulo máximo 2^n .

Contador Assíncrono: Não tem a entrada de clock comum a todos os flip-flops, o sinal de clock não é aplicado a todos mas sim ao flip-flop que representa o bit de menor valor. Para montar um contador assíncrono colocamos o J e K na fonte, ligamos o clock de cada flip-flop à saída negada do flip-flop anterior e colocamos uma porta AND 111 para determinar quando o contador vai resetar.

Contador Síncrono: O sinal de clock é comum a todos os flip-flops do circuito. Para fazer um circuito contador síncrono, faz-se a tabela dos estados atuais, os

estados seguintes, e compara-se para saber quais os valores das entradas JK dos flip-flops. Em seguida monta-se os mapas de karnaugh, e tiramos as expressões simplificadas de cada flip-flop em relação às saídas dos outros flip-flops.

6 VHDL

Lembrar que "<=" se manifesta no tempo seguinte e ":=" se manifesta instantaneamente. E acredito que quando usamos o := numa variável, não precisamos criar um signal antes do process mas sim uma variable após o process. Na dúvida, não colocar nem um nem outro.

6.1 Representação de um process(A,B)

1. **Algorítmica:**

```
if(B<A) then s<= '1';  
else s<= '0';  
end if;
```

2. **Fluxo de Dados:**

```
s<= '1' when B<A else '0';
```

3. **Estrutural:**

Muito mais complicado, tem signal, tem component, tem port map.

```
U1: xor2 port map (A,B,L1);
```

```
U2: and2 port map (A,L1,S);
```