

# Nivel de Lógica Digital: Circuitos secuenciales y elementos de memoria

Ing. Ronald Caravaca Mora

IF4000 - Arquitectura de Computadores  
Informática Empresarial

28 de septiembre de 2021



UNIVERSIDAD DE  
COSTA RICA

- 1 Circuitos secuenciales
- 2 Análisis de circuitos secuenciales

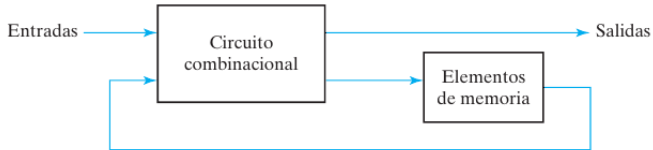


# Circuitos secuenciales

Los circuitos digitales estudiados hasta ahora han sido combinacionales: **sus salidas dependen exclusivamente de las entradas actuales.**



# Circuitos secuenciales



# Circuitos secuenciales

- 1 La información almacenada define el **estado** del circuito secuencial.
- 2 Recibe información binaria de entradas externas.
- 3 Esas entradas, junto con el estado actual de los elementos de almacenamiento, determinan el valor binario de las salidas.
- 4 Determinan la condición para cambiar el estado de los elementos de almacenamiento.
- 5 La salida del circuito secuencial depende de las entradas externas y los estados de los elementos de almacenamiento.
- 6 El siguiente estado de los elementos de almacenamiento también es función de entradas externas y del estado actual.
- 7 Un circuito secuencial se especifica con una sucesión temporal de entradas, salidas y estados internos.

---

1 **Sincrónico:** es un sistema cuyo comportamiento se define conociendo sus señales en instantes discretos de tiempo.

- ② **Asincrónico:** es un sistema que depende de las señales de entrada en cualquier instante dado y del orden en que cambian las entradas.



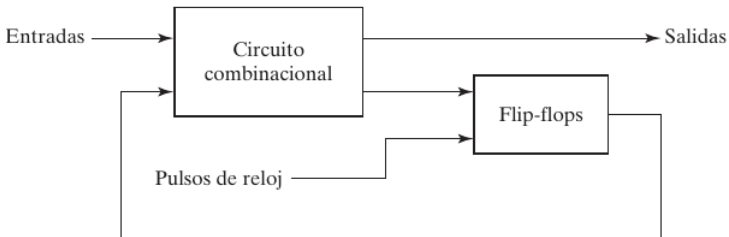
## Circuitos secuenciales sincrónicos

Un circuito secuencial sincrónico utiliza señales que afectan a los elementos de almacenamiento únicamente en instantes discretos. La sincronización se logra con un dispositivo de temporización llamado **reloj (clock)**, el cual produce un tren periódico de pulsos. A estos circuitos se les denominan **circuitos secuenciales con reloj**.

Los elementos de almacenamiento empleados en los circuitos secuenciales con reloj se llaman flip-flops. Un flip-flop es un dispositivo binario de almacenamiento que puede almacenar un bit de información. Un circuito secuencial podría usar muchos flip-flops para almacenar tantos bits como sea necesario.

Un circuito flip-flop puede mantener un estado binario indefinidamente, hasta que una señal de entrada le indique que debe cambiar de estado.

# Circuitos secuenciales sincrónicos



a) Diagrama de bloques



## 1 Circuitos secuenciales

Latches

Flip-flops

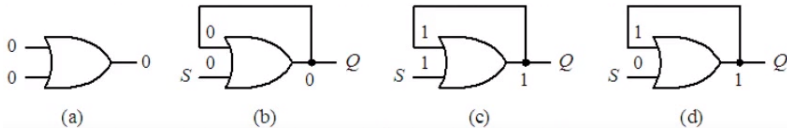
## 2 Análisis de circuitos secuenciales

# Latches

Los elementos de memoria mas utilizados en circuitos secuenciales son los flip-flops. Estos flip-flops se contruyen utilizando otro elemento de alamencemiento mas elemental llamado **Latch**. La palabra *latch* viene del ingles que significa cerrojo.

# Latches

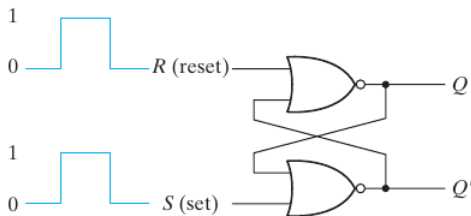
Los elementos de memoria mas utilizados en circuitos secuenciales son los flip-flops. Estos flip-flops se contruyen utilizando otro elemento de alamencemiento mas elemental llamado **Latch**. La palabra *latch* viene del ingles que significa cerrojo.



# Latch SR

El **latch SR** que se construye con dos compuertas NOR o NAND acopladas en cruz, tiene dos entradas, **S** (de set, establecer) y **R** (de reset, restablecer) y dos salidas **Q** y **Q'**. Cuando las salidas  $Q = 1$  y  $Q' = 0$ , decimos que está en el estado establecido. Cuando  $Q = 0$  y  $Q' = 1$ , está en el estado restablecido. Las salidas **Q** y **Q'** normalmente son una el complemento de la otra, pero si ambas entradas son 1 al mismo tiempo, se presenta un estado indefinido en el que ambas salidas son 0.

# Latch SR

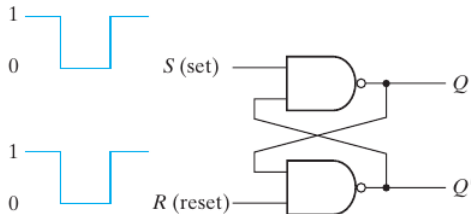


a) Diagrama lógico

| $S$ | $R$ | $Q$ | $Q'$ |
|-----|-----|-----|------|
| 1   | 0   | 1   | 0    |
| 0   | 0   | 1   | 0    |
| 0   | 1   | 0   | 1    |
| 0   | 0   | 0   | 1    |
| 1   | 1   | 0   | 0    |

b) Tabla de función

# Latch SR con NANDs (S'N')



a) Diagrama lógico

| $S$ | $R$ | $Q$ | $Q'$ |
|-----|-----|-----|------|
| 1   | 0   | 0   | 1    |
| 1   | 1   | 0   | 1    |
| 0   | 1   | 1   | 0    |
| 1   | 1   | 1   | 0    |
| 0   | 0   | 1   | 1    |

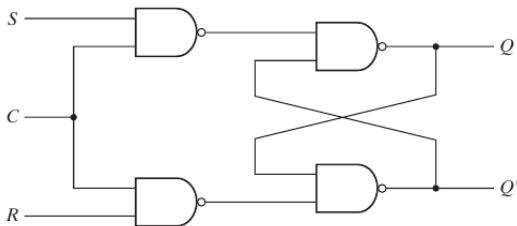
(Después de  $S = 1, R = 0$ )

(Después de  $S = 0, R = 1$ )

b) Tabla de función



# Latch SR con entrada de control



a) Diagrama lógico

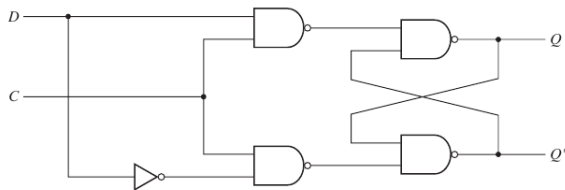
| $C$ | $S$ | $R$ | Siguiente estado de $Q$       |
|-----|-----|-----|-------------------------------|
| 0   | X   | X   | Sin cambio                    |
| 1   | 0   | 0   | Sin cambio                    |
| 1   | 0   | 1   | $Q = 0$ ; estado restablecido |
| 1   | 1   | 0   | $Q = 1$ ; estado establecido  |
| 1   | 1   | 1   | Indeterminado                 |

b) Tabla de función

# Latch D

Una forma de eliminar la condición indeseable del estado indeterminado en el latch SR es garantizar que las entradas S y R nunca sean 1 al mismo tiempo. Esto se hace en el **latch D**. Este latch sólo tiene dos entradas: D (datos) y C (control). La entrada D pasa directamente a la entrada S y su complemento se aplica a la entrada R.

# Latch D



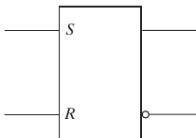
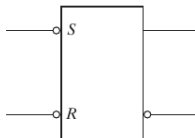
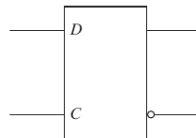
a) Diagrama lógico

| $C$ | $D$ | Siguiente estado de $Q$       |
|-----|-----|-------------------------------|
| 0   | X   | Sin cambio                    |
| 1   | 0   | $Q = 0$ ; estado restablecido |
| 1   | 1   | $Q = 1$ ; estado establecido  |

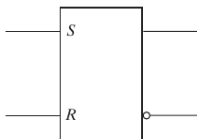
b) Tabla de función

La entrada  $D$  se muestrea cuando  $C = 1$ . Si  $D = 1$ , la salida  $Q$  pasará a 1, colocando el circuito en el estado establecido. Si  $D = 0$ , la salida  $Q$  pasará a 0, colocando el circuito en el estado restablecido.

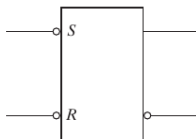
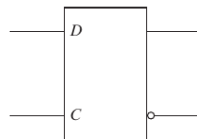
# Simbolos gráficos de los Latches

 $SR$  $\overline{S}\overline{R}$  $D$

# Simbolos grficos de los Latches



SR

 $\overline{S}\overline{R}$ 

D

- ❶ Los latches cambian su estado ante una entrada de control
- ❷ Normalmente la entrada de control estará conectada a la señal de reloj.
- ❸ Cada vez que el la señal de reloj este en alto, es decir, sea un 1 lógico, el valor del dato se propagara a la salida Q.
- ❹ Los latches tienen una respuesta al nivel positivo del reloj.

# 1 Circuitos secuenciales

Latches

Flip-flops

## 2 Análisis de circuitos secuenciales

# Flip-flops

El estado de un latch o flip-flop se conmuta con un cambio en la entrada de control. Este cambio momentáneo se denomina disparo y decimos que la transición que causa dispara el flip-flop. El latch D con pulsos en su entrada de control se dispara cada vez que el pulso alcanza el nivel de 1 lógico. En tanto la entrada de pulso se mantenga en este nivel, cualquier cambio en la entrada de datos hará que cambie la salida y el estado del latch.

# Flip-flops



a) Respuesta al nivel positivo



b) Respuesta al borde positivo

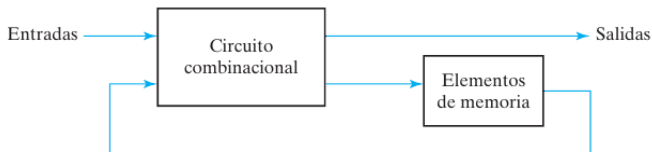


c) Respuesta al borde negativo



# Flip-flops

Cuando se usan latches como elementos de almacenamiento, surge una dificultad grave. Las transiciones de estado de los latches se inician tan pronto como el pulso de reloj cambia al nivel de 1 lógico. El nuevo estado del latch aparece en la salida mientras el pulso aún está activo. Esta salida se conecta a las entradas de los latches a través del circuito combinacional. Si las entradas aplicadas a los latches cambian mientras el pulso de reloj todavía está en el nivel de 1 lógico, los latches responderán a nuevos valores y podría presentarse un nuevo estado de salida, dando un resultado impredecible.



# Flip-flops

Los circuitos de flip-flop se construyen de tal manera que funcionan correctamente cuando forman parte de un circuito secuencial que utiliza un solo reloj. La clave para que el flip-flop funcione correctamente es dispararlo únicamente durante una transición de la señal. Un pulso de reloj sufre dos transiciones: de 0 a 1 y de 1 a 0 al regresar.



b) Respuesta al borde positivo



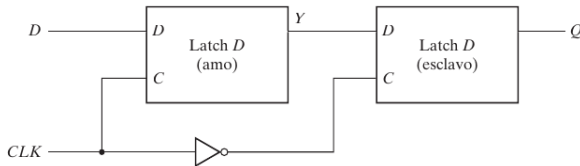
c) Respuesta al borde negativo

## Flip-flop D disparado por borde (o flanco)

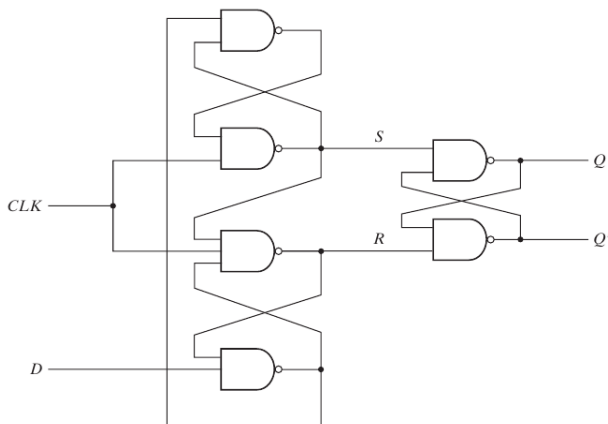
La construcción de un flip-flop D se hace con dos latches D y un inversor. El primer latch es el amo, y el segundo, el esclavo. El circuito muestrea la entrada D y cambia su salida Q únicamente en el borde negativo del reloj controlador (designado por CLK “clock”).

## Flip-flop D disparado por borde (o flanco)

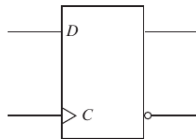
La construcción de un flip-flop D se hace con dos latches D y un inversor. El primer latch es el amo, y el segundo, el esclavo. El circuito muestrea la entrada D y cambia su salida Q únicamente en el borde negativo del reloj controlador (designado por CLK “clock”).



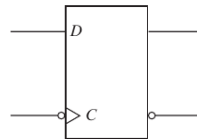
# Flip-flop D disparado flanco positivo



# Flip-flop D diagrama



a) Borde positivo



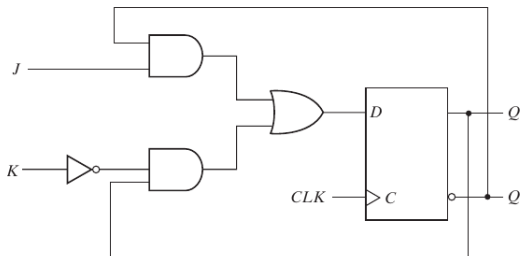
b) Borde negativo

## FF JK

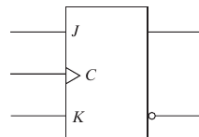
Hay tres operaciones que pueden efectuarse con un flip-flop: establecerlo en 1, restablecerlo a 0 y complementar su salida. El flip-flop JK realiza las tres operaciones. La entrada J establece el flip-flop en 1, la entrada K lo restablece a 0 y, cuando ambas entradas están habilitadas, la salida se complementa. Esto se verifica investigando el circuito aplicado a la entrada D:  $D = JQ' + K'Q$ .

## FF JK

Hay tres operaciones que pueden efectuarse con un flip-flop: establecerlo en 1, restablecerlo a 0 y complementar su salida. El flip-flop JK realiza las tres operaciones. La entrada J establece el flip-flop en 1, la entrada K lo restablece a 0 y, cuando ambas entradas están habilitadas, la salida se complementa. Esto se verifica investigando el circuito aplicado a la entrada D:  $D = JQ' + K'Q$ .



a) Diagrama de circuito



b) Símbolo gráfico

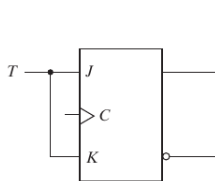


## FF T (Toggle)

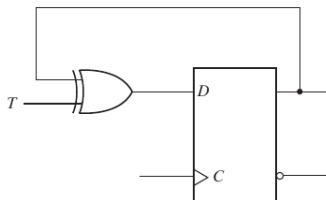
El flip-flop T (toggle) es un flip-flop complementador y se puede implementar con un flip-flop JK si se conectan entre sí las entradas J y K. Cuando  $T = 0$  ( $J = K = 0$ ), un borde de reloj no modifica la salida. Cuando  $T = 1$  ( $J = K = 1$ ), un borde de reloj complementa la salida. El flip-flop complementador es útil para diseñar contadores binarios.  $D = TQ' + T'Q$

# FF T (Toggle)

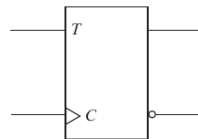
El flip-flop T (toggle) es un flip-flop complementador y se puede implementar con un flip-flop JK si se conectan entre sí las entradas J y K. Cuando  $T = 0$  ( $J = K = 0$ ), un borde de reloj no modifica la salida. Cuando  $T = 1$  ( $J = K = 1$ ), un borde de reloj complementa la salida. El flip-flop complementador es útil para diseñar contadores binarios.  $D = TQ' + T'Q$



a) Con un flip-flop JK



b) Con un flip-flop D



c) Símbolo gráfico

# Tablas de verdad de los FF

**Tabla 5-1**

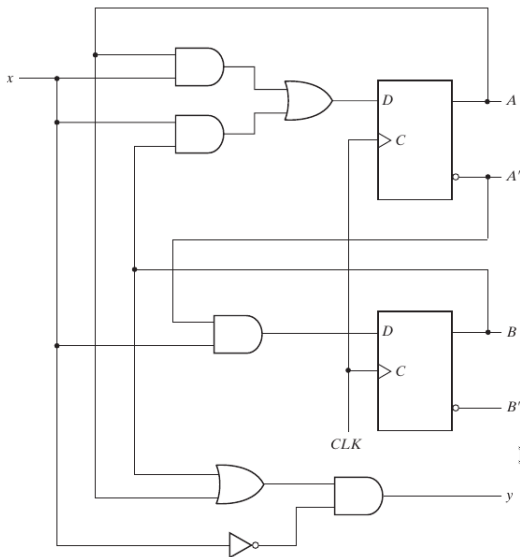
*Tablas características de flip-flops*

| <b>Flip-Flop JK</b> |          |            |              |
|---------------------|----------|------------|--------------|
| <i>J</i>            | <i>K</i> | $Q(t + 1)$ |              |
| 0                   | 0        | $Q(t)$     | Sin cambio   |
| 0                   | 1        | 0          | Restablecer  |
| 1                   | 0        | 1          | Establecer   |
| 1                   | 1        | $Q'(t)$    | Complementar |

| <b>Flip-Flop D</b> |            |             |
|--------------------|------------|-------------|
| <i>D</i>           | $Q(t + 1)$ |             |
| 0                  | 0          | Restablecer |
| 1                  | 1          | Establecer  |

| <b>Flip-Flop T</b> |            |              |
|--------------------|------------|--------------|
| <i>T</i>           | $Q(t + 1)$ |              |
| 0                  | $Q(t)$     | Sin cambio   |
| 1                  | $Q'(t)$    | Complementar |

# Ejemplo de un circuito secuencial



# Ejemplo de un circuito secuencial

**Tabla 5-2**

*Tabla de estados para el circuito de la figura 5-15*

| Estado actual |   | Entrada | Siguiete estado |   | Salida |
|---------------|---|---------|-----------------|---|--------|
| A             | B |         | A               | B |        |
| 0             | 0 | 0       | 0               | 0 | 0      |
| 0             | 0 | 1       | 0               | 1 | 0      |
| 0             | 1 | 0       | 0               | 0 | 1      |
| 0             | 1 | 1       | 1               | 1 | 0      |
| 1             | 0 | 0       | 0               | 0 | 1      |
| 1             | 0 | 1       | 1               | 0 | 0      |
| 1             | 1 | 0       | 0               | 0 | 1      |
| 1             | 1 | 1       | 1               | 0 | 0      |

## 1 Circuitos secuenciales

## 2 Análisis de circuitos secuenciales

Ecuaciones de estado

Tablas de estados

Diagrama de estados

Procedimiento de diseño para circuitos secuenciales

# Análisis de circuitos secuenciales

El comportamiento de un circuito secuencial con reloj está determinado por las entradas, las salidas y el estado de sus flip-flops. Las salidas y el siguiente estado son función de las entradas y del estado actual. El análisis de un circuito secuencial consiste en obtener una tabla o diagrama para la sucesión temporal de entradas, salidas y estados internos. También es posible escribir expresiones booleanas que describan el comportamiento del circuito secuencial.

## 1 Circuitos secuenciales

## 2 Análisis de circuitos secuenciales

Ecuaciones de estado

Tablas de estados

Diagrama de estados

Procedimiento de diseño para circuitos secuenciales



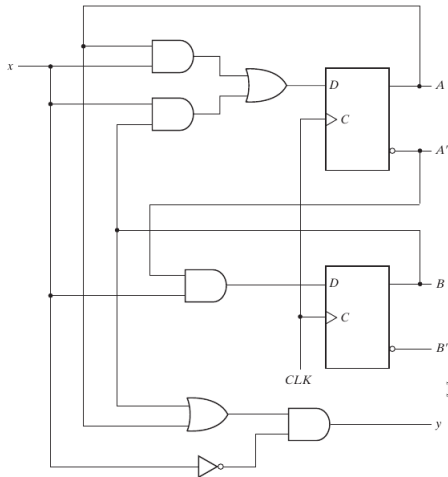
# Ecuaciones de estado

El comportamiento de los circuitos secuenciales con reloj se describe algebraicamente con ecuaciones de estado. Una ecuación de estado (también llamada ecuación de transición) especifica el siguiente estado en función del estado actual y las entradas.

La ecuacion de estados para un FF D es:  $D_Q = Q(t + 1)$

# Ecuaciones de estado

Considerando el siguiente circuito secuencial:



# Ecuaciones de estado

Consta de dos flip-flops D, A y B, una entrada x y una salida y. Puesto que la entrada D de un flip-flop determina el valor del siguiente estado, podemos escribir un conjunto de ecuaciones de estado para el circuito:

# Ecuaciones de estado

Los estados siguientes en los flip-flops estan definidos por:

$$A(t+1) = A(t)x(t) + B(t)x(t)$$

$$B(t+1) = A'(t)x(t)$$

$$A(t+1) = Ax + Bx$$

$$B(t+1) = A'x$$

# Ecuaciones de estado

La salida  $y$  se define como:

$$y(t) = CA(t) + B(t)Dx'(t)$$

$$y = (A + B)x'$$

## 1 Circuitos secuenciales

## 2 Análisis de circuitos secuenciales

Ecuaciones de estado

Tablas de estados

Diagrama de estados

Procedimiento de diseño para circuitos secuenciales



# Tablas de estados

**Tabla 5-3**  
*Segunda forma de la tabla de estados*

| Estado actual | Siguiete estado |         | Salida  |         |
|---------------|-----------------|---------|---------|---------|
|               | $x = 0$         | $x = 1$ | $x = 0$ | $x = 1$ |
| $AB$          | $AB$            | $AB$    | $y$     | $y$     |
| 00            | 00              | 01      | 0       | 0       |
| 01            | 00              | 11      | 1       | 0       |
| 10            | 00              | 10      | 1       | 0       |
| 11            | 00              | 10      | 1       | 0       |



## 1 Circuitos secuenciales

## 2 Análisis de circuitos secuenciales

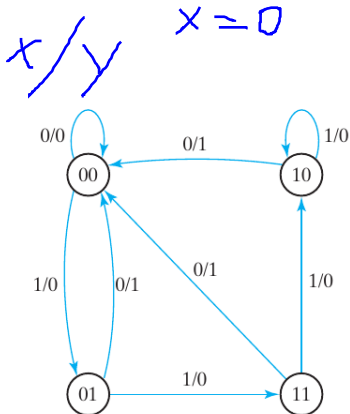
Ecuaciones de estado

Tablas de estados

Diagrama de estados

Procedimiento de diseño para circuitos secuenciales

# Diagrama de estados



## Ejemplo con FF D

Obtenga el diagrama del lógico, la tabla de estados y el diagrama de estados, del circuito secuencial descrito por la ecuación de estados:

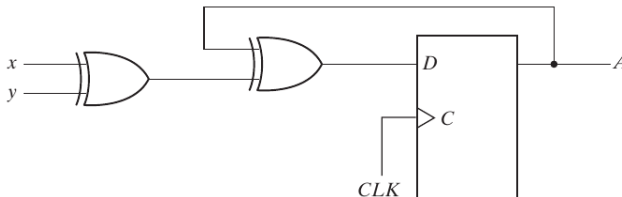
$$D_A = A \oplus x \oplus y.$$

## Ejemplo con FF D

Obtenga el diagrama del lógico, la tabla de estados y el diagrama de estados, del circuito secuencial descrito por la ecuación de estados:

$$D_A = A \oplus x \oplus y.$$

**Diagrama lógico**



## Ejemplo con FF D

**Tabla de estados:** Los valores de los estados siguientes se obtienen de la ecuación de estado:  $A(t + 1) = A \oplus x \oplus y$ .

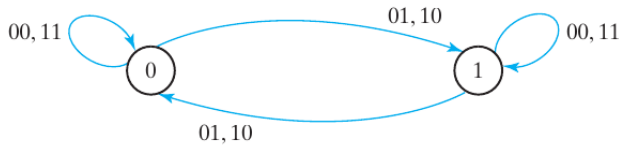
## Ejemplo con FF D

**Tabla de estados:** Los valores de los estados siguientes se obtienen de la ecuación de estado:  $A(t + 1) = A \oplus x \oplus y$ .

| Estado actual | Entradas |     | Siguiente estado |
|---------------|----------|-----|------------------|
| $A$           | $x$      | $y$ | $A$              |
| 0             | 0        | 0   | 0                |
| 0             | 0        | 1   | 1                |
| 0             | 1        | 0   | 1                |
| 0             | 1        | 1   | 0                |
| 1             | 0        | 0   | 1                |
| 1             | 0        | 1   | 0                |
| 1             | 1        | 0   | 0                |
| 1             | 1        | 1   | 1                |

## Ejemplo con FF D

### Diagrama de estados



## 1 Circuitos secuenciales

## 2 Análisis de circuitos secuenciales

Ecuaciones de estado

Tablas de estados

Diagrama de estados

Procedimiento de diseño para circuitos secuenciales



# Procedimiento de diseño para circuitos secuenciales

El procedimiento para diseñar circuitos secuenciales síncronos se resume en una lista de pasos recomendados:

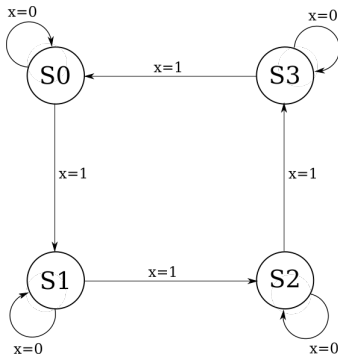
- 1 Deduzca, de la descripción textual y las especificaciones del funcionamiento deseado, un diagrama de estados para el circuito.
- 2 Asigne valores binarios a los estados.
- 3 Obtenga la tabla de estados codificada en binario.
- 4 Escoja el tipo de flip-flops que se usarán.
- 5 Deduzca las ecuaciones simplificadas de entrada y de salida de los flip-flops.
- 6 Dibuje el diagrama lógico.

## Ejemplo de diseño I

Diseñe un circuito secuencial con dos flip-flops  $D$ ,  $A$  y  $B$ , y una entrada,  $x$ . Cuando  $x = 0$ , el estado del circuito no cambia. Cuando  $x = 1$ , el circuito pasa por las transiciones de estado de 00 a 01 a 11 a 10 y de vuelta a 00, y repite.

## Ejemplo de diseño II

- 1 De la descripción del problema: Se tienen dos flip-flops, por lo que se tendrán 4 estados. Una entrada  $x$  que cuando está en 1 cambia de estado. Con esto se deduce el siguiente diagrama de estados:



## Ejemplo de diseño III

- ② Asigne valores binarios a los estados.

| Estados | A | B |
|---------|---|---|
| S0      | 0 | 0 |
| S1      | 0 | 1 |
| S2      | 1 | 0 |
| S3      | 1 | 1 |

## Ejemplo de diseño IV

- 3 Obtenga la tabla de estados codificada en binario.

| A | B | x | A | B |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 |

- 4 Escoja el tipo de flip-flops que se usarán.

Se utilizarán flip-flops D

## Ejemplo de diseño V

- 5 Deduzca las ecuaciones simplificadas de entrada y de salida de los flip-flops.

Se obtiene la ecuación de estados los flip-flops. Se tiene que la ecuación de estado para un flip-flop D es:  $D_Q = Q(t + 1)$

Para el flip-flop  $D_A$ , la ecuación es:  $A(t + 1) = D_A(A, B, x)$ .

Para el flip-flop  $D_B$ , la ecuación es:  $B(t + 1) = D_B(A, B, x)$ .

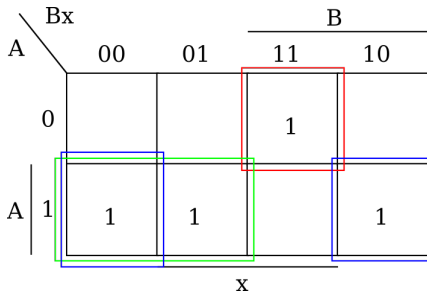
Se deducen las ecuaciones de la tabla de estados utilizando los minitérminos correspondientes:

$$\rightarrow A(t + 1) = D_A(A, B, x) = \sum(3, 4, 5, 6).$$

$$\rightarrow B(t + 1) = D_B(A, B, x) = \sum(1, 2, 5, 6).$$

# Ejemplo de diseño VI

Para FF  $D_A$ .



$$D_A = A'Bx + AB' + Ax'.$$

# Ejemplo de diseño VII

Para FF  $D_B$ .

|   |   | Bx |    |    |    |
|---|---|----|----|----|----|
|   |   | B  |    | x  |    |
| A |   | 00 | 01 | 11 | 10 |
|   | 0 |    | 1  |    | 1  |
|   | 1 |    | 1  |    | 1  |

$$D_B = B'x + Bx' = B \oplus x$$



## Ejemplo de diseño VIII

6 Dibuje el diagrama lógico.

