

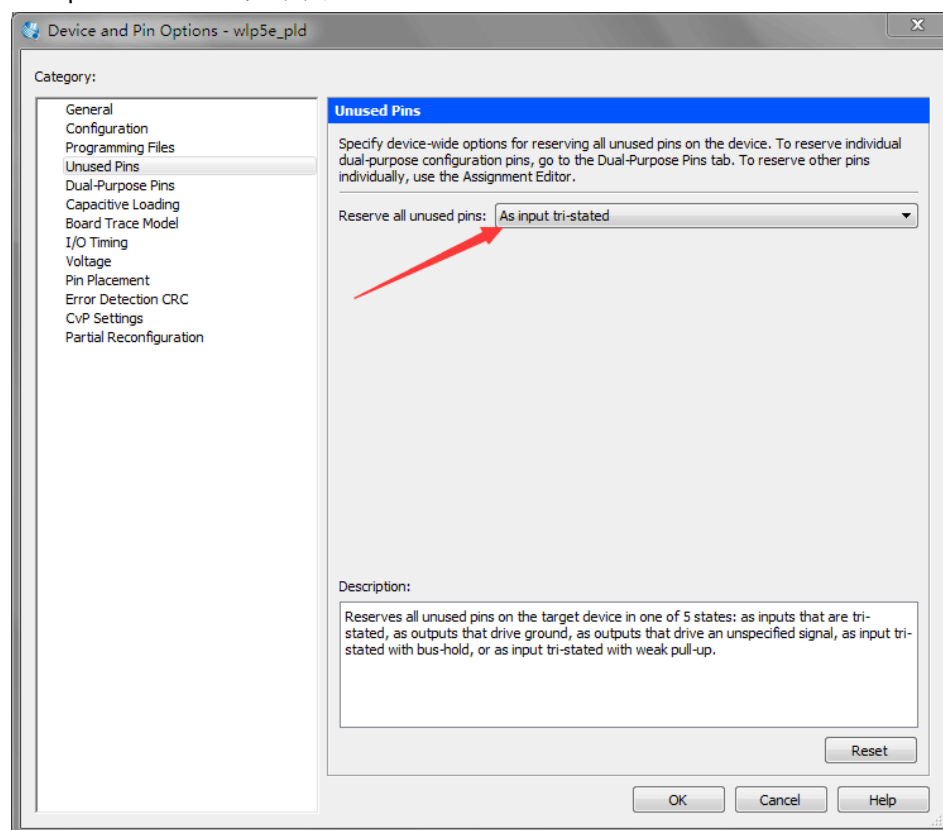
## AGM CPLD 应用指南

### 1.AG576 IO

AG576SL100 的可用 IO 与 AG272SL100 一致，比 Altera EPM570T100 多 4 个 IO，分别为：

Device	Pin_39	Pin_88	Pin_37	Pin_90
EPM570T100 Pin	VCCINT	VCCINT	GNDINT	GNDINT
AG576SL100 Pin	IO	IO	IO	IO

如果 PCB 兼容 EPM570,39/88 接 3.3V 供电的话，有可能会使芯片输入 IO 电流较大。可以通过设置，使 AG576 的未用 IO 为三态模式。请在 EPM570 的原设计中设置 Unused Pin 选项为 AS input tri-stated。如下图：



如果希望利用 AG576 多的 4 个 IO，可以在 asf 文件中加入对这 4 个 pin 的分配，如：

**set\_location\_assignment PIN\_88 -to abc**

### 2.安全位设置

AG272/576 安全位（SECURITY\_BIT）可以使 CPLD 烧写好后，无法读取出内部程序，只能擦除或覆盖，从而实现用户设计的安全性。

设置方法：

方法一：Quartus MAX II 工程中，选 Assignment-Device 菜单，点 Device and Pin Options，选 General 类别，选中 Enables security bit support。重新编译。运行 Supra 转换流程。

方法二：在 Supra 生成的 asf 文件中，加入一行：

**set\_global\_assignment -name SECURITY\_BIT "ON"**

### 3. PLL 的使用

AG576/272 内部带有 1 个 PLL，可通过以下方法调用：

新建项目目录，如 Run\_dir。目录里放入 ip.tcl 空文件。

用文本编辑器打开 ip.tcl 文件，加入下面语句，如：

```
generate_pll pll0 -pll_type alta_pll -input_freq 7 -output_freqs { -1 70 } -fb_mode  
EXT_CLKOUT0
```

pll0 为 pll 模块名称，-input\_freq 后改写输入频率（MHz），-output\_freqs 后改写输出频率，可用 2 个输出，-1 为不用。输入目前最小为 7M，输出频率  $F_{out}=F_{in} \times M \times G \div N$ ，M/N/G 为 1-64 整数。

注意：PLL 的输入时钟必须是芯片的全局输入时钟 pin（T100: Pin\_12, Pin\_14; T144: Pin\_18, Pin20）。

Windows 系统的环境变量里要事先加入 path 到 supra\bin 目录，才能执行 af 等指令。

进入 Windows 的命令行运行窗口，进入 Run\_dir 目录，输入：

```
af -f ip.tcl
```

目录中会产生 pll0.v 和 pll0.ip 两个文件。

执行：

```
af_setup_cmd --ip pll0.ip --design design_name --device ALTA576S1T100 --migrate From_dir
```

（例：af\_setup\_cmd --ip pll0.ip --design abc --device ALTA576S1T100 --migrate ..\）

生成新的项目文件，打开 qpf 文件。

编辑源文件（.v）加入 pll 模块（这样，原 MAX II 项目就不能正确编译了，请留好备份）

Verilog 文件方式：

```
pll0 pll_inst(      // PLL
    .clkln(clk),
    .clkfb(clkout0), //从 clkout0 反馈，也可用 1，和-fb_mode 参数一致
    .pllen(1'b1),
    .resetn(rst),
    .pfden(1'b1),
    .clkout0(clkout0), //clkout0
    .clkout1(clkout1), //clkout1
    .lock(lock)      //锁定信号，PLL 正确锁定输出 1，否则 0
);
```

还要改写所需的 pin 声明，连接等。

（原理图 BDF 文件方式：

打开 pll0.v 文件，File->Create/Update->Create Symbol Files for Current File。生成 pll0.bsf。

顶层 bdf 文件中加入 pll0 模块，修改添加连线。）

在项目里加入所有用到的设计文件，以及 pll0.v 和 Supra 安装目录里的库文件

/etc/arch/rodiniaalta\_sim.v。

Tools->Tcl scripts, 选 af\_quartus.tcl, run, 执行编译。

(或命令行方式: quartus\_sh -t af\_quartus.tcl, 需要 Path 指到 Quartus/bin)

成功后, 如果有新的管脚分配, 还要编辑 run\_dir 里的 asf 文件, 加入与 pll 有关的 pin location 设置, 如:

```
set_location_assignment PIN_74 -to clkout0
```

```
set_location_assignment PIN_75 -to clkout1
```

```
set_location_assignment PIN_70 -to lock
```

保存。

命令行窗口, 执行: af\_run\_cmd

即可生成 svf 烧写文件。

注意:

如果 af\_run 编译出错, 有可能是新加入 PLL 使得 clk 时钟线布线不成功, 说明 576 的全局时钟不够, 可修改新项目中的下面设置:

Settings->Fitter Settings, More Settings, Maximum number of global clocks allowed, 改为 2 或 3 (一共是 4, PLL 用 2 个或 1 个时钟)。

#### 4.UFM 的使用

需要调用 alta\_ufms 模块：

```
alta_ufms u_alta_ufms (  
    .i_ufm_set    (1'b1),  
    .i_osc_ena    (oscena), //OSC 输出使能  
    .i_ufm_flash_csn    (), //SPI FLASH 接口  
    .i_ufm_flash_sclk    (), //SPI FLASH 接口  
    .i_ufm_flash_sdi    (), //SPI FLASH 接口  
    .o_ufm_flash_sdo    (), //SPI FLASH 接口  
    .o_osc ()          //OSC 输出  
);
```

使用 USER FLASH，需要通过 SPI 口控制输入输出。

同时提供内部晶振 OSC，可输出 4MHz 左右时钟，用于精度不高的时钟设计。

在设计中加入后，转换好的项目中，alta\_ufms 需要在 Quartus II 中设为 Design Partition，如下图，然后进行正常编译。

