

Logic Design Lab 7

Group ID: 4

Name: Süleyman AKTAŞ ID:05180000107

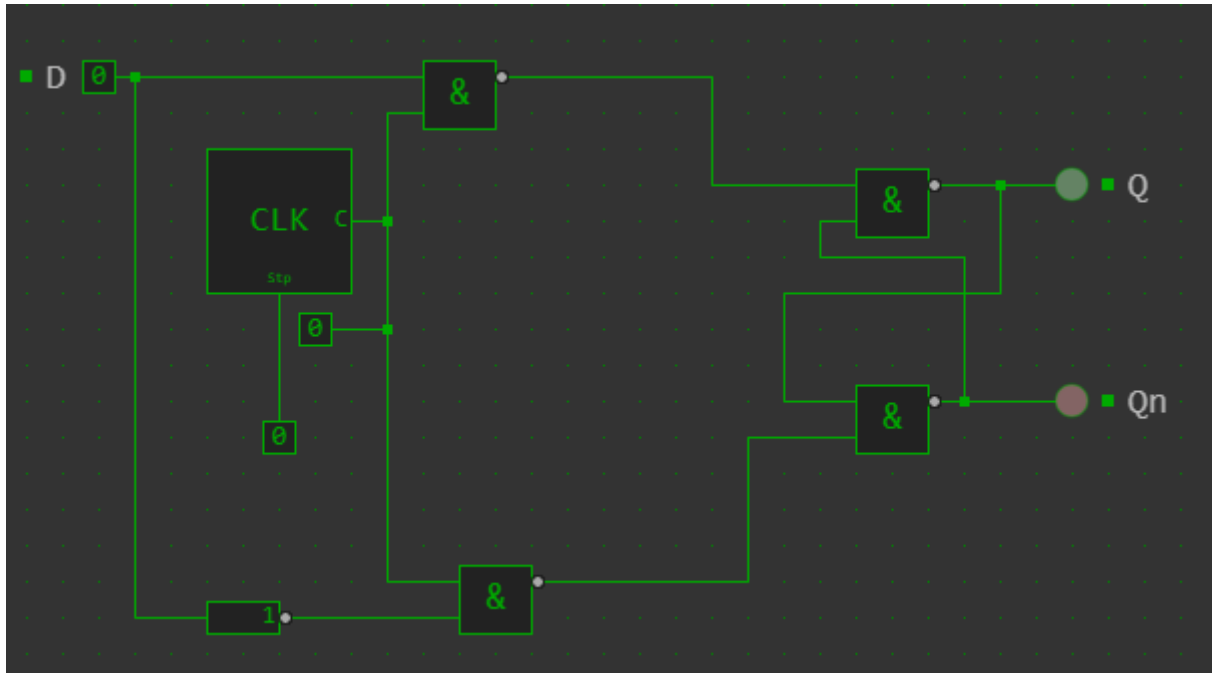
Name: Ertuğrul KANTAR ID:05190000086

Problem description

D latch i kurduktan sonra çalıştırdık. Clock 1 ürettiği devre transparent durumda oluyor ve D yi output'a taşıyor. Clock 0 olduğunda devre opaque durumda ve önceki output korunuyor, D yani input output'a geçemiyor.

D	Clock	Q	Qn
0	0	0	1
0	1	0	1
1	0	1	0
1	1	1	0

Ekran Görüntüsü



**Clock'un düzgün çalışması için clock koluna bir switch eklendi. Switch açılıp kapatıldığında clock çalışıyor, yani aslında devreye dahil değil.

Link:

<http://simulator.io/board/yINRYqNHtq/2>

Video, Egeders'e eklendi.

