

作業二

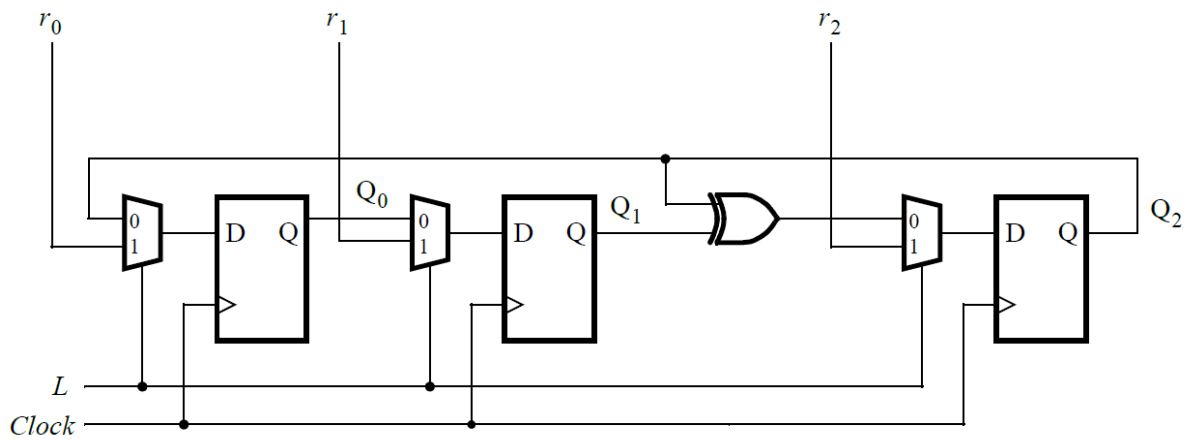
繳交期限：6/6 10:00

請分別做出三張圖所對應的verilog

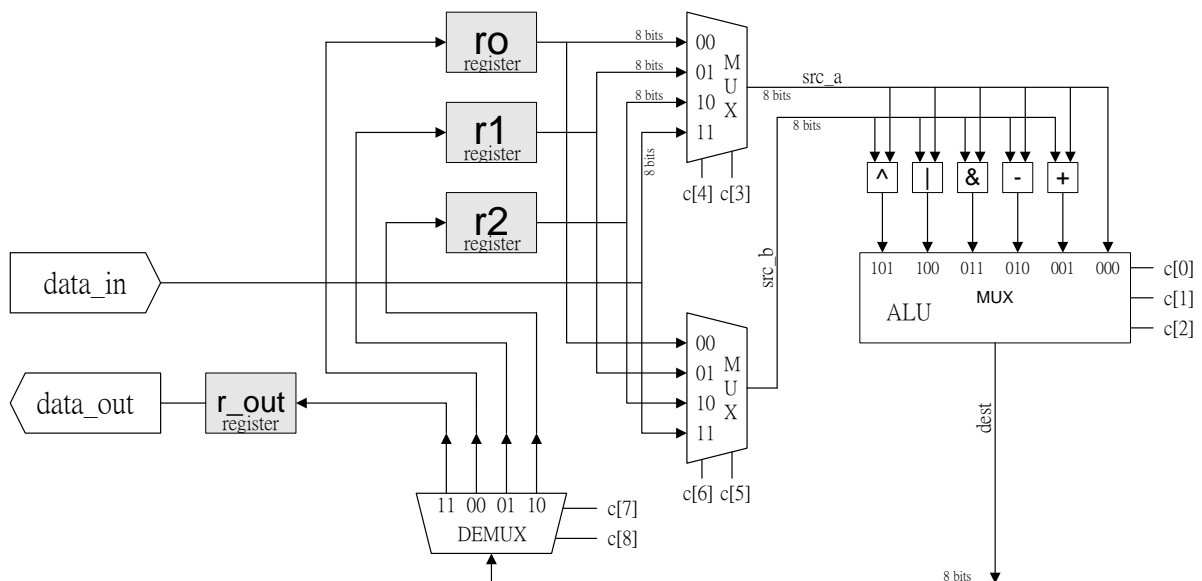
提供模板 one.v、two.v、three.v以及testbench

1. 請用verilog設計此電路，所有 [D flip-flop](#) 初始值為0。

提示：請先將一個MUX與一個DFF視為一個submodule設計，再組合成完整電路。



2. 請用verilog設計此微處理器電路，當negedge reset時，將所有 register設為8'h00；當posedge clk，根據c[8:7]改變register的值



3. 請用verilog並使用finite state machine的概念實作一個遊戲：角色有三個狀態：walk_left、walk_right、aaah，並且有三個訊號輸入：turn_left、turn_right、ground。如果輸入turn_left，角色會向左走；如果輸入turn_right，角色會向右走，如果同時turn_left和turn_right都有輸入，角色會轉向。當ground = 0的時候，角色會掉下去並輸出aaah，並且此時無法改變方向。當有posedge areset訊號時，將state設定為walk_left

提示：state reg 為 always @(posedge clk or posedge areset)

格式要求：

1. 每題皆須包含可執行之專案檔，程式中必須包含註解
2. 每題皆須是單獨資料夾，全部壓縮成一個壓縮檔上傳
3. 必須包含Testbench 之Wave 執行截圖(radix 須為default)，截圖檔名為截圖1、截圖2... 等

助教聯絡資訊：MCAS.E9.111@gmail.com