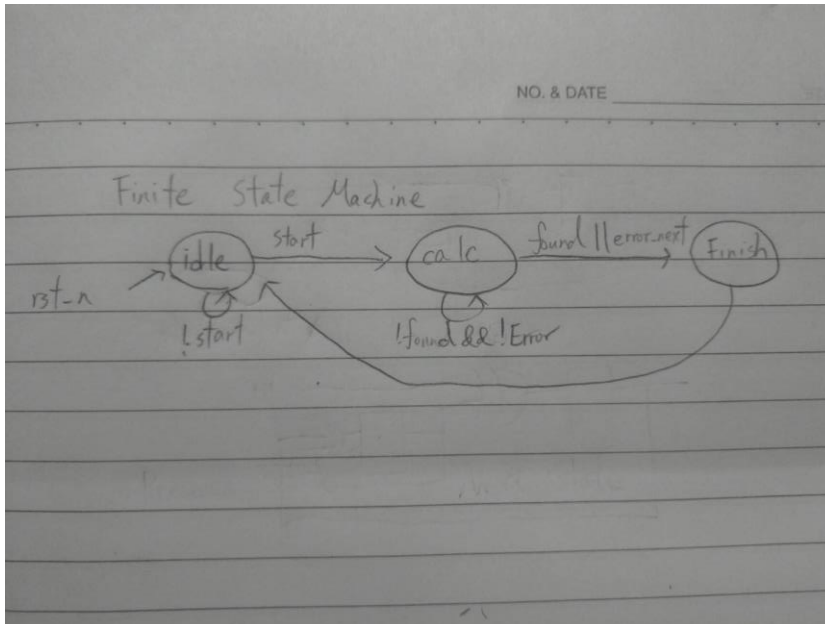


## EECS1010 Design Assignment 02

Student ID: 10707002

Name: 莊英暄

## 1. Design Concept and Description



da02a:

在 `always @(clk)..` 迴圈內，每次都會將 `state, reg_a, reg_b, Error` 進入他們原先的 `next_state` 而 `always begin` 為計算部分判斷現在的 `state`

Idle: 若 `start` 為 1 `next_state` 進入 `calc` 若為 0 則維持 `idle`。

Calc: 計算部分，首先先判斷 `A B` 是否存在任一數為 0，若有則 `next_error` 為 1 並且 `next_state` 為 `finish` 接著進入計算，若已經找到答案 `next_state` 為 `finish`。

Found 為是否找到答案，而減法時的達成條件為兩者答案相同即為答案。

若沒有就繼續計算每次計算時判斷 `reg_a reg_b` 大小去做減法並交換，並將計算後的值丟入 `next_a next_b`，讓下一 `clk` 時可以將值丟入 `reg_a`。

Finish: 完成計算後將 `done` 設為 1，並把 `next_state` 設為 `idle` 讓整個迴圈回到起點。

da02b:

Idle: 若 `start` 為 1 `next_state` 進入 `calc` 若為 0 則維持 `idle`。

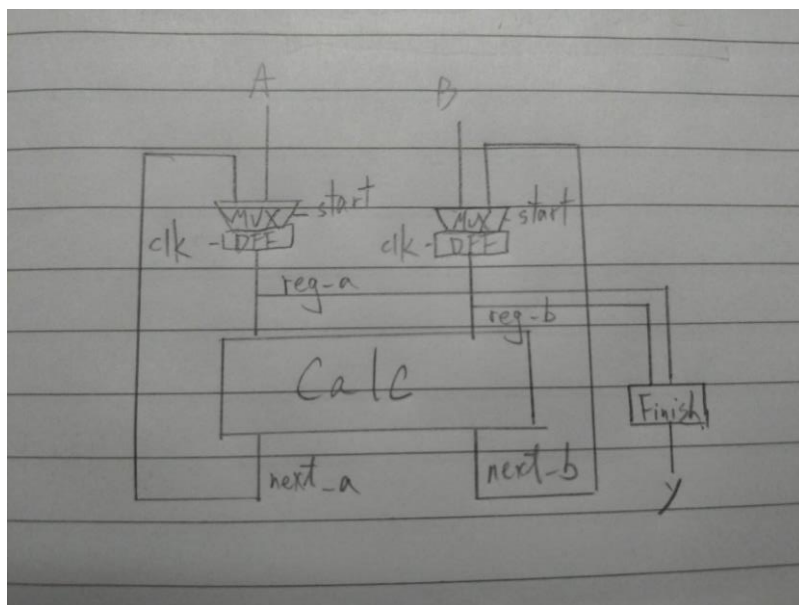
Calc: 計算部分，首先先判斷 `A B` 是否存在任一數為 0，若有則 `next_error` 為 1 並且 `next_state` 為 `finish`，接著進入計算，若已經找到答案 `next_state` 為 `finish`。

Found 為是否找到答案，用除法的方式時達成條件為 `reg_b` 為 0 而 `reg_a` 為答案。

`B` 的部分使用除法的算法，直接將 `next_a = reg_b, next_b = reg_a % reg_b`，不需要管大小順序，因為如果 `b > a` 則第一次的計算就會將兩者進行交換。

Finish: 完成計算後將 `done` 設為 1，並把 `next_state` 設為 `idle` 讓整個迴圈回到起點。

TestBench:使用(21,6) (75,60) (0,0) (0,6)去檢測，(0,0),(0,6)這兩筆測資去檢測當 a,b 都為 0 或是  $b > a$  的狀況

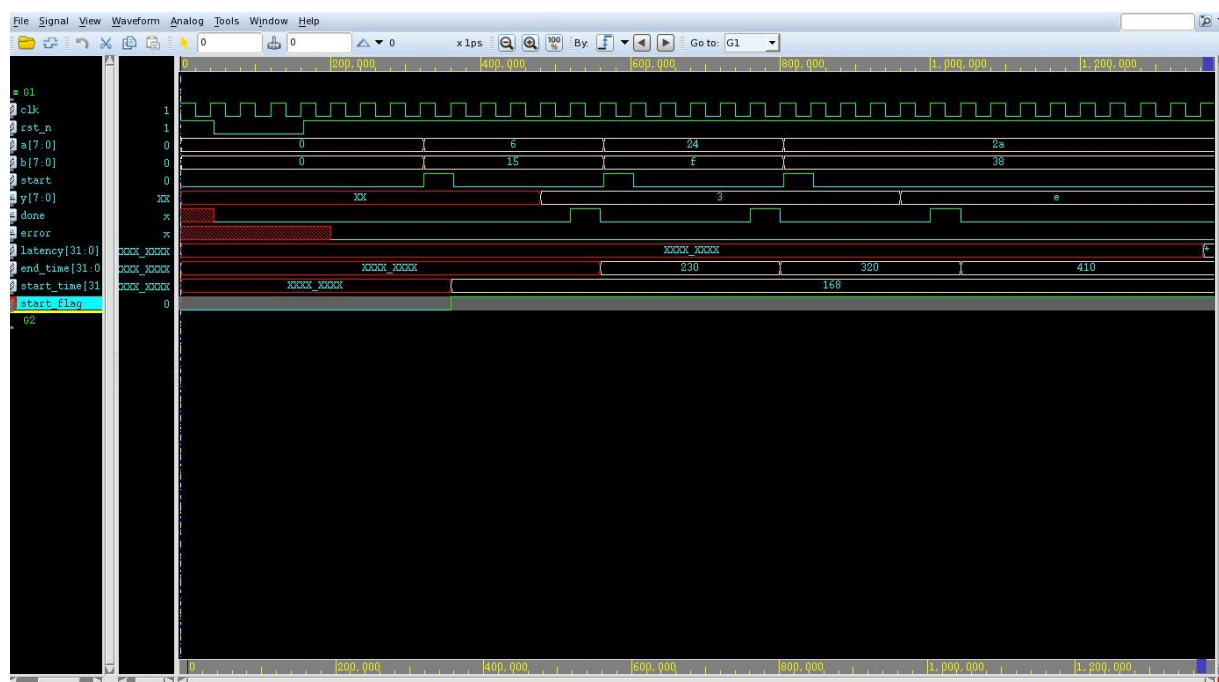


FSM

## 2. Simulation and Discussion

Da02a:

nWave



Timing path

Area

```
*****
```

```
Report : timing
        -path full
        -delay max
        -max_paths 1
        -sort_by group
```

```
Design : GCD
Version: K-2015.06-SP1
Date   : Fri Jun 5 21:57:16 2020
*****
```

```
Operating Conditions: slow   Library: slow
Wire Load Model Mode: top
```

```
Startpoint: Y_reg[7] (positive level-sensitive latch)
Endpoint: Y[7] (output port)
Path Group: (none)
Path Type: max
```

Point	Incr
Y_reg[7]/G (TLATX1)	0.00
Y_reg[7]/Q (TLATX1)	0.35
Y[7] (out)	0.00
data arrival time	

```
-----
(Path is unconstrained)
```

```
***** End Of Report *****
```

```
*****
```

```
Report : area
Design : GCD
Version: K-2015.06-SP1
Date   : Fri Jun 5 21:56:28 2020
*****
```

```
Warning: The set_dont_touch_network command is used for clock CLK, for which no sources
Information: Updating design information... (UID-85)
Library(s) Used:
```

```
slow (File: /theda21_2/CBDK_IC_Contest/cur/SynopsysDC/db/slow.db)
```

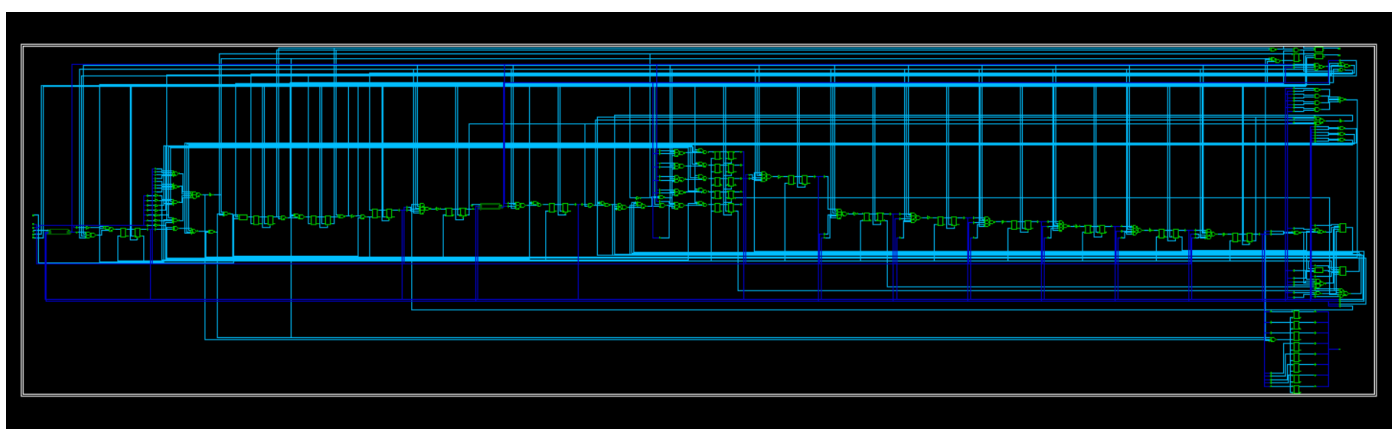
Number of ports:	81
Number of nets:	258
Number of cells:	173
Number of combinational cells:	122
Number of sequential cells:	49
Number of macros/black boxes:	0
Number of buf/inv:	38
Number of references:	33

Combinational area:	1239.102013
Buf/Inv area:	129.002398
Noncombinational area:	1091.428207
Macro/Black Box area:	0.000000
Net Interconnect area:	undefined (No wire load specified)

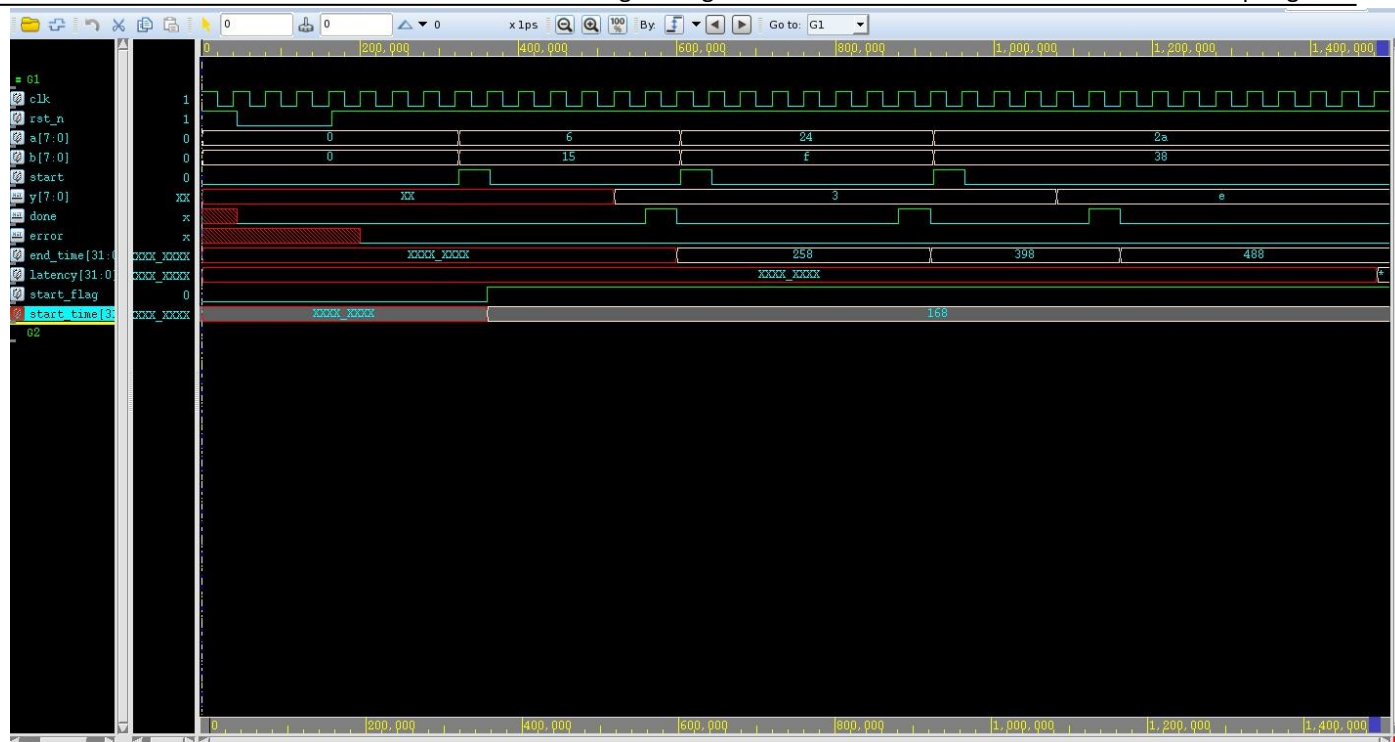
Total cell area:	2330.530220
Total area:	undefined

```
***** End Of Report *****
```

## 合成電路圖



da02b:  
nWave



## Timing Path

\*\*\*\*\*

Report : timing  
 -path full  
 -delay max  
 -max\_paths 1  
 -sort\_by group

Design : GCD  
 Version: K-2015.06-SP1  
 Date : Fri Jun 5 22:10:24 2020  
 \*\*\*\*\*

Operating Conditions: slow Library: slow  
 Wire Load Model Mode: top

Startpoint: Y\_reg[7] (positive level-sensitive latch)  
 Endpoint: Y[7] (output port)  
 Path Group: (none)  
 Path Type: max

Point	Incr	Path
Y_reg[7]/G (TLATX1)	0.00	0.00 r
Y_reg[7]/Q (TLATX1)	0.35	0.35 r
Y[7] (out)	0.00	0.35 r
data arrival time		0.35

(Path is unconstrained)

## Area

\*\*\*\*\*

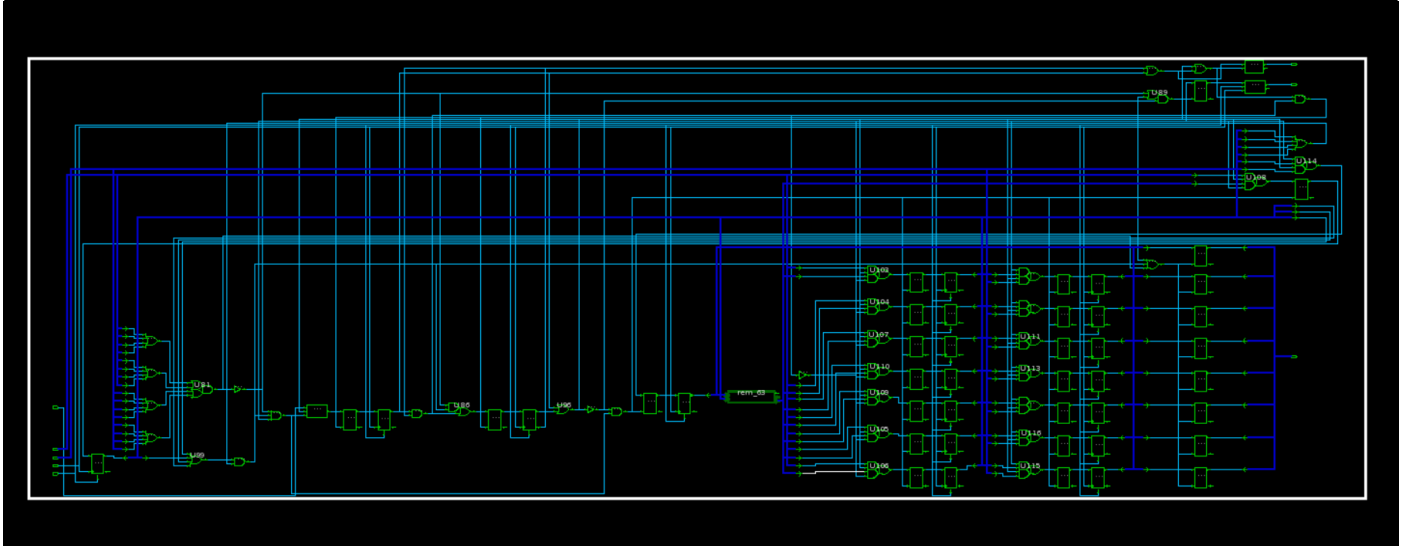
Report : area  
 Design : GCD  
 Version: K-2015.06-SP1  
 Date : Fri Jun 5 22:10:02 2020  
 \*\*\*\*\*

Warning: The set\_dont\_touch\_network command is used for clock CLK, for which no sources are specified.  
 Information: Updating design information... (UID-85)  
 Library(s) Used:

slow (File: /theda21\_2/CBDK\_IC\_Contest/cur/SynopsysDC/db/slow.db)

Number of ports:	105
Number of nets:	325
Number of cells:	223
Number of combinational cells:	173
Number of sequential cells:	47
Number of macros/black boxes:	0
Number of buf/inv:	28
Number of references:	17
Combinational area:	2040.274807
Buf/Inv area:	98.449198
Noncombinational area:	1091.428207
Macro/Black Box area:	0.000000
Net Interconnect area:	undefined (No wire load specified)
Total cell area:	3131.703014
Total area:	undefined

## 合成電路圖



a 的電路圖的較為簡易，因為其計算的結構較為簡易，但是 b 的計算時間以及到達 done 的時間較短，因為使用除法的 cycle 數會少很多。

### 3. Summary

這次的作業比起上次難了不少，需要的寫的 code 也比以前長且複雜很多。這次再寫的時候卡在 calc 很久，因為寫法的問題數值近不去 a,b，後來上網查了很多資料後才知道硬體的 code 寫起來跟軟體的差很多，尤其是平行執行會讓很多軟體的常識不能套用，這次作業一樣花了非常多時間。因為這次多了 design\_vision 的部分，又學了新的事物，雖然在做合成的時候跑出了很多 Warning，但是跑出來的東西是對的，最後寫出東西並且可以執行的時候還是很有成就感。