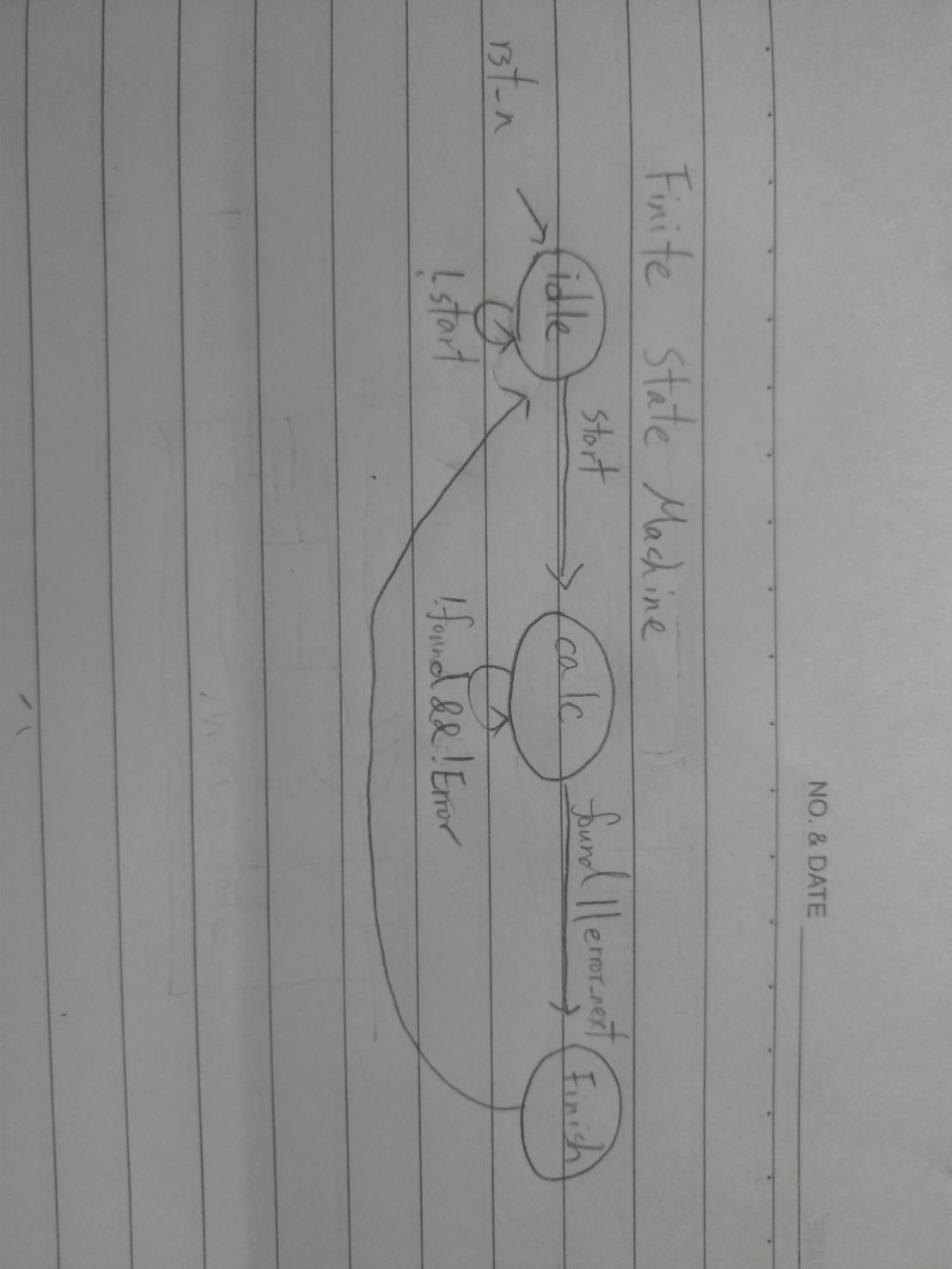
EECS1010 Design Assignment 02

Student ID: 10707002 Name: 莊英暄

1. Design Concept and Description



da02a:

在always @(clk)..迴圈內，每次都會將state,reg\_a,reg\_b,Error進入他們原先的next\_state

而always begin為計算部分判斷現在的state

Idle: 若start為1 next\_state進入calc 若為0則維持idle。

Calc: 計算部分，首先先判斷A B是否存在任一數為0，若有則next\_error為1 並且next\_state為finish接著進入計算，若已經找到答案 next\_state為finish 。

Found為是否找到答案，而減法時的達成條件為兩者答案相同即為答案。

若沒有就繼續計算每次計算時判斷reg\_a reg\_b大小去做減法並交換，並將計算後的值丟入next\_a next\_b，讓下一clk時可以將值丟入reg\_a。

Finish:完成計算後將done設為1，並把next\_state設為idle讓整個迴圈回到起點。

da02b:

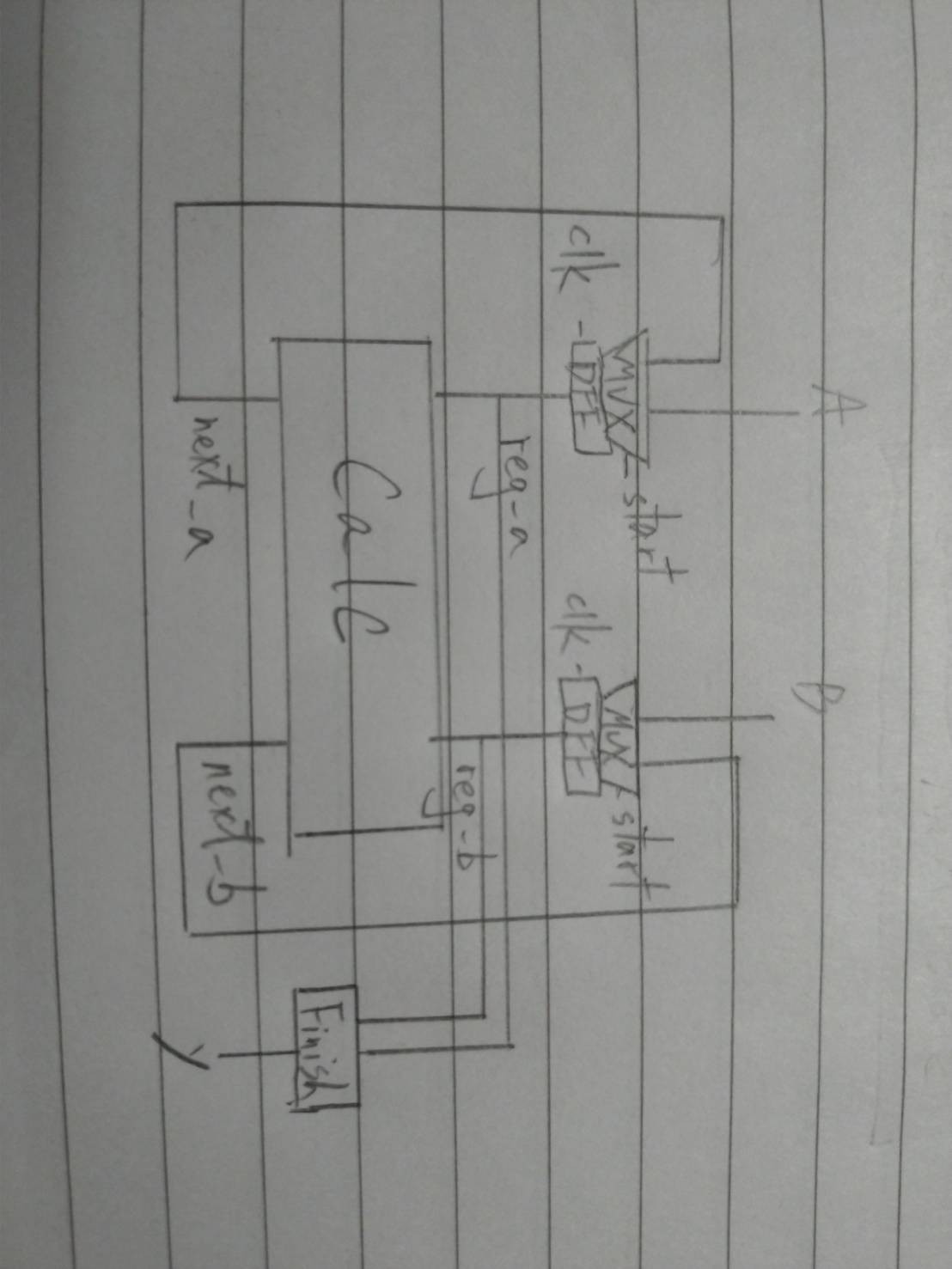
Idle: 若start為1 next\_state進入calc 若為0則維持idle。

Calc: 計算部分，首先先判斷A B是否存在任一數為0，若有則next\_error為1 並且next\_state為finish，接著進入計算，若已經找到答案 next\_state為finish。

Found為是否找到答案，用除法的方式時達成條件為reg\_b為0 而reg\_a為答案。

B的部分使用除法的算法，直接將next\_a = reg\_b, next\_b = reg\_a%reg\_b，不需要管大小順序，因為如果b>a則第一次的計算就會將兩者進行交換。

Finish:完成計算後將done設為1，並把next\_state設為idle讓整個迴圈回到起點。

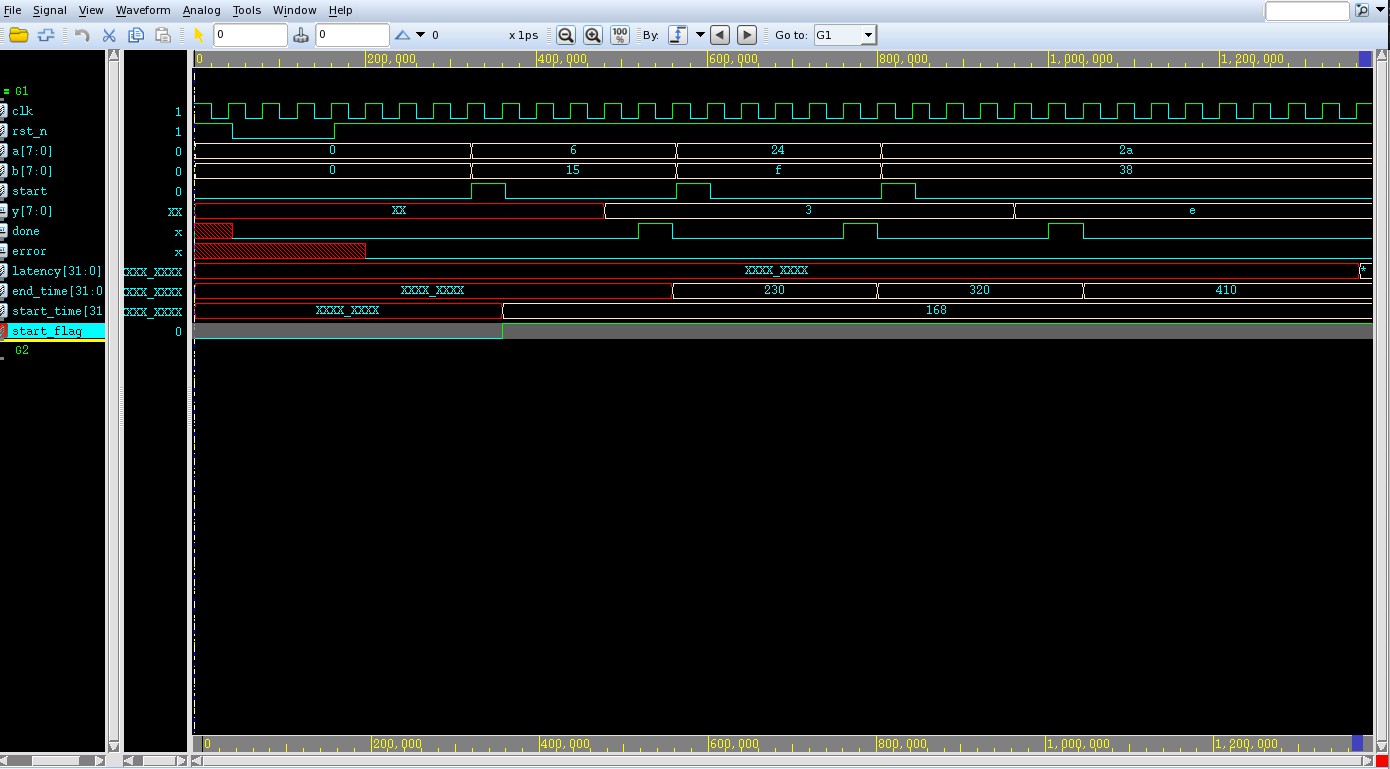
TestBench:使用(21,6) (75,60) (0,0) (0,6)去檢測，(0,0),(0,6)這兩筆測資去檢測當a,b都為0 或是b > a的狀況

FSM

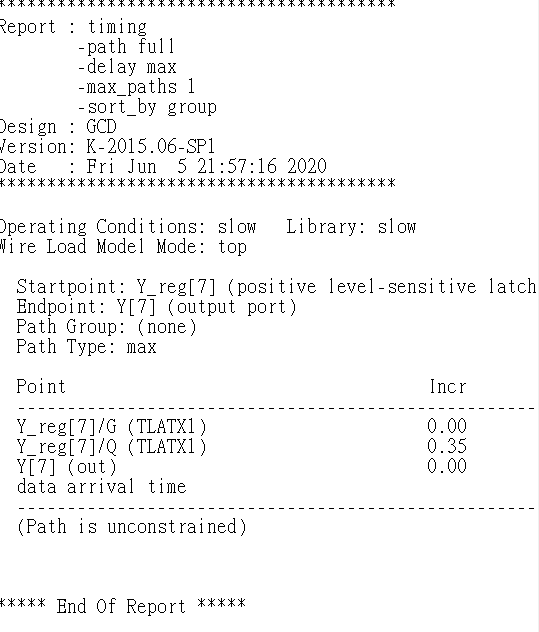
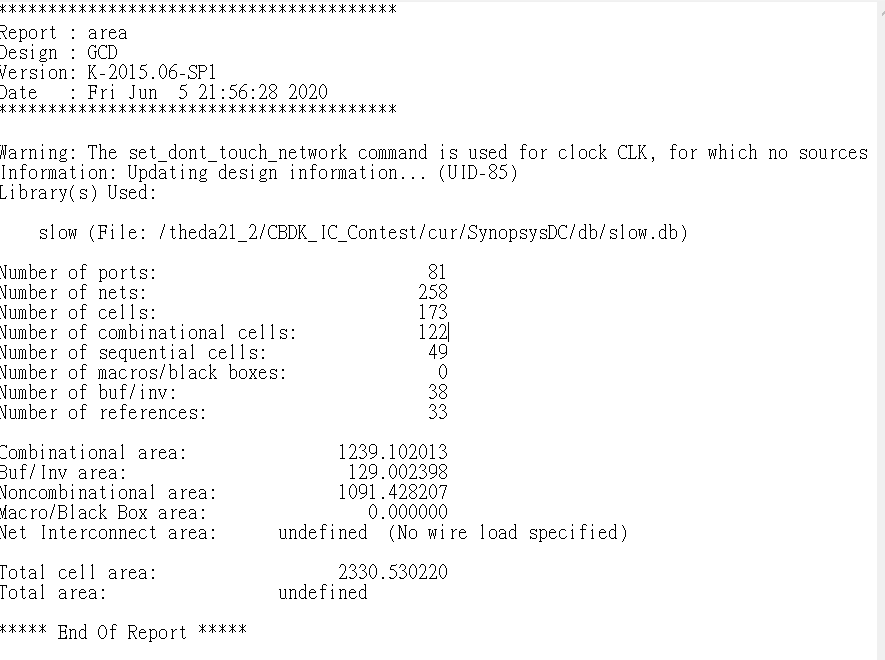
1. Simulation and Discussion

Da02a:

nWave

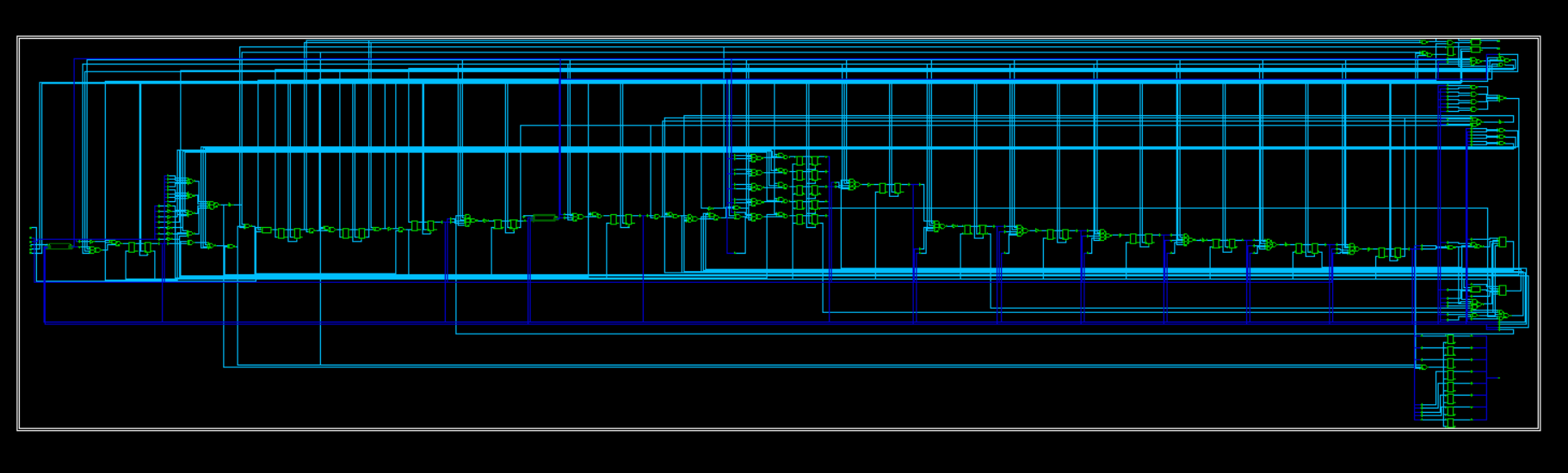


Timing path Area

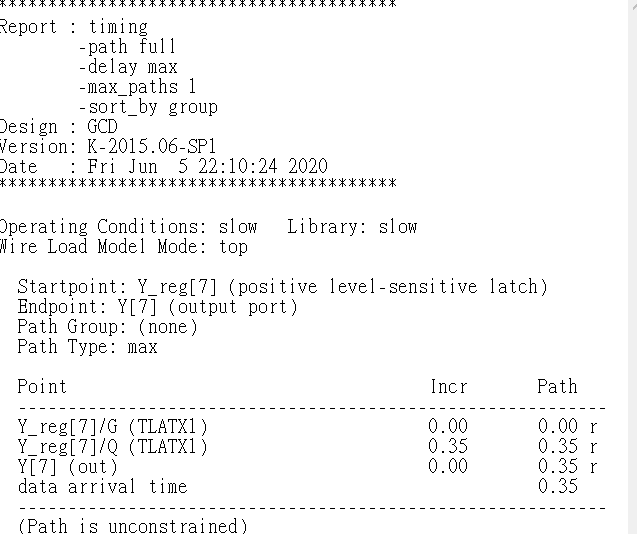
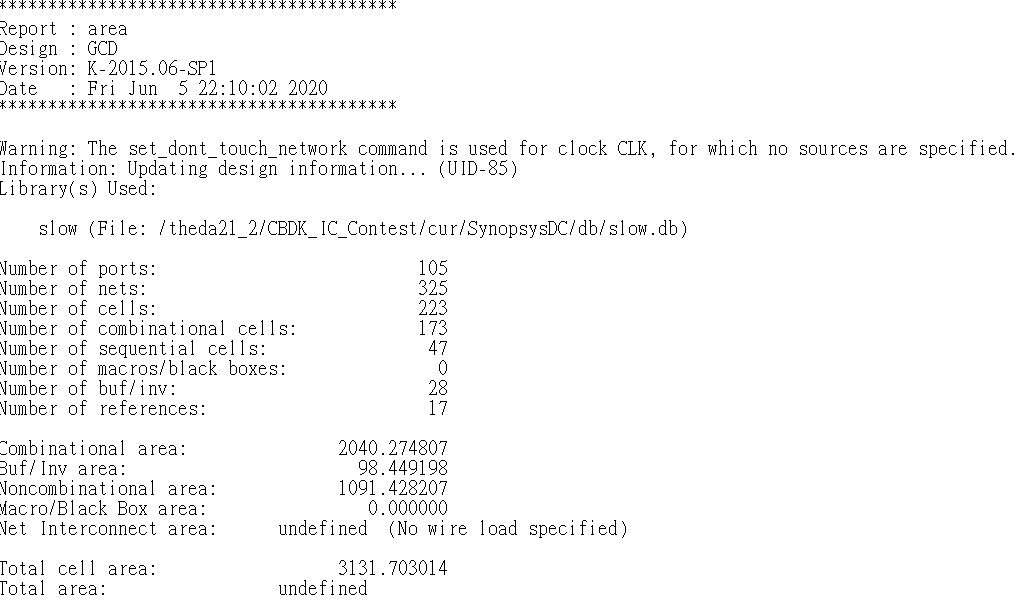


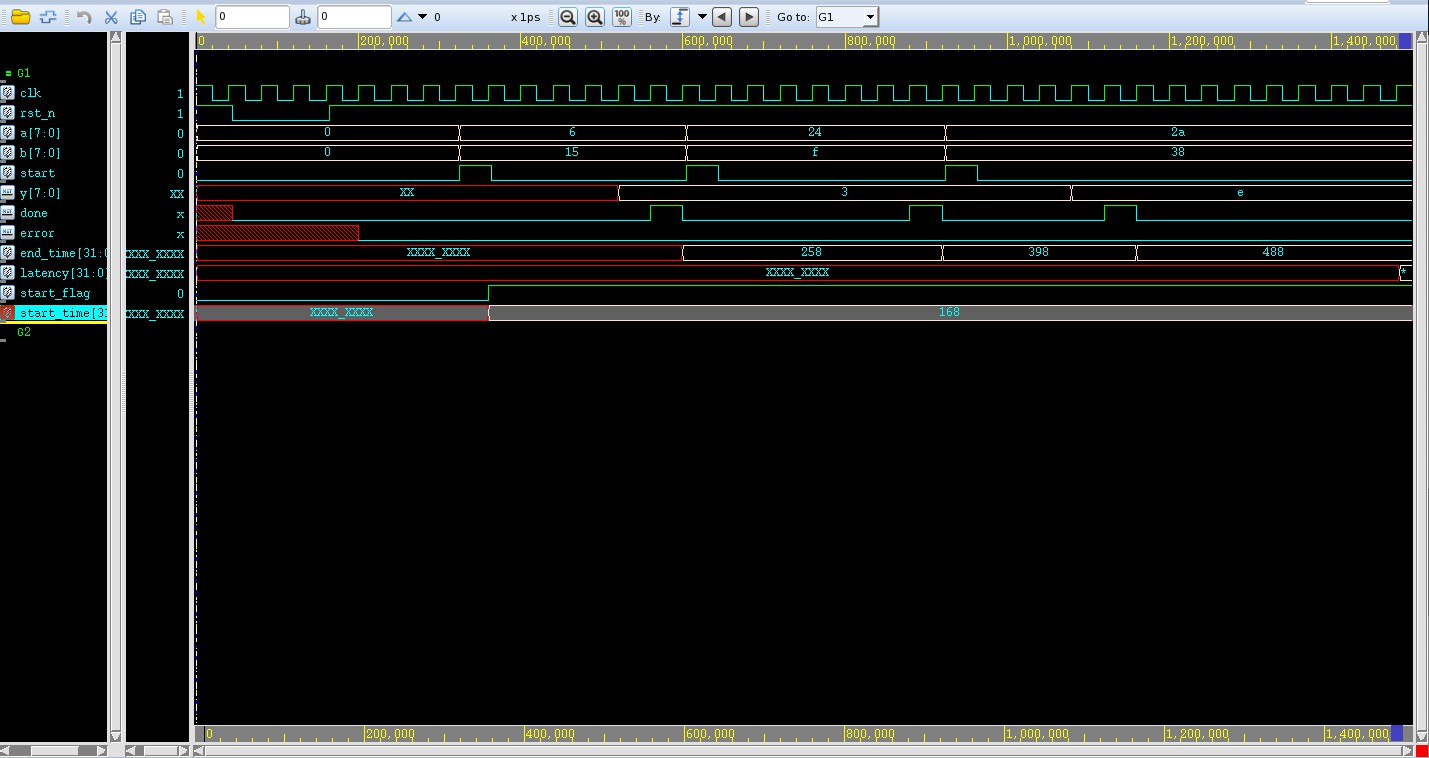
合成電路圖

da02b:



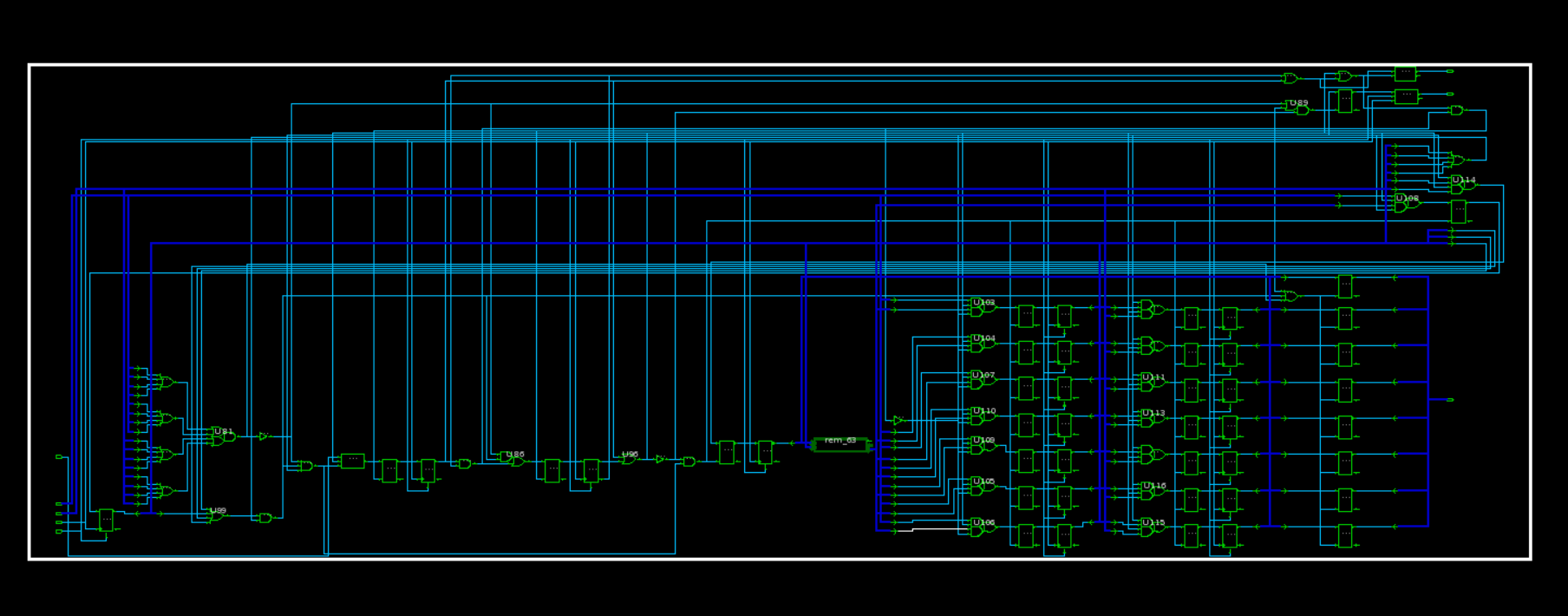
nWave

Timing Path Area



合成電路圖

a的電路圖的較為簡易，因為其計算的結構較為簡易，但是b的計算時間以及到達done的時間較短，因為使用除法的cycle數會少很多。



1. Summary

這次的作業比起上次難了不少，需要的寫的code也比以前長且複雜很多。這次再寫的時候卡在calc很久，因為寫法的問題數值近不去a,b，後來上網查了很多資料後才知道硬體的code寫起來跟軟體的差很多，尤其是平行執行會讓很多軟體的常識不能套用，這次作業一樣花了非常多時間。因為這次多了design\_vision的部分，又學了新的事物，雖然在做合成的時候跑出了很多Warning，但是跑出來的東西是對的，最後寫出東西並且可以執行的時候還是很有成就感。