



- Page d'accueil
- Mes cours
- Agenda perso
- Ma progression
- Réseau social





Ibos Corentin

Corentin.Ibos@grenoble-inp.org

o Boîte de réception Mes certificats Quitter

<<







- Exercices

0

Résultat



👼 QCM6 CE312 Examen : Résultat

Nom

Ibos Corentin

Nom d'utilisateur

ibosco

Code Officiel

apo-ESISAR

Date de début

Mardi 12 Octobre 2021 à 15:32

Durée

00:44:23

Votre résultat: 39 / 42

1. Quelle réponse est correcte pour définir une boucle FOR? - Copie

Exact

Score: 1/1

Choix Choix attendu Réponse **Commentaire** label **FOR LOOP** loop_specification sequential_statements; **END LOOP label**; label : FOR loop_specification **LOOP** sequential_statements; \bigcirc **END FOR LOOP**; label **FOR LOOP** loop_specification sequential_statements; **END FOR LOOP**; label : FOR loop_specification **LOOP** sequential_statements; \odot **END LOOP label**;

2. Quelle sorte d'instruction est le IF? - Copie

Exact

Score: 1/1

Choix Réponse Commentaire

Concurrent
 Formula is a sequential
 Formula is

3. Quelle est la principale utilisation des paramètres génériques? - Copie

Exact

Score: 1/1

Choix attend	Renonse	Commentaire
O -	Defining constant type	
O -	Defining constant type	
⊙ -	Reusability	
O -	Using constant type within the entity	

4. Quelle sera la valeur de Z dans le code ci-dessous? - Copie

Exact

Score: 1/1

ENTITY case_1 IS

Port (a, b, c, y: IN INTEGER range 0 TO 31

z: **OUT** INTEGER **range** 0 **TO** 31)

ARCHITECTURE example OF case_1 IS

BEGIN

y <= 2;

a <= 4;

```
b <= 5;
c <=<mark>6</mark>;
PROCESS(a, b, c, y)
BEGIN
CASE y+1 IS
WHEN 1 =>
z <= a;
WHEN 2 =>
z \le b;
WHEN 3 =>
z <= c;
WHEN OTHERS =>
Z <= 0;
END CASE;
END PROCESS;
END example;
Choix Choix attendu
                               Réponse
                                                                    Commentaire
                 2
                 4
                 5
                 6
5. Les types SIGNED et UNSIGNED sont définis dans quel paquetage? - Copie
Exact
Score: 1/1
Choix Choix attendu
                               Réponse
                                                                    Commentaire
```

0 std_logic_1164 package std_logic package \odot numeric_std package 0 standard package 6. Quelle sera la valeur de y après l'exécution du code ci-dessous? - Copie **Exact** Score: 1/1 Library ieee; USE ieee.std_logic_1164.all; USE ieee.numeric_std.all; SIGNAL m: UNSIGNED (3 DOWNTO 0); SIGNAL n: UNSIGNED (3 DOWNTO 0); SIGNAL y : STD_LOGIC_VECTOR (7 DOWNTO 0); $y \le STD_LOGIC_VECTOR((m+n), 8);$ Choix Choix attendu **Commentaire** Réponse \odot 8- bit STD_LOGIC_VECTOR m+n 8- bit UNSIGNED m+n 4- bit STD_LOGIC m+n

7. Un UNSIGNED est toujours positif ou nul. - Copie

Error

Exact

Score: 1/1

Choix Choix attendu Réponse Commentaire True False 8. Lequel des codes suivants est juste? - Copie **Exact** Score: 1/1 Choix Choix attendu Réponse **Commentaire** label: FOR n IN 7 DOWNTO 0 **GENERATE** \odot concurrent_statement; **END GENERATE**; label: FOR n IN 7 DOWNTO 0 **GENERATE** declarations; 0 concurrent_statement; **END GENERATE**; label: FOR n IN 7 DOWNTO 0 **GENERATE** begin declarations; concurrent_statement; **END GENERATE**; 0 label: FOR n IN 7 DOWNTO 0 **GENERATE** begin

END GENERATE label;

9. Quelle est la caractéristique de l'instanciation par position? - Copie

Exact

Score: 1/1

Choix	Choix attendu	Réponse	Commentaire
•	-	Easier to write	
0	-	Less error prone	
0	-	Ports can be left unconnected	
0	-	Difficult to write	

10. Si aucun signal dans la liste de sensibilité change, alors combien de fois le processus sera exécuté? - Copie

Faux

Score: 0 / 1

Choix attendu			ı	Réponse	Commentaire
	0	-	3		
	0	-	2		
	0	-	1		
	•	-	Infinity		

11. Quel est le défaut de l'instruction IF? - Copie

Faux

Score: 0/1

Choix	Choix attendu	Réponse	Commentaire
0	-	Overlapping of conditions	
0	-	No default value	
•	-	The condition can be Boolean only	
0	-	Restriction on number of ELSE statement	
12. La Copie		es réponses est la syntaxe correcte pour instar	ncier un composant? -
Exac	t		
Score	:1/1		
Choix	Choix attendu	Réponse	Commentaire
0	-	<pre>instantiate : component_name PORT MAP (port_list);</pre>	
0	-	label : instantiate COMPONENT PORT MAP (port_list);	
•	-	label : component_name PORT MAP (port_list);	
0	-	label : instantiate component_name PORT MAP (port_list)	
		a bonne méthode pour déclarer un signal x de n entité? - Copie	e type SIGNED comme une
Exac	t		
Score	:1/1		
Choix	Choix attendu	Réponse	Commentaire
0	-	SIGNAL x : IN SIGNED;	

O -

SIGNAL x: SIGNED; \odot SIGNAL x: IN SIGNED (7 DOWNTO 0); SIGNAL x: IN SIGNED_VECTOR (7 DOWNTO 0); 14. Une boucle FOR utilise un index de boucle, le type de cet index est ______ - Copie **Exact** Score: 1/1 Choix Choix attendu Réponse **Commentaire** \bigcirc STD_LOGIC_VECTOR BIT_VECTOR \odot **INTEGER** \bigcirc **REAL** 15. Un processus contient - Copie **Exact Score**: 1/1 Choix Choix attendu Réponse **Commentaire** toujours une instruction WAIT. \bigcirc \bigcirc toujours une liste de sensibilité. obligatoirement soit une ou plusieurs instructions WAIT, soit une liste de sensibilité, soit les

deux.

toujours une liste de sensibilité et éventuellement une ou plusieurs

instructions WAIT.

obligatoirement soit une instruction WAIT, soit une liste de sensibilité, mais jamais les deux.

16. Le circuit suivant - Copie

Exact

Score: 1/1

Library IEEE; USE IEEE.STD_LOGIC_1164.ALL;

ENTITY TOTO IS PORT (A,B: IN STD_LOGIC; Q:OUT STD_LOGIC); END TOTO;

ARCHITECTURE TITI OF TOTO IS BEGIN Q <= A WHEN B='1' ELSE Q; END;

Choix Choix Réponse Commentaire

- O Est synthétisable
- Est non synthétizable
- Est séquentiel synchrone
- Est séquentiel asynchrone
- Est analogique

17. Quelle réponse suivante n'est pas syntaxiquement correcte pour une instruction WAIT? - Copie

Exact

Score: 1/1

Choix Choix Réponse Commentaire

WAIT ONWAIT WHILEWAIT FORWAIT UNTIL

18. Quelle est la bonne syntaxe de l'instruction CASE? - Copie

Exact

Score: 1/1		
Choix attendu	Réponse	Commentaire
	CASE expression IS	
	WHEN choice_1 <=	
	Sequential_statements;	
	WHEN choice_2 <=	
O -	Sequential_statements;	
	••••	
	WHEN OTHERS <=	
	Sequential_statements;	
	END CASE;	
• -	CASE expression IS	
	WHEN choice_1 =>	
	Sequential_statements;	
	WHEN choice_2 =>	
	Sequential_statements;	
	••••	
	WHEN OTHERS =>	
	Sequential_statements;	

```
END CASE;
                CASE expression IS
                IF choice_1 <=
                Sequential_statements;
                ELSIF choice_2 <=
                Sequential_statements;
                ELSIF OTHERS <=
                Sequential_statements;
                END CASE;
                CASE expression IS
                IF choice_1 =>
                Sequential_statements;
                ELSIF choice_2 =>
                Sequential_statements;
                ELSIF OTHERS =>
                Sequential_statements;
                END CASE;
19. Quel mot clé suivant n'est pas associé à l'instruction IF? - Copie
Exact
Score: 1/1
Choix Choix attendu
                              Réponse
                                                                   Commentaire
                ELSE
                THEN
```

•	-	WHEN

20. Pour les instructions concurrentes, quelle réponse ci-dessous est vraie? - Copie

Exact

Score: 1/1

Choix	Choix attendu	Réponse	Commentaire
0	-	The statement is executed once	
0	-	The statement is executed twice	
0	-	The value of left operand is assigned to right operand	
•	-	The statement is executed as many times as the value changes	

21. Un process est une instruction _____. - Copie

Faux

Score: 0 / 1

Choix	Choix attendu	Réponse	Commentaire
0	-	Concurrent	
0	-	Sequential	
0	-	Delay	
•	-	Both concurrent and sequential	

22. La boucle FOR n'est pas synthétizable si elle contient une instruction _____ . - Copie

Exact

Score :	1/1		
Choix	Choix attendu	Réponse	Commentaire
0	-	WHEN	
0	-	THEN	
•	-	WAIT	
0	-	IF	
23. La	descript	ion d'un composant en VHDL est toujours con	nposée - Copie
Exact			
Score :	1/1		
Choix	Choix attendu	Réponse	Commentaire
V	-	D'une entité et d'une architecture	
	-	D'une entité	
	-	D'une architecture	
	-	D'une entité, d'une architecture et d'une instance	
24. En Copie	VHDL, le	es noms des entités 'xyz' et 'XYZ' sont traitées	de la même manière.
Exact			
Score :	1/1		
Choix	Choix attendu	Réponse	Commentaire
•	-	True	
0	-	False	

25. Il n'y a pas de délais pour les affectations de variables. - Copie

Exact

Score	:1/1		
Choix	Choix attendu	Réponse	Commentaire
•	-	True	
0	-	False	
26. Le	quel des	cas suivants n'est pas un circuit combinat	oire? - Copie
Exact	t		
Score	:1/1		
Choix	Choix attendu	Réponse	Commentaire
0	-	Adder	
0	-	Code convertor	
0	-	Multiplexer	
•	-	Counter	
27. Po	ur les ins	structions concurrentes, quelle réponse ci	-dessous est vraie? - Copic
Exact	t		
Score	:1/1		
Choix	Choix attendu	Réponse	Commentaire
0	-	The statement is executed once	
0	-	The statement is executed twice	

The statement is executed as many times as the value changes

The value of left operand is assigned to right

operand

 \odot

28. U	ne boucle	FOR utilise un index de boucle, le t	type de cet index est Copie
Exac	ct		
Score	e:1/1		
Choi	Choix attendi	Réponse 1	Commentaire
0	-	STD_LOGIC_VECTOR	
0	-	BIT_VECTOR	
•	-	INTEGER	
0	-	REAL	
29. La	a descrip	tion d'un composant en VHDL est to	ujours composée - Copie
Exac	et		
Score	e:1/1		
Choi	Choix attendi - - -	Réponse D'une entité et d'une architecture D'une entité D'une architecture D'une architecture d'une instance	Commentaire
30. La	a boucle	FOR n'est pas synthétizable si elle co	ontient une instruction Copie
Exac	et		
Score	e:1/1		
Choi	x Choix attendi	Réponse 1	Commentaire
0	-	WHEN	
0	-	THEN	
•	-		

O - IF

31. La liste de sensibilité contient _____ - Copie

Exact

Score: 1/1

Choix attendu			Réponse	Commentaire
0	-	Constants		
•	-	Signals		
0	-	Variables		
0	-	Literals		

32. Sur quel aspect, les HDLs diffèrent des langages de programmation? - Copie

Exact

Score: 1/1

Choix	Choix attendu	Réponse	Commentaire
0	-	No aspect; both are same	
•	-	HDLs describe hardware rather than executing a program on a computer	
0	-	HDLs describe software and not hardware	
0	-	Other computer programming languages have more complexity	

33. Quelle réponse suivante donne la bonne syntaxe d'une déclaration d'architecture et de sa définition? - Copie

Exact

Choix Choix attendu	ı	Réponse		Commentaire
	ARCHITECTURE entity_name IS	architecture_type	OF	
	Declarations_for_	architecture;		
O -	BEGIN			
	Code;			
	••••			
	END architecture_	name;		
	ARCHITECTURE entity_name IS	architecture_name	OF	
	BEGIN			
O -	Declarations_for_	architecture;		
	Code;			
	••••			
	END architecture_	name;		
	ARCHITECTURE entity_name IS	architecture_type	OF	
	BEGIN			
O -	Declarations_for_	architecture;		
	Code;			
	••••			
	END architecture_	type;		
● -				
	ARCHITECTURE entity_name IS	architecture_name	OF	
	Declarations_for_	architecture		
	BEGIN			

Code;
....
END architecture_name;

34. Quelle est la bonne syntaxe pour la déclaration d'un processus? - Copie

Exact

Choix attendu	Réponse	Commentaire
	{Label :} PROCESS	
	{process_declaration_part};	
	sensitivity_list;	
-	BEGIN	
	sequential_statements;	
	END PROCESS {Label};	
	PROCESS {sensitivity_list}	
	{process_declaration_part}	
O -	BEGIN	
	sequential_statements;	
	END PROCESS {Label};	
	{Label :} PROCESS	
	{process_declaration_part}	
	BEGIN	
0 -	sensitivity_list;	
	sequential_statements;	
	END PROCESS;	
⊙ -	{Label:} PROCESS {sensitivity_list}	
	{process_declaration_part}	

BEGIN

sequential_statements;

END PROCESS {Label};

35. Une boucle FOR est initialisée comme indiqué ci-dessous, au total combien d'itérations seront réalisées? - Copie

Exact

Score: 1/1

FOR i IN 0 TO 5 LOOP

Choix attendu		Réponse	Commentaire
O -	3		
O -	4		
O -	5		
● -	6		

36. Un composant à 3 ports : 2 entrées a et b et une sortie y. Laquelle des instructions suivantes utilise l'instanciation par position de ce composant? - Copie

Exact

Choiz	Choix attendu	Réponse	Commentaire
•	-	LABEL : my_component PORT MAP (I, m, n);	
0	-	LABEL : my_component PORT MAP (y, a);	
0	-	LABEL: my_component PORT MAP (I => a, m => b, n => y);	
0	_	LABEL: mv component PORT MAP(a, b, v>= a):	

37. Quelle fonction est utilisée pour instancier un paramètre générique dans un processus? - Copie					
Exact	Ĭ				
Score	:1/1				
Choix	Choix attendu	Réponse	Commentaire		
0	-	Port map()			
0	-	Generic()			
•	-	Generic map()			
0	-	Port			
		es réponses ci-dessous est la bonne syntaxe po né de 'b' bits (avec le paquetage numeric_std)?			
Exact	İ				
Score	:1/1				
Choix	Choix attendu	Réponse	Commentaire		
0	-	to_integer_signed(p,b);			
0	-	to_signed_integer(p,b);			
•	-	to_signed(p,b);			
0	-	to_signed_p(b);			
39. En	VHDL, le	39. En VHDL, les instructions séquentielles sont - Copie			

Exact

Score:3/3

Choix attendu	Réponse	Commentaire
T 1 CC	•	

L'affectation concurrente

	-	Les instructions WHEN/ELSE et WITH/SELECT	
v	_	L'affectation séquentielle	
~	_	L'affectation de variable immédiate	
		Les instruction IF/THEN/ELSE,	
~	-	CASE/WHEN, WHILE et FOR	
40. De Copie	ux comp	teurs modulo 10 en série divisent la fréquence	d'entrée par
Exact	t		
Score	:1/1		
Choix	Choix attendu	Réponse	Commentaire
0	-	10	
•	-	100	
0	-	11	
0	-	81	
Note :	cet exerc	ice est configuré pour ne pas montrer les bonnes i	réponses.
Votre	résulta	at: 39 / 42	
<u>Afef</u>		eroulle Vincent Achard Francois Polychronou i	Nikolaos Foivos Kchaou
×			
• Messaş	gerie (déo	connecté)	