



- [153](#)
- [2](#)

- [Page](#)

[d'accueil](#)

- [Mes cours](#)
- [Agenda perso](#)
- [Ma progression](#)
- [Réseau social](#)



[D'Hordain Eva](#)

Eva.D-Hordain@grenoble-inp.org

-
- [Boîte de réception Mes certificats Quitter](#)

<<



- [CE312- CE318 - Architecture matérielle](#)
- [Exercices](#)
- Exercices

Sauvegardé.



QCM6 CE312 Examen : Résultat

Nom

D'Hordain Eva

Nom d'utilisateur

dhordaie

Code Officiel

apo-ESISAR

Date de début

Jeudi 14 Octobre 2021 à 18:23

Durée

00 : 42 : 09

Votre résultat: 39 / 42

1. Laquelle des réponses ci-dessous est la bonne syntaxe pour convertir l'entier p en un nombre signé de 'b' bits (avec le paquetage numeric_std)? - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	to_integer_signed(p,b);	
<input type="radio"/>	-	to_signed_integer(p,b);	
<input checked="" type="radio"/>	-	to_signed(p,b);	
<input type="radio"/>	-	to_signed_p(b);	

2. Avec un reset asynchrone, le reset est actif indépendamment de _____ - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Enable signal	
<input type="radio"/>	-	Data input signal	
<input checked="" type="radio"/>	-	Clock signal	
<input type="radio"/>	-	Output signal	

3. Le circuit suivant - Copie

Exact

Score : 2 / 2

Library IEEE;

USE IEEE.STD_LOGIC_1164.ALL;

ENTITY TOTO IS

```

PORT (A,B : IN STD_LOGIC;
Q : OUT STD_LOGIC);
END TOTO;

```

```

ARCHITECTURE TITI OF TOTO IS
BEGIN
PROCESS
BEGIN
WAIT UNTIL RISING_EDGE (B);
Q <= A;
END PROCESS;
END;

```

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="checkbox"/>	-	Est synthétisable	
<input type="checkbox"/>	-	Est combinatoire	
<input checked="" type="checkbox"/>	-	Est séquentiel synchrone	
<input type="checkbox"/>	-	Est séquentiel asynchrone	
<input type="checkbox"/>	-	Est analogique	

4. Quelle fonction logique est décrite dans le code ci-dessous? - Copie

Exact

Score : 1 / 1

```

ARCHITECTURE my_func OF my_logic IS

begin

process(a, b, y)

begin

IF(a = '0' and b = '0') THEN

    y <= '0';

ELSIF (a = '1' and b= '1') THEN

    y<= '0';

ELSE y <= '1';

END if;

END process;

END my_func;

```

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	AND	

- ☒ - XOR
- ☐ - OR
- ☐ - XNOR

5. Quel registre est utilisé dans le code suivant? - Copie

Exact

Score : 1 / 1

```
library ieee;

use ieee.std_logic_1164.all;

entity shift_siso is

port (Clock, Sin : in std_logic;

Sout : out std_logic);

end shift_siso;

architecture behav of shift_siso is

signal temp: std_logic_vector(7 downto 0);

begin

process (Clock)

begin

if (Clock'event and Clock='1') then

for i in 0 to 6 loop

temp(i+1) <= temp(i);

end loop;

temp(0) <= Sin;

end if ;

end process;

Sout <= temp(7);

end behav;
```

Choix
Choix
attendu

Réponse

Commentaire

- ☒ - Serial in serial out
- ☐ - Serial in parallel out
- ☐ - Parallel in parallel out
- ☐ - Parallel in serial out

6. La modélisation stucturelle est similaire à _____ - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Boolean relations of the circuit	
<input checked="" type="radio"/>	-	Schematic block diagram of the circuit	
<input type="radio"/>	-	Timing relations of the circuit	
<input type="radio"/>	-	Components of the circuit	

7. L'instruction WAIT FOR est utile uniquement pour _____ - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Synthesis	
<input checked="" type="radio"/>	-	Simulation	
<input type="radio"/>	-	Gate level implementation	
<input type="radio"/>	-	Optimization	

8. Quel est intérêt des Generics en VHDL? - Copie

Faux**Score : 0 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	To turn on and off the drivers	
<input type="radio"/>	-	To pass information to the entity	
<input checked="" type="radio"/>	-	To describe architecture	
<input type="radio"/>	-	To divide code into small processes	

9. Quelle est la bonne syntaxe de l'instruction CASE? - Copie**Exact****Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	<pre> CASE expression IS WHEN choice_1 => Sequential_statements; WHEN choice_2 => Sequential_statements; WHEN OTHERS => Sequential_statements; END CASE; </pre>	
<input type="radio"/>	-	<pre> CASE expression IS WHEN choice_1 =>; Sequential_statements; WHEN choice_2 =>; Sequential_statements; </pre>	

....

WHEN OTHERS =>

Sequential_statements;

END CASE;**CASE expression IS****IF** choice_1 =>

Sequential_statements;

ELSIF choice_2 =>

- Sequential_statements;

....

ELSIF OTHERS =>

Sequential_statements;

END CASE;**CASE expression IS****IF** choice_1 =>;

Sequential_statements;

ELSIF choice_2 ==>;

- Sequential_statements;

....

ELSIF OTHERS =>;

Sequential_statements;

END CASE;**10. S'il y a plus d'un processus dans un code VHDL, comment ces processus sont-ils exécutés? - Copie****Exact****Score : 1 / 1****Choix**
Choix
attendu**Réponse****Commentaire**

-

One after the other

- ☒ - Concurrently
- ☐ - According to sensitivity list
- ☐ - Sequentially

11. Quand un signal est affecté dans un processus, alors sa valeur est mise à jour _____ - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Immediately	
<input type="radio"/>	-	After tow delta cycles	
<input checked="" type="radio"/>	-	At the end of the corresponding process	
<input type="radio"/>	-	At the end of architecture	

12. Quelle est la signification de VHDL? - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Verilog Hardware Description Language	
<input type="radio"/>	-	Very High speed Description Language	
<input type="radio"/>	-	Variable Hardware Description Language	
<input checked="" type="radio"/>	-	Very high speed Hardware Description Language	

13. Le code structural d'un additionneur sur 4 bits est donné ci-dessous. Si on veut convertir ce composant en additionneur sur 8 bits que faut-il changer? - Copie

Exact

Score : 1 / 1

```
COMPONENT adder IS

GENERIC (n : INTEGER := 3);

PORT(input : IN BIT_VECTOR(n DOWNT0 0));

output : OUT BIT_VECTOR(n DOWNT0 0));

END COMPONENT;
```

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	n	
<input type="radio"/>	-	input	
<input type="radio"/>	-	output	
<input type="radio"/>	-	component	

14. Quelle sera la valeur de Z dans le code ci-dessous? - Copie

Exact

Score : 1 / 1

```
ENTITY case_1 IS

Port (a, b, c, y : IN INTEGER range 0 TO 31

z : OUT INTEGER range 0 TO 31)

ARCHITECTURE example OF case_1 IS

BEGIN

y <= 2;

a <= 4;

b <= 5;
```

```
c <=6;
```

```
PROCESS(a, b, c, y)
```

```
BEGIN
```

```
CASE y+1 IS
```

```
WHEN 1 =>
```

```
z <= a;
```

```
WHEN 2 =>
```

```
z <= b;
```

```
WHEN 3 =>
```

```
z <= c;
```

```
WHEN OTHERS =>
```

```
z <= 0;
```

```
END CASE;
```

```
END PROCESS;
```

```
END example;
```

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	2	
<input type="radio"/>	-	4	
<input type="radio"/>	-	5	
<input checked="" type="radio"/>	-	6	

15. Quelle est la bonne syntaxe pour la déclaration de l'entité? - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	<pre>ENTITY entity_name IS</pre> <pre>PORT(signal_names : signal_modes;</pre>	

```
signal_names : signal_modes);
```

```
END entity_name;
```

```
ENTITY entity_name
```

```
PORT( signal_names : signal_modes;
```

```
signal_names : signal_modes);
```

```
END ENTITY;
```

```
ENTITY entity_name IS
```

```
PORT port_name
```

```
( signal_names : signal_modes  
signal_type;
```

```
signal_names : signal_modes  
signal_type);
```

```
END entity_name;
```

```
ENTITY entity_name
```

```
PORT port_name
```

```
(signal_names : signal_modes;
```

```
signal_names : signal_modes);
```

```
END ENTITY;
```

16. Quelle sera la valeur de y après l'exécution du code ci-dessous? - Copie

Exact

Score : 1 / 1

```
Library ieee;
```

```
USE ieee.std_logic_1164.all;
```

```
USE ieee.numeric_std.all;
```

```
...
```

```
SIGNAL m : UNSIGNED (3 DOWNT0 0);
```

```
SIGNAL n : UNSIGNED (3 DOWNT0 0);
```

```
SIGNAL y : STD_LOGIC_VECTOR (7 DOWNT0 0);
```

```
y <= STD_LOGIC_VECTOR ((m+n), 8);
```

...

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	8- bit STD_LOGIC_VECTOR m+n	
<input type="radio"/>	-	8- bit UNSIGNED m+n	
<input type="radio"/>	-	4- bit STD_LOGIC m+n	
<input type="radio"/>	-	Error	

17. La valeur de y est initialement 1 et passe à 0 après un cycle delta. Combien de cycles delta (en commençant depuis le début) sera nécessaire pour changer la valeur de z dans le processus donné ci-dessous?? - Copie

Exact

Score : 1 / 1

PROCESS (y)

BEGIN

```
x <=y;
```

```
z <= NOT y;
```

END PROCESS

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	1	
<input checked="" type="radio"/>	-	2	
<input type="radio"/>	-	3	
<input type="radio"/>	-	4	

18. Laquelle des réponses suivantes ne peut pas être implémentée avec des instructions concurrentes seulement? - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Multiplexer	
<input type="radio"/>	-	Decoder	
<input type="radio"/>	-	Adder	
<input checked="" type="radio"/>	-	Counter	

19. Un UNSIGNED est toujours positif ou nul. - Copie**Exact****Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	True	
<input type="radio"/>	-	False	

20. Un processus contient - Copie**Exact****Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	toujours une instruction WAIT.	
<input type="radio"/>	-	toujours une liste de sensibilité.	
<input type="radio"/>	-	obligatoirement soit une ou plusieurs instructions WAIT, soit une liste de sensibilité, soit les deux.	
<input type="radio"/>	-	toujours une liste de sensibilité et éventuellement une ou plusieurs instructions WAIT.	

- ☒ - obligatoirement soit une instruction WAIT, soit une liste de sensibilité, mais jamais les deux.

21. Le circuit suivant - Copie

Exact

Score : 2 / 2

Library IEEE;

USE IEEE.STD_LOGIC_1164.ALL;

```
ENTITY TOTO IS
PORT (A,B : IN STD_LOGIC;
Q : OUT STD_LOGIC);
END TOTO;
```

```
ARCHITECTURE TITI OF TOTO IS
BEGIN
PROCESS
BEGIN
WAIT UNTIL RISING_EDGE (B);
Q <= A;
END PROCESS;
END;
```

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="checkbox"/>	-	Est synthétisable	
<input type="checkbox"/>	-	Est combinatoire	
<input checked="" type="checkbox"/>	-	Est séquentiel synchrone	
<input type="checkbox"/>	-	Est séquentiel asynchrone	
<input type="checkbox"/>	-	Est analogique	

22. A quoi servent les cycles delta dans les simulations VHDL? - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	To create delays in simulation	
<input type="radio"/>	-	To assign values to signals	
<input checked="" type="radio"/>	-		

To order some events

- ☒ - Evaluate assignment statements

23. Quelle est la syntaxe correcte pour instancier un paramètre générique? - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	label : component_name GENERIC MAP(parameter_list) PORT MAP(port_list);	
<input type="radio"/>	-	label : component_name GENERIC MAP(parameter_list);	
<input type="radio"/>	-	label : parameter_name GENERIC MAP(parameter_list) PORT MAP(port_list);	
<input type="radio"/>	-	label : parameter_name GENERIC MAP(parameter_list) PORT MAP(port_list);	

24. L'instruction generate est généralement associée à une modélisation _____. - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Behavioral	
<input type="radio"/>	-	Data flow	
<input checked="" type="radio"/>	-	Structural	
<input type="radio"/>	-	Behavioral and data flow	

25. Un composant à 3 ports : 2 entrées a et b et une sortie y. Laquelle des instructions suivantes utilise l'instanciation par position de ce composant? - Copie

Exact**Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	LABEL : my_component PORT MAP (l, m, n);	
<input type="radio"/>	-	LABEL : my_component PORT MAP (y, a);	
<input type="radio"/>	-	LABEL : my_component PORT MAP (l => a, m => b, n => y);	
<input type="radio"/>	-	LABEL : my_component PORT MAP(a, b, y=> a);	

26. La boucle FOR n'est pas synthétizable si elle contient une instruction _____. - Copie**Exact****Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	WHEN	
<input type="radio"/>	-	THEN	
<input checked="" type="radio"/>	-	WAIT	
<input type="radio"/>	-	IF	

27. L'instruction generate est généralement associée à une modélisation _____. - Copie**Exact****Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Behavioral	
<input type="radio"/>	-		

Data flow

- ☒ - Structural
- ☐ - Behavioral and data flow

28. Laquelle des réponses ci-dessous est la bonne syntaxe pour convertir l'entier p en un nombre signé de 'b' bits (avec le paquetage numeric_std)? - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	to_integer_signed(p,b);	
<input type="radio"/>	-	to_signed_integer(p,b);	
<input checked="" type="radio"/>	-	to_signed(p,b);	
<input type="radio"/>	-	to_signed_p(b);	

29. Quelle est la brique de base de la modélisation structurelle? - Copie

Faux

Score : 0 / 1

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	Process	
<input type="radio"/>	-	Component declaration	
<input type="radio"/>	-	Component instantiation	
<input type="radio"/>	-	Block	

30. Quelle est la bonne méthode pour déclarer un signal x de type SIGNED comme une entrée dans un entité? - Copie

Exact**Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	SIGNAL x : IN SIGNED;	
<input type="radio"/>	-	SIGNAL x : SIGNED;	
<input checked="" type="radio"/>	-	SIGNAL x : IN SIGNED (7 DOWNT0 0);	
<input type="radio"/>	-	SIGNAL x : IN SIGNED_VECTOR (7 DOWNT0 0);	

31. Si a et b sont des entrées de type STD_LOGIC_VECTOR, alors l'instruction correcte est - Copie**Exact****Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	x <= a.b	
<input checked="" type="radio"/>	-	x <= a OR b	
<input type="radio"/>	-	x <= a + b	
<input type="radio"/>	-	x <= a && b	

32. Quel est le défaut de l'instruction IF? - Copie**Exact****Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	Overlapping of conditions	
<input type="radio"/>	-	No default value	

- ☐ - The condition can be Boolean only
- ☐ - Restriction on number of ELSE statement

33. Avec un reset synchrone, le reset est actif en fonction de _____ - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Enable signal	
<input type="radio"/>	-	Data input signal	
<input checked="" type="radio"/>	-	Clock signal	
<input type="radio"/>	-	Output signal	

34. Dans un registre SISO, la donnée de _____ est observée par le circuit. - Copie

Faux

Score : 0 / 1

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	Last flip-flop	
<input type="radio"/>	-	First flip-flop	
<input type="radio"/>	-	All flip-flops	
<input type="radio"/>	-	No flip-flop	

35. Le circuit suivant - Copie

Exact

Score : 1 / 1

```
Library IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
```

```
ENTITY TOTO IS
PORT ( A,B : IN STD_LOGIC;
Q : OUT STD_LOGIC);
END TOTO;
```

```
ARCHITECTURE TITI OF TOTO IS
BEGIN
Q <= A WHEN B='1' ELSE Q;
END;
```

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Est synthétisable	
<input checked="" type="radio"/>	-	Est non synthétizable	
<input type="radio"/>	-	Est séquentiel synchrone	
<input type="radio"/>	-	Est séquentiel asynchrone	
<input type="radio"/>	-	Est analogique	

36. Quel circuit est décrit ci-dessous? - Copie

Exact

Score : 1 / 1

```
LIBRARY IEEE;

USE IEEE.std_logic_1164.all;

ENTITY design IS

PORT(a, b, c : in BIT;

x, y : out BIT);

END design;

ARCHITECTURE arch1 OF design IS

COMPONENT xor2 IS

PORT (i1, i2 : IN STD_LOGIC;

o : OUT STD_LOGIC);
```

```

END COMPONENT;

COMPONENT and2 IS

PORT(a1, a2 : IN STD_LOGIC;

P : OUT STD_LOGIC);

END COMPONENT;

COMPONENT or2 IS

PORT(d1, d2 : IN STD_LOGIC;

r : OUT STD_LOGIC);

END COMPONENT;

SIGNAL s1, s2, s3, s4, s5 : STD_LOGIC;

BEGIN

X1: xor2 PORT MAP(a, b, s1);

X2 : xor2 PORT MAP(s1, c, x);

X3: and2 PORT MAP(a, b, s2);

X4 : and2 PORT MAP(a, c, s3);

X5: and2 PORT MAP(b, c, s4);

X6: or2 PORT MAP(s2, s3, s5);

X7: or2 PORT MAP(s4, s5, y);

END arch1;

```

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Half adder	
<input type="radio"/>	-	Comparator 2- bits	
<input checked="" type="radio"/>	-	Full adder	
<input type="radio"/>	-	Can't be determined	

37. Une boucle FOR est initialisée comme indiqué ci-dessous, au total combien d'itérations seront réalisées? - Copie

Exact

Score : 1 / 1**FOR i IN 0 TO 5 LOOP**

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	3	
<input type="radio"/>	-	4	
<input type="radio"/>	-	5	
<input checked="" type="radio"/>	-	6	

38. Un code RTL est la combinaison de circuits combinatoires et séquentiels. - Copie**Exact****Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	True	
<input type="radio"/>	-	False	

39. Avec le code ci-dessous quel circuit sera conçu? - Copie**Exact****Score : 1 / 1****SIGNAL x : IN BIT;****SIGNAL y : OUT BIT;****SIGNAL clk : IN BIT;****PROCESS (clk)****BEGIN****IF (clk'EVENT and clk = '1')****y <= x;****END PROCESS**

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Buffer	
<input type="radio"/>	-	Latch	
<input checked="" type="radio"/>	-	Flip flop	
<input type="radio"/>	-	Shift Register	

40. Un processus combinatoire doit avoir tous les signaux _____ dans sa liste de sensibilité. - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	Input	
<input type="radio"/>	-	Output	
<input type="radio"/>	-	Declared	
<input type="radio"/>	-	Used	

Note : cet exercice est configuré pour ne pas montrer les bonnes réponses.

Votre résultat: 39 / 42

[Retour à la page d'accueil](#)

Enseignants : [Berouille Vincent](#) | [Achard Francois](#) | [Polychronou Nikolaos Foivos](#) | [Kchaou Afef](#)

[Créé avec Chamilo](#) © 2021



Messagerie (déconnecté)