



🖐 QCM6 CE312 Examen : Résultat

Nom

Rouge Jean

Nom d'utilisateur

rougej

**Code Officiel** 

apo-ESISAR

Date de début

Lundi 18 Octobre 2021 à 17:26

Durée

00:31:27

### Votre résultat: 36 / 39

1. Un processus a une partie déclaration. - Copie

Exact Score : 1 / 1

Choix Choix Réponse Commentaire

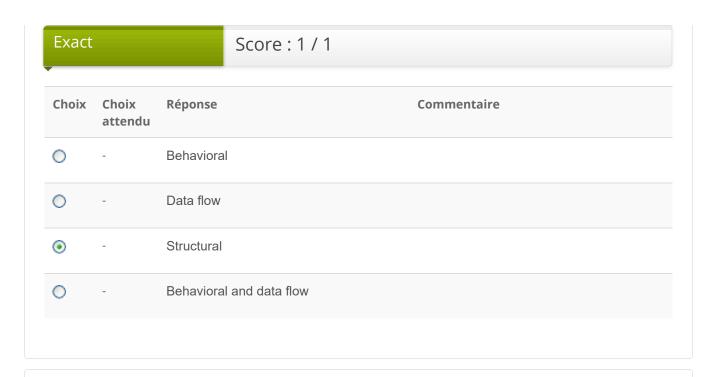
True

True

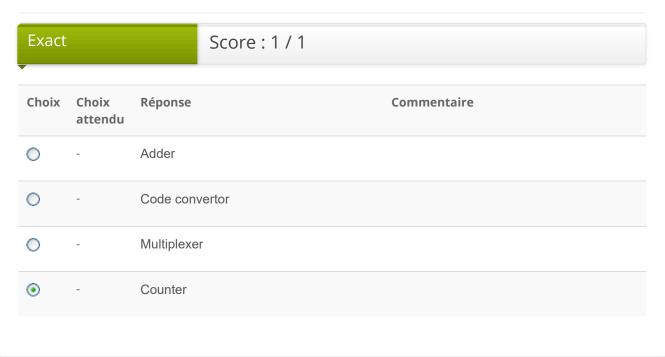
False

2. L'instruction generate est généralement associée à une modélisation
\_\_\_\_\_\_. - Copie

Messagerie (déconnecté)



3. Lequel des cas suivants n'est pas un circuit combinatoire? - Copie



4. Le code ci-dessous est une implémentation de \_\_\_\_\_ - Copie Score: 1 / 1 Exact ARCHITECTURE my\_circuit OF my\_logic IS **BEGIN** WITH ab SELECT Messagerie (déconnecté)

18/10/2021, 18:40 2 sur 21

```
y <= x0 WHEN "00";
x1 WHEN "01";
x2 WHEN "10";
x3 WHEN "11";
END my_circuit;
Choix Choix
                 Réponse
                                                     Commentaire
       attendu
◉
                4 to 1 MUX
                 1 to 4 DEMUX
0
                8 to 1 MUX
0
                 1 to 8 DEMUX
```

5. Laquelle des réponses suivantes correspond à la bonne déclaration d'un paramètre générique? - Copie



6. En VHDL, dans un processus, on peut trouver - Messagerie (déconnecté)



7. Quel circuit est implémenté par l'architecture suivante? - Copie Score: 1 / 1 Exact ARCHITECTURE my\_arch OF my\_design IS **BEGIN PROCESS BEGIN** WAIT ON clk; IF(clk = '1') THEN y <= x; END IF; END PROCESS; END my\_arch; Choix Choix Réponse Commentaire attendu Messagerie (déconnecté)

| • | - | Latch          |
|---|---|----------------|
| 0 | - | Inverter       |
| 0 | - | OR gate        |
| 0 | - | Shift register |
|   |   |                |

8. Si a et b sont des entrées de type STD\_LOGIC\_VECTOR, alors l'instruction correcte est - Copie



9. Laquelle des réponses ci-dessous correspond à une mauvaise déclaration d'un nouveau type de donnée. - Copie



```
TYPE my_logic IS ARRAY (0 TO 3) OF BIT;

TYPE my_logic IS <0 TO 20 >
```

### 10. Quel circuit est décrit ci-dessous? - Copie

```
Exact
                          Score: 1/1
LIBRARY IEEE;
USE IEEE.std_logic_1164.all;
ENTITY design IS
PORT(a, b, c : in BIT;
x, y : out BIT);
END design;
ARCHITECTURE arch1 OF design IS
COMPONENT xor2 IS
PORT (i1, i2 : IN STD_LOGIC;
o : OUT STD_LOGIC);
END COMPONENT;
COMPONENT and 2 IS
PORT(a1, a2 : IN STD_LOGIC;
P : OUT STD_LOGIC);
END COMPONENT;
COMPONENT or 2 IS
PORT(d1, d2 : IN STD_LOGIC;
                                                           Messagerie (déconnecté)
```

```
r : OUT STD_LOGIC);
END COMPONENT;
SIGNAL s1, s2, s3, s4, s5 : STD_LOGIC;
BEGIN
X1: xor2 PORT MAP(a, b, s1);
X2 : xor2 PORT MAP(s1, c, x);
X3: and2 PORT MAP(a, b, s2);
X4 : and2 PORT MAP(a, c, s3);
X5: and2 PORT MAP(b, c, s4);
X6: or2 PORT MAP(s2, s3, s5);
X7: or2 PORT MAP(s4, s5, y);
END arch1;
Choix Choix
                 Réponse
                                                      Commentaire
       attendu
0
                 Half adder
0
                 Comparator 2- bits
\odot
                 Full adder
                 Can't be determined
```

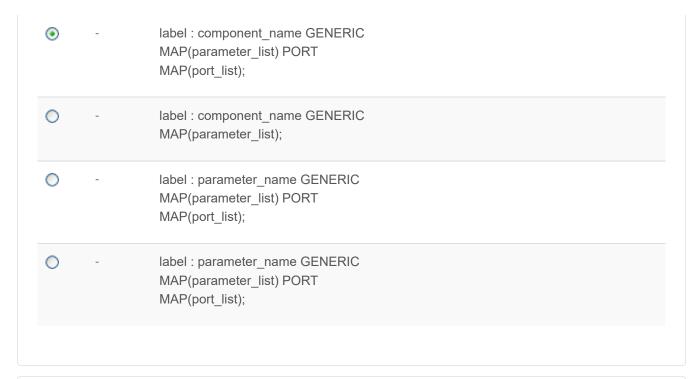
11. Quelle est la syntaxe correcte pour instancier un paramètre générique? - Copie

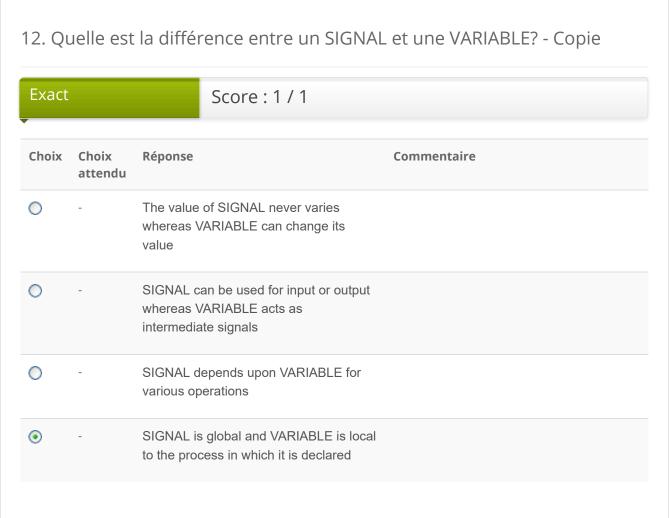
Exact Score: 1 / 1

Choix Choix Réponse attendu

Commentaire

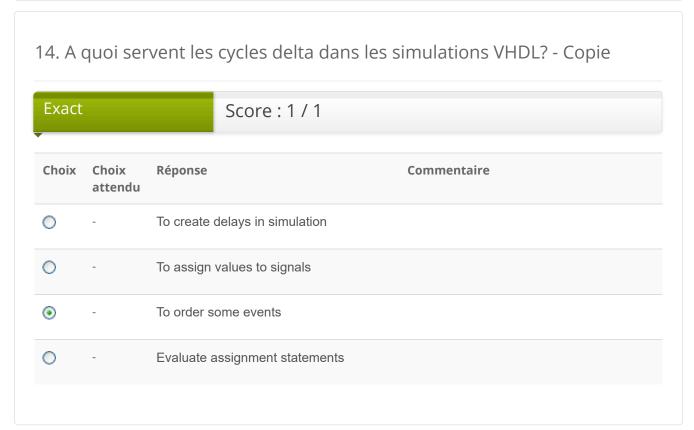
Messagerie (déconnecté)







| Choix    | Choix<br>attendu | Réponse   | Commentaire |
|----------|------------------|---|-------------|
|          | -                | L'affectation concurrente                             |             |
|          | -                | Les instructions WHEN/ELSE et WITH/SELECT             |             |
| <b>~</b> | -                | L'affectation séquentielle                            |             |
| <b>V</b> | -                | L'affectation de variable immédiate                   |             |
| <b>▽</b> | -                | Les instruction IF/THEN/ELSE, CASE/WHEN, WHILE et FOR |             |



```
15. Quelle sera la valeur de x? - Copie

Exact Score : 1 / 1

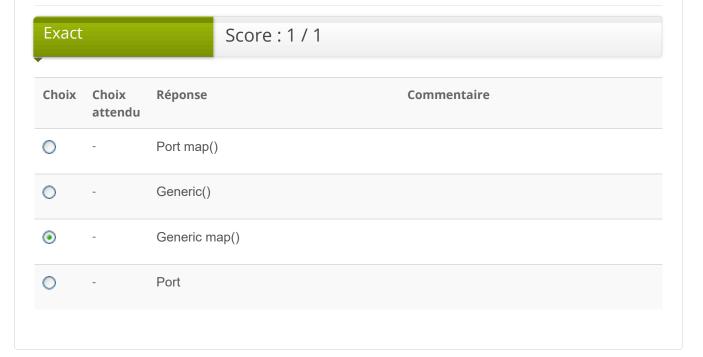
SIGNAL x : UNSIGNED (3 DOWNTO 0 );

x <= "1101";

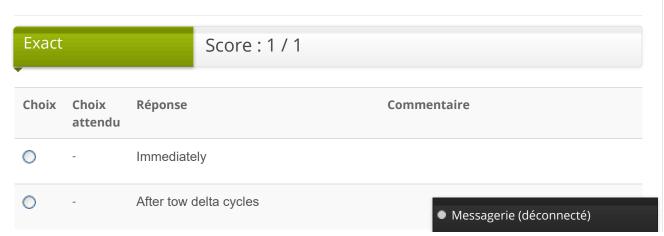
• Messagerie (déconnecté)
```

| Choix | Choix<br>attendu | Réponse | Commentaire |
|-------|------------------|---------|-------------|
| 0     | -                | 9       |             |
| 0     | -                | 5       |             |
| 0     | -                | -5      |             |
| •     | -                | 13      |             |
|       |                  |         |             |

16. Quelle fonction est utilisée pour instancier un paramètre générique dans un processus? - Copie

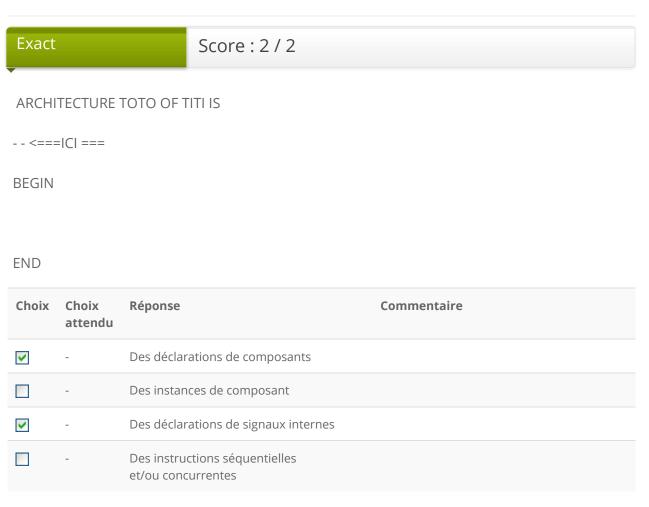


17. Quand un signal est affecté dans un processus, alors sa valeur est mise à jour \_\_\_\_\_ - Copie





# 18. En VHDL, dans une architecture avant le mot-clé BEGIN, on peut trouver - Copie



## 19. En VHDL, dans une architecture avant le mot-clé BEGIN, on peut trouver - Copie

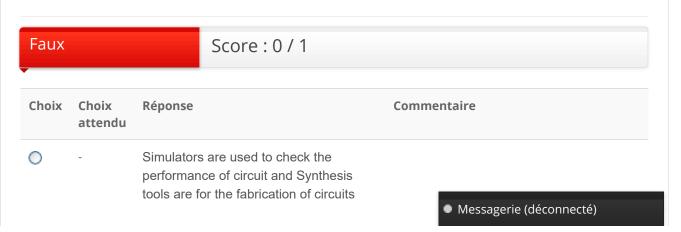




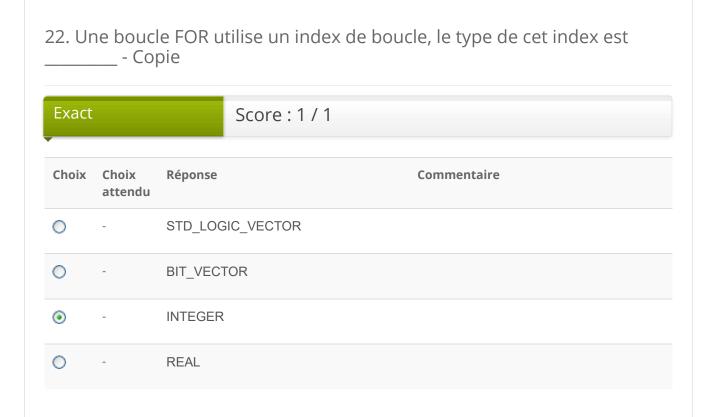
20. Plus d'un paramètre générique peut être défini dans une seule entité. -Copie



21. La différence entre les simulateurs et les outils de synthèses est \_\_\_\_\_\_ - Copie



| O - | Simulators and Synthesis tools works exactly same  |
|-----|--|
| • - | Simulators are used just to check basic functionality of the circuit and Synthesis tools includes timing constraints and other factors along with simulation |
| 0 - | Simulation finds the error in the code and Synthesis tool corrects the code  |
|     |  |





```
Generic map()Port
```

### 24. Quelle est la bonne syntaxe de l'instruction CASE? - Copie

```
Score: 1 / 1
Exact
       Choix
                Réponse
                                                     Commentaire
       attendu
\odot
                CASE expression IS
                WHEN choice_1 =>
                Sequential_statements;
                WHEN choice_2 =>
                Sequential_statements;
                WHEN OTHERS =>
                Sequential_statements;
                END CASE;
                CASE expression IS
                WHEN choice_1 =>;
                Sequential_statements;
                WHEN choice_2 =>;
                Sequential_statements;
                WHEN OTHERS =>;
                Sequential_statements;
                END CASE;
0
                CASE expression IS
                IF choice_1 =>
                Sequential_statements;
                ELSIF choice_2 =>
                                                             Messagerie (déconnecté)
```

```
Sequential_statements;
....

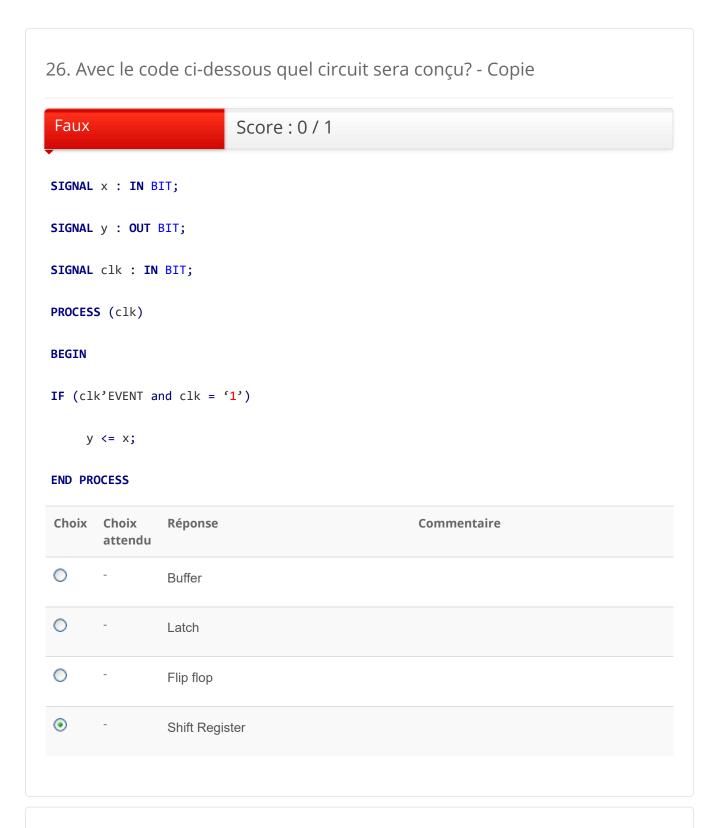
ELSIF OTHERS =>
Sequential_statements;
END CASE;

CASE expression IS
    IF choice_1 =>;
    Sequential_statements;
    ELSIF choice_2 ==>;
    Sequential_statements;
....
ELSIF OTHERS =>;
Sequential_statements;
END CASE;
```

25. Une boucle FOR est initialisée comme indiqué ci-dessous, au total combien d'itérations seront réalisées? - Copie

Score: 1/1 Exact FOR i IN 0 TO 5 LOOP Commentaire Choix Choix Réponse attendu 3  $\circ$ 4 0  $\bigcirc$ 5 6 •

Messagerie (déconnecté)



27. Quelle est la brique de base de la modélisation structurelle? - Copie

Exact

Score: 1 / 1

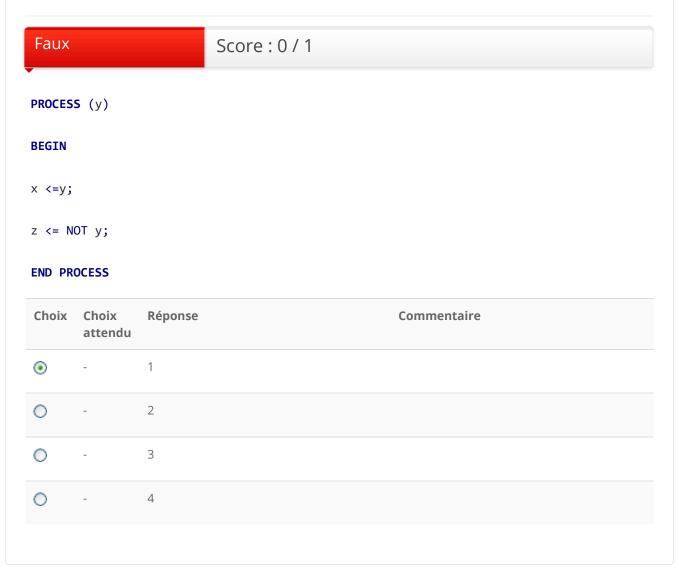
Choix Choix Réponse Commentaire
attendu

- Process

Messagerie (déconnecté)

| O -        | Component declaration   |
|------------|-------------------------|
| <b>⊙</b> - | Component instantiation |
| O -        | Block                   |
|            |                         |

28. La valeur de y est initialement 1 et passe à 0 après un cycle delta. Combien de cycles delta (en commençant depuis le début) sera nécessaire pour changer la valeur de z dans le processus donné ci-dessous?? - Copie



29. Avec un reset synchrone, le reset est actif en fonction de \_\_\_\_\_ - Copie

Exact Score: 1 / 1

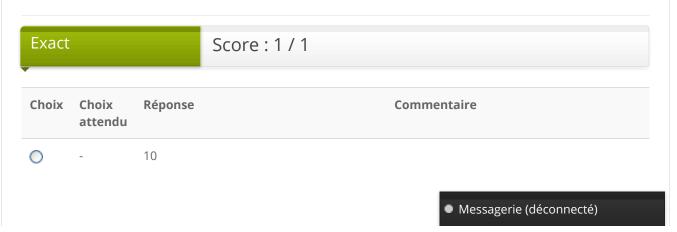
• Messagerie (déconnecté)

| <ul> <li>- Enable signal</li> <li>- Data input signal</li> <li>- Clock signal</li> <li>- Output signal</li> </ul> | Choix | Choix<br>attendu | Réponse           | Commentaire |
|---|-------|------------------|-------------------|-------------|
| Clock signal  | 0     | -                | Enable signal     |             |
|   | 0     | -                | Data input signal |             |
| Output signal   | •     | -                | Clock signal      |             |
|   | 0     | -                | Output signal     |             |

30. Laquelle des réponses suivantes ne peut pas être implémentée avec des instructions concurrentes seulement? - Copie

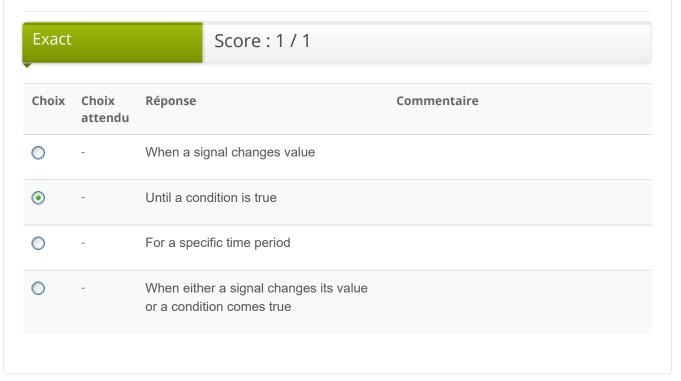


31. Deux compteurs modulo 10 en série divisent la fréquence d'entrée par \_\_\_\_\_ - Copie

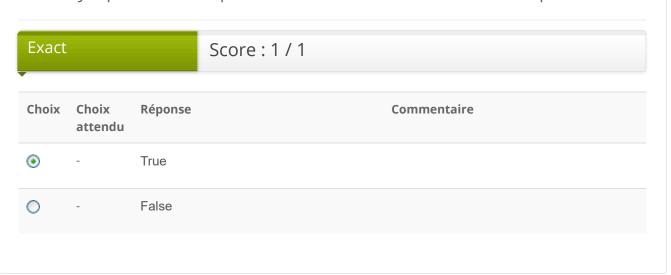


| • - | 100 |  |  |
|-----|-----|--|--|
| O - | 11  |  |  |
| O - | 81  |  |  |
|     |     |  |  |

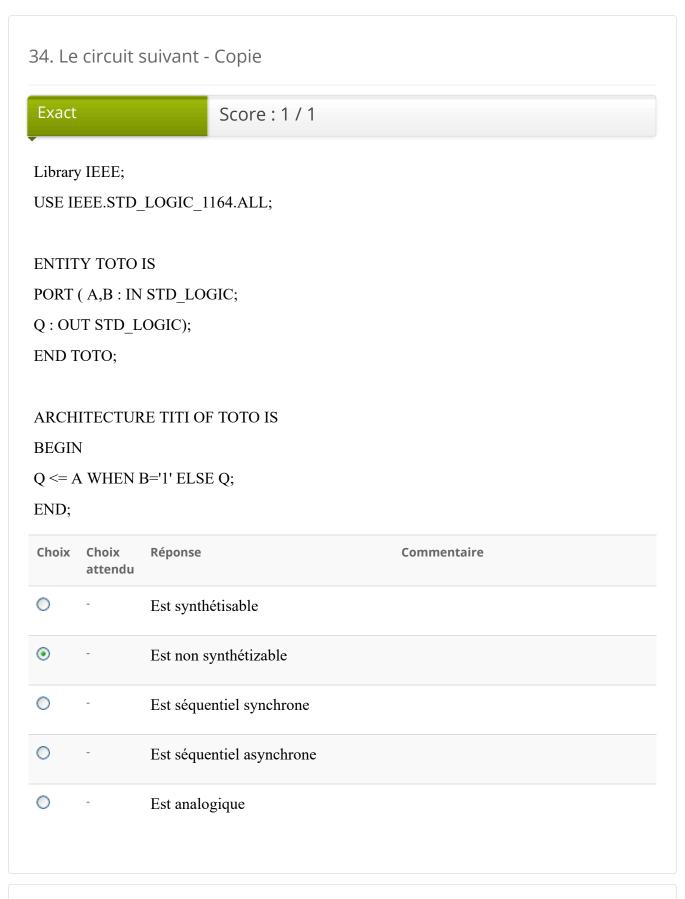
32. L'instruction WAIT UNTIL fait se suspendre le process \_\_\_\_\_ - Copie

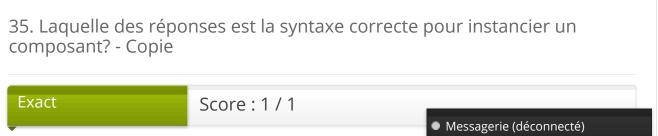


33. Il n'y a pas de délais pour les affectations de variables. - Copie



Messagerie (déconnecté)





| Choix | Choix<br>attendu | Réponse   | Commentaire |
|-------|------------------|---|-------------|
| 0     | -                | <pre>instantiate : component_name PORT MAP (port_list);</pre> |             |
| 0     | -                | label : instantiate COMPONENT PORT MAP (port_list);           |             |
| •     | -                | label : component_name PORT MAP (port_list);                  |             |
| 0     | -                | label : instantiate component_name<br>PORT MAP (port_list)    |             |
|       |                  |   |             |

Note : cet exercice est configuré pour ne pas montrer les bonnes réponses.

Votre résultat: 36 / 39

Enseignants : Beroulle Vincent | Achard Francois | Polychronou Nikolaos Foivos | Kchaou Afef

Créé avec Chamilo © 2021

Messagerie (déconnecté)