Votre résultat: 16 / 16 1. En VHDL MAJUSCULES et minuscules Exact Score: 1/1 Choix Choix Réponse Commentaire attendu ne sont pas identifiques 0 • sont identiques 0 sont identiques pour les noms de signaux uniquement 0 sont identiques pour les noms des entités uniquement Messagerie (déconnecté) 2. En VHDL à la fin d'une instruction on termine par Exact Score: 1/1 Réponse Commentaire Choix Choix attendu • 0 rien 3. En VHLD on affecte les variables avec : Score: 1/1 Exact Choix Choix Commentaire Réponse attendu 0 • 4. type octet is integer range 0 to 255; variable a : octet; Score: 2/2 **Exact** Commentaire Choix Réponse attendu V a peut valoir 0 V a peut valoir 255 a peut valoir "00000000" a peut valoir "11111111" 5. un bit peut valoir Score: 1/1 Exact Choix Choix Réponse Commentaire attendu 0 0 0 0 2 '0' • 6. Un vecteur de bit peut valoir Score: 1/1 Exact Choix Choix Réponse Commentaire attendu 0 2 "00" • 7. Quelles opérations sont possibles sur des bit\_vector Score: 1/1 Exact Choix Choix Commentaire Réponse attendu and V 8. Le package STD\_LOGIC\_1164 permet **Exact** Score: 1/1 Choix Choix Réponse Commentaire attendu de faire des opérations arithmétiques sur des  $\bigcirc$ vecteurs de bits • de définir le type std\_logic 0 de définir le type signed de définir le type unsigned 9. un bit de type std\_logic peut prendre Exact Score: 1/1 Commentaire Choix Choix Réponse attendu 5 valeurs différentes 7 valeurs différentes  $\bigcirc$ 9 valeurs différentes • 10. le type std\_logic est principalement utile pour Exact Score: 1 / 1 Choix Choix Réponse Commentaire attendu faire des opérations arithmétiques  $\bigcirc$ faire des conversions 0  $\odot$ définir une valeur par défaut non nulle définir une valeur par défaut nulle 0 11. Pour convertir un nombre entier en std\_logic\_vector avec le paquetage numeric\_std Exact Score: 1/1 Choix Choix Réponse Commentaire attendu  $\odot$ il faut convertir vers un unsigned ou un signed puis vers un vecteur std\_logic\_vector il faut convertir vers un bit\_vector puis vers un vecteur std\_logic\_vector  $\bigcirc$ il faut convertir vers std\_logic\_vector directement il faut utiliser une calculatrice 12. Un circuit peut avoir Score: 1/1 Exact Commentaire Choix Choix Réponse attendu V une entité et plusieurs architectures plusieurs entités et plusieurs architectures une entité et une architecture V plusieurs entités et une architecture 13. Une entrée d'une entité Score: 1/1 Exact Commentaire Choix Choix Réponse attendu  $\odot$ peut être lue 0 peut être écrite  $\bigcirc$ peut être affectée peut être modifiée 0 14. quelles instructions ne sont pas synthétizables? Score: 2/2 **Exact** Commentaire Choix Choix Réponse attendu s <= a and b; V wait for 10 ns; wait on a; 4 wait; Note : cet exercice est configuré pour ne pas montrer les bonnes réponses. Votre résultat: 16 / 16

Créé avec Chamilo © 2021

Enseignants: Beroulle Vincent | Achard Francois | Polychronou Nikolaos Foivos | Kchaou Afef