



• <u>Page</u>

d'accueil

- Mes cours
- Agenda perso
- Ma progression
- Réseau social



Arce-Menso Teo

Teo.Arce-Menso@grenoble-inp.org

• Boîte de réception Mes certificats Quitter

<<



- <u>\text{\text{CE312-CE318}} Architecture matérielle</u>
- Exercices
- Résultat



🕏 QCM6 CE312 Examen : Résultat

Nom

Arce-Menso Teo

Nom d'utilisateur

arcement

Code Officiel

apo-ESISAR

Date de début

Mercredi 13 Octobre 2021 à 18:21

Durée

00:22:48

Votre résultat: 43 / 44

1. La valeur de y est initialement 1 et passe à 0 après un cycle delta. Combien de cycles delta (en commençant depuis le début) sera nécessaire pour changer la valeur de z dans le processus donné cidessous?? - Copie

Exact

Score: 1/1

PROCESS (y)

BEGIN

x <=y;

 $z \leftarrow NOT y$;

END PROCESS

Choix attendu			Réponse	Commentaire
0	-	1		
•	-	2		
0	-	3		
0	-	4		

2. Quelle est la signification de VHDL? - Copie

Exact

Score: 1/1

Choix	Choix attendu	Réponse	Commentaire
0	-	Verilog Hardware Description Language	
0	-	Very High speed Description Language	
0	-	Variable Hardware Description Language	
•	-	Very high speed Hardware Description Language	

3. Quel est intérêt des Generics en VHDL? - Copie

Exact

Score: 1/1

Choix	Choix attendu	Réponse	Commentaire
0	-	To turn on and off the drivers	
•	-	To pass information to the entity	
0	-	To describe architecture	
0	-	To divide code into small processes	

4. Une boucle FOR utilise un index de boucle, le type de cet index est ______ - Copie

Exact

Score: 1/1

Choix	Choix attendu	Réponse	Commentaire
0	-	STD_LOGIC_VECTOR	
0	-	BIT_VECTOR	
•	-	INTEGER	
0	_	REAL	

5. En VHDL, les instructions concurrentes sont - Copie

Exact

Score: 3/3

Choix	Choix attendu	Réponse	Commentaire			
~	-	affectation permanente				
V	-	Les instructions WHEN/ELSE et WITH/SELECT				
V	-	L'affectation de signal avec un délai (after)				

•

Entity

3/10/2021	18:48	Grenoble INP - Chamilo - CE312- CE318 - Arch	nitecture matérielle
	-	L'affectation de variable immédiate	
	-	Les instruction IF/THEN/ELSE, CASE/WHEN, WHILE et FOR	
6. Le c	ode ci-de	essous est une implémentation de Copie	
Exact			
Score :	1/1		
ARCHIT	ECTURE m	y_circuit OF my_logic IS	
BEGIN			
WITH al	SELECT		
y <= x0	WHEN "	00";	
x1 WHE	N "01"	;	
x2 WHE	N "10"	;	
x3 WHE	N "11"	;	
END my	_circuit	;	
Choix	Choix attendu	Réponse	Commentaire
•	-	4 to 1 MUX	
0	-	1 to 4 DEMUX	
0	-	8 to 1 MUX	
0	-	1 to 8 DEMUX	
7. Dan	s quelle]	partie du code VHDL les paramètres génériques sont-ils	s déclarés? - Copie
Exact			
Score :	1/1		
Choix	Choix attendu	Réponse	Commentaire
0	-	Package declaration	

13/10/2021	1 18:48	Architecture	Grenoble INP	- Chamilo - CE312- CE318 - Ard	hitecture matérielle	
0	-	Configurations				
8. Que	el mot cl	é suivant n'est p	as associé à l'insti	ruction IF? - Copie		
Exac	t					
Score	:1/1					
Choix	Choix attendu	1	Réponse		Commentaire	
0	-	ELSE				
0	-	THEN				
0	-	ELSIF				
•	-	WHEN				
9. Une	e variabl	e est affectée da	ns un processus, s	a nouvelle valeur sera	disponible Co	pie
Exac	t					
Score	:1/1					
Choix	Choix attendu	1	Réponse		Commentaire	
0	-	After one delta cy	cle			
•	-	Immediately				

10. Quel est intérêt des Generics en VHDL? - Copie

At the end of architecture

At the end of a process

Exact

Score: 1/1

13/10/2021 18:48 Grenoble INP - Chamilo - CE312- CE318 - Architecture matérielle **Choix Choix** Réponse Commentaire attendu 0 To turn on and off the drivers \odot To pass information to the entity To describe architecture To divide code into small processes

11. Quel circuit est décrit? - Copie

```
Exact
Score: 1/1
LIBRARY IEEE;
USE IEEE.std_logic_1164.all;
ENTITY my_func IS
PORT(x, a, b : IN std_logic;
q : OUT std_logic);
END my_func;
ARCHITECTURE behavior OF my_func IS
SIGNAL s : INTEGER;
BEGIN
WITH S SELECT
  q <= a AFTER 10 ns WHEN 0;
   b AFTER 10 ns WHEN 1;
s \leftarrow 0 WHEN x = 0 ELSE
1 WHEN x = '1';
END behavior;
Choix Choix attendu
                              Réponse
                                                                      Commentaire
              AND gate
```

OR gate

- \odot MUX 2:1
- **DEMUX 1:2**

12. Quel registre est utilisé dans le code suivant? - Copie

Exact

```
Score: 1/1
library ieee;
use ieee.std_logic_1164.all;
entity shift_siso is
port (Clock, Sin : in std_logic;
Sout : out std_logic);
end shift_siso;
architecture behav of shift_siso is
signal temp: std_logic_vector(7 downto 0);
begin
process (Clock)
begin
if (Clock'event and Clock='1') then
for i in 0 to 6 loop
temp(i+1) <= temp(i);
end loop;
temp(₀) <= Sin;
end if;
end process;
Sout <= temp(7);</pre>
end behav;
```

Choix

Réponse

Commentaire

- \odot Serial in serial out
- Serial in parallel out
- Parallel in parallel out
- Parallel in serial out

13. Pourquoi a-t-on besoin de HDLs malgré l'existence de nombreux langages de programmation? -Copie

Faux

Score: 0 / 1

Choix	Choix attendu	Réponse	Commentaire
0	-	Traditional programming languages are complex	
•	-	HDLs are complementary to traditional programming languages to complete the design process	
0	-	Some characteristics of digital hardware couldn't be captured by traditional languages	
0	-	HDLs offer more complexity than traditional programming languages.	

14. Le code structurel d'un additionneur sur 4 bits est donné ci-dessous. Si on veut convertir ce composant en additionneur sur 8 bits que faut-il changer? - Copie

Exact

```
Score: 1/1
```

```
COMPONENT adder IS
GENERIC (n : INTEGER := 3);
PORT(input : IN BIT_VECTOR(n DOWNTO 0);
output : OUT BIT_VECTOR(n DOWNTO 0));
END COMPONENT;
```

Choix attendu			Réponse	Commentaire
•	-	n		
0	-	input		
0	-	output		
0	-	component		

15. Quel est le défaut de l'instruction IF? - Copie

Exact

Score: 1/1

Choix	Choix attendu	Réponse	Commentaire
•	-	Overlapping of conditions	
0	-	No default value	
0	-	The condition can be Boolean only	
0	-	Restriction on number of ELSE statement	

16. Quel circuit est implémenté par l'architecture suivante? - Copie

Exact

Score: 1/1

ARCHITECTURE my_arch OF my_design IS

BEGIN

PROCESS

BEGIN

WAIT ON clk;

IF(clk = '1') THEN

```
y <= x;
END IF;
```

END PROCESS;

END my_arch;

 $Choix \frac{Choix}{attendu}$ Réponse Commentaire

- Latch
- Inverter
- OR gate
- Shift register

17. Quelle réponse est correcte pour définir une boucle FOR? - Copie

Exact

Score: 1/1

```
Choix Choix attendu
                             Réponse
                                                                    Commentaire
                                    FOR
                                               LOOP
              loop specification
              sequential_statements;
              END LOOP label;
              label : FOR loop_specification
              LOOP
              sequential_statements;
              END FOR LOOP;
              label
                                    FOR
                                               LO<sub>O</sub>P
              loop_specification
```

sequential_statements;

```
....
               END FOR LOOP;
               label : FOR loop_specification
               LO<sub>O</sub>P
               sequential_statements;
_
               . . . .
               END LOOP label;
```

18. Avec le code ci-dessous quel circuit sera conçu? - Copie

Exact

END PROCESS

```
Score: 1/1
SIGNAL x : IN BIT;
SIGNAL y : OUT BIT;
SIGNAL clk : IN BIT;
PROCESS (clk)
BEGIN
IF (clk'EVENT and clk = '1')
     y <= x;
```

Shift Register

Choix Clatte	noix endu	Réponse	Commentaire
O -	Buffer		
O -	Latch		
-	Flip flop		

19. Plus d'un paramètre générique peut être défini dans une seule entité. - Copie

Exact

13/10/2021 18:48 **Score**: 1/1

> Choix Choix attendu Réponse Commentaire True False

20. L'instruction WAIT UNTIL fait se suspendre le process _____ - Copie

Exact

Score: 1/1

Choix attendu Réponse Commentaire When a signal changes value O Until a condition is true For a specific time period When either a signal changes its value or a

21. Le circuit suivant - Copie

condition comes true

Exact

Score: 1/1

Library IEEE;

USE IEEE.STD LOGIC 1164.ALL;

ENTITY TOTO IS

PORT (A,B: IN STD LOGIC;

Q: OUT STD LOGIC);

END TOTO;

ARCHITECTURE TITI OF TOTO IS Q <= A WHEN B='1' ELSE NOT A; END;

Choix Choix attendu Réponse Commentaire

~	-	Est synthétisable
. 4		E-4 1: 4 - 1: -

Est combinatoire ~ Est séquentiel synchrone

Est séquentiel asynchrone

Est analogique

22. Un processus a une partie déclaration. - Copie

Exact

13/10/2021 18:48

Score: 1/1

Choix attendu	Réponse	Commentaire

True

False

23. Sur quel aspect, les HDLs diffèrent des langages de programmation? - Copie

Exact

Score: 1/1

Choix	Choix attendu	Réponse	Commentaire
0	-	No aspect; both are same	
•	-	HDLs describe hardware rather than executing a program on a computer	
0	-	HDLs describe software and not hardware	
0	-	Other computer programming languages have more complexity	

24. S'il y a plus d'un processus dans un code VHDL, comment ces processus sont-ils exécutés? - Copie

Exact

Score: 1/1

Choix attendu	Réponse	Commentaire

One after the other

- \odot Concurrently
- According to sensitivity list
- Sequentially

25. Un code RTL est la combinaison de circuits combinatoires et séquentiels. - Copie

Exact

Score: 1/1

Choix attendu			Réponse	Commentaire	
•	-	True			
0	-	False			

26. Quelle fonction logique est décrite dans le code ci-dessous? - Copie

Exact

```
Score: 1/1
```

END my_func;

```
ARCHITECTURE my_func OF my_logic IS
begin
process(a, b, y)
begin
IF(a = 0 and b = 0) THEN
   y <= '0';
ELSIF (a = '1' and b= '1') THEN
    y<= '0';
ELSE y <= '1';
END if;
END process;
```

Choix	Choix attendu	Réponse	Commentaire
0	-	AND	
•	-	XOR	
0	-	OR	
0	-	XNOR	
27. Le	circuit s	suivant - Copie	
Exact	t		
Score	: 2 / 2		
Librar	y IEEE;		
USE I	EEE.STI	D_LOGIC_1164.ALL;	
PORT Q:OU END	JT STD_ ГОТО;	N STD_LOGIC; LOGIC);	
BEGIN PROC BEGIN IF A=' Q < ELSE Q < END I	N EESS (A,) N '1' THEN <= B; <= '0';		
Choix	Choix attendu		Commentaire
	- - - -	Est synthétisable Est combinatoire Est séquentiel synchrone Est séquentiel asynchrone Est analogique	
28. Un	ı process	sus combinatoire doit avoir tous les signaux _	dans sa liste de sensibilité Copic
Exact	t		

13/10/2021 18:48

Score: 1/1

Choix attendu		u	Réponse	Commentaire
•	-	Input		
0	-	Output		
0	-	Declared		
0	-	Used		

29. Quelle syntaxe est correcte pour une instruction WAIT ON? - Copie

Exact

Score: 1/1

Choix	Choix attendu	Réponse	Commentaire
0	-	WAIT ON signal_assignments;	
0	-	WAIT ON boolean_condition;	
•	-	WAIT ON signal_list;	
0	_	WAIT ON time_expression;	

30. En VHDL, dans une architecture avant le mot-clé BEGIN, on peut trouver - Copie

Exact

Score : 2 / 2

ARCHITECTURE TOTO OF TITI IS

--<===ICI ===

BEGIN

END

Choix Choix Réponse Commentaire

attendu

- V Des déclarations de composants
- Des instances de composant
- 4 Des déclarations de signaux internes
- Des instructions séquentielles et/ou concurrentes

31. Quelle fonction est utilisée pour instancier un paramètre générique dans un processus? - Copie

Exact

Score: 1/1

Choix attendu			Réponse	Commentaire
	0	-	Port map()	
	0	-	Generic()	
	•	-	Generic map()	
	0	_	Port	

32. Quelle sera la valeur de y après l'exécution du code ci-dessous? - Copie

Exact

```
Score: 1/1
```

```
Library ieee;
USE ieee.std_logic_1164.all;
USE ieee.numeric_std.all;
SIGNAL m : UNSIGNED (3 DOWNTO 0);
SIGNAL n : UNSIGNED (3 DOWNTO ∅);
SIGNAL y : STD_LOGIC_VECTOR (7 DOWNTO 0);
y <= STD_LOGIC_VECTOR ((m+n), 8);
```

Choix attendu

Réponse

Commentaire

 \odot

8- bit STD_LOGIC_VECTOR m+n

- 0 8- bit UNSIGNED m+n
- 4- bit STD_LOGIC m+n
- Error

33. L'instanciation _____ est moins sujette à erreur. - Copie

Exact

Score: 1/1

Choix attendu		Réponse	Commentaire	
0	-	par port		

- par position
- par dénomination
- générique

34. Quelle porte logique le code suivant représente-t-il? - Copie

Exact

Score: 1/1

WITH ab SELECT

y <= 1 WHEN "11"; 0 WHEN OTHERS;

Choix	Choix attendu	ı	Réponse	Commentaire
•	-	And gate		
0	-	Or gate		
		Not gate		

_		
\circ	-	Nand gat

35. Il n'y a pas de délais pour les affectations de variables. - Copie

Exact

Score: 1/1

Choix Attendu		Réponse	Commentaire
● -	True		

False

36. En VHDL, dans un processus, on peut trouver - Copie

Exact

Score: 1/1

Choix attendu	Réponse	Commentaire
-	Des instructions séquentielles	
-	Des instances de composant	
-	Des instructions concurrentes	
	attendu - -	- Des instructions séquentielles - Des instances de composant

Une architecture

Un autre processus

37. Laquelle des réponses ci-dessous utilise une modélisation structurelle? - Copie

Exact

Score: 1/1

Choix attendu	Réponse	Commentaire
The etweet	of singuit	

The structure of circuit

Behavior of circuit on different inputs

- 0 Data flow form input to output
- 0 Functional structure

38. Un composant à 3 ports : 2 entrées a et b et une sortie y. Laquelle des instructions suivantes utilise l'instanciation par position de ce composant? - Copie

Exact

Score: 1/1

(Choix	Choix attendu	Réponse	Commentaire
(•	-	LABEL : my_component PORT MAP (I, m, n);	
(0	-	LABEL : my_component PORT MAP (y, a);	
(0	-	LABEL : my_component PORT MAP (I => a, m => b, n => y);	
(0	-	LABEL : my_component PORT MAP(a, b, y>= a);	

39. Si a et b sont des entrées de type STD_LOGIC_VECTOR, alors l'instruction correcte est - Copie

Exact

Score: 1/1

Choi	Choix attend	u u	Réponse	Commentaire
0	-	x <= a.b		
•	-	x <= a OR b		
0	-	x <= a + b		
0	_	x <= a && b		

40. Quelle est la caractéristique de l'instanciation par position? - Copie

Exact

Score: 1/1

Choix	Choix attendu	Réponse	Commentaire
•	-	Easier to write	
0	-	Less error prone	
0	-	Ports can be left unconnected	
0	-	Difficult to write	

Note: cet exercice est configuré pour ne pas montrer les bonnes réponses.

Votre résultat: 43 / 44

Enseignants: Beroulle Vincent | Achard François | Polychronou Nikolaos Foivos | Kchaou Afef Créé avec Chamilo © 2021

×

×

Messagerie (déconnecté)