

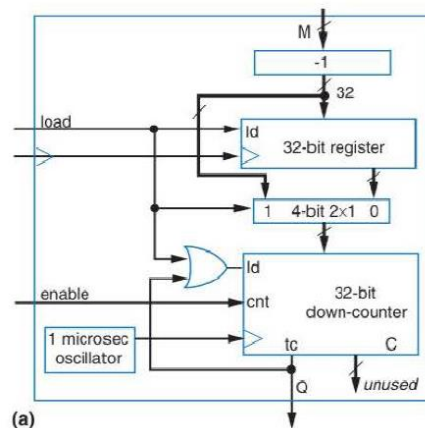
<p align="center"><b>Examen CE317</b></p> <p align="center"><b>Partie « conception numérique &amp; VHDL »</b></p>	<p align="center"><b>3<sup>ème</sup> année 1<sup>ère</sup> session 2018-2019</b></p> <p align="center"><b>Durée indicative de la partie : 90 mn</b></p> <p align="center"><b><u>Document autorisé : syntaxe VHDL essentielle</u></b></p> <p align="center"><b>Calculatrice interdite</b></p>
<p><i>Les points donnés dans l'énoncé entre crochets [X] après chaque question représentent le barème et indiquent le temps à passer en minutes sur chaque question.</i></p> <p><i>Rédigez sur des feuilles séparées les 2 parties de cet examen.</i></p>	

## Conception et validation d'un « timer » [90]

L'objectif de cette partie est de concevoir et valider un timer, c'est-à-dire un circuit qui peut être programmé pour générer périodiquement une impulsion courte (d'une période d'horloge de large) avec une période de temps spécifié (par exemple, une impulsion courte toutes les 300 ms).

Ce timer est contrôlé par une horloge de période 1  $\mu$ s qui fournit la référence temporelle. Ainsi, si on souhaite une impulsion toutes les 50  $\mu$ s, il faut programmer le timer avec la valeur 50. Le timer a une largeur de 32 bits.

La figure ci-dessous représente la conception interne du timer. Le « bloc -1 » représente une opération de décrémentation de -1.



1 Quelle valeur doit être programmée (cad envoyée vers M) pour générer une impulsion toutes les 300 ms ? [4]

2 Afin d'expliquer le fonctionnement de ce timer, faire un chronogramme représentant les signaux externes (M, load, clk, enable, Q) et internes (M32 en sortie du « bloc -1 », R32 en sortie du registre de 32 bits, Mux32 en sortie du multiplexeur, OR1 en sortie de la porte OU et C) **pour deux impulsions avec M=3 puis pour deux impulsions avec M=2** [20].

Remarques :

- Sur la figure, l'entrée clk est connectée au port externe avec un triangle : vous considérerez **que cette horloge clk est parfaitement identique à l'horloge interne** générée par l'oscillateur.
- tc=1 quand C atteint 0.
- Tous les signaux sont synchrones avec l'horloge clk

3 Est-ce que les périodes des impulsions générées sur vos chronogrammes correspondent aux valeurs de M successives (3 puis 2) ? Si ce n'est pas le cas, expliquez [4].

4 Donnez une description en VHDL de l'entité du timer [4].

Remarques :

- Utilisez uniquement des signaux de type *std\_logic* ou *std\_logic\_vector*
- Déclarez les bibliothèques et paquetages nécessaires aux types et aux opérations arithmétiques ensuite utilisées dans l'architecture

5 Décrire en VHDL RTL l'architecture *rtl* de ce circuit. Pour cela vous utiliserez les processus et instructions concurrentes suivantes :

- un processus pour le registre R32 [10],
- un processus explicite pour le décompteur [15],
- une instruction concurrente pour le signal M32 [5],
- une instruction concurrente pour le multiplexeur Mux32 [5].

Remarque : Bien sûr ne décrivez pas l'oscillateur interne, vous pouvez considérer que l'horloge clk est connectée à l'entrée clk du décompteur

6 Combien de bascules générera la synthèse de votre architecture précédente ? Justifiez [4].

7 Donnez une description du testbench *tb\_timer* permettant de retrouver **exactement le même chronogramme que celui que vous avez donné à la question 2** [20]