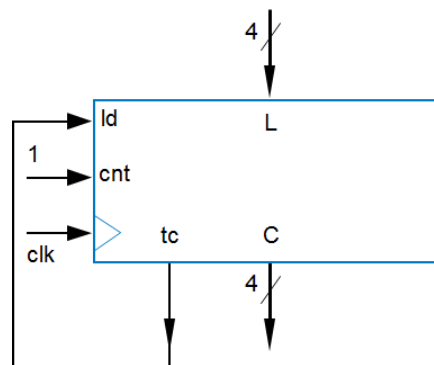


<p align="center">Examen CE311</p> <p align="center">Partie matérielle</p> <p align="center">« conception numérique & VHDL »</p>	<p align="center">3^{ème} année 2^{ème} session 2017-2018</p> <p align="center">Durée indicative de la partie : 90 mn</p> <p align="center"><u>Document autorisé : syntaxe VHDL essentielle</u></p> <p align="center">Calculatrice interdite</p>
<p><i>Les points donnés dans l'énoncé entre crochets [X] après chaque question représentent le barème et indiquent le temps à passer en minutes sur chaque question.</i></p> <p><i>Rédigez sur des feuilles séparées les 2 parties de cet examen.</i></p>	

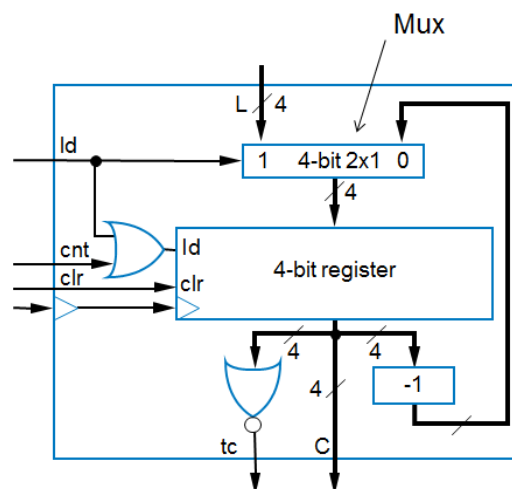
Conception et validation d'un décompteur [92+12]

L'objectif de cette partie est de concevoir et valider un décompteur programmable, c'est-à-dire un circuit qui décrémente une valeur C à chaque front d'horloge clk quand cnt est à '1' et charge la valeur sur l'entrée L quand ld est à '1'.

- *clk* est l'horloge du système
- *tc* est le signal en sortie qui indique que le compteur a atteint la valeur nulle
- *clr* non représenté ci-dessous est un signal de remise à zéro synchrone



La figure suivante permet d'expliquer le fonctionnement interne de ce décompteur.



Le composant « 4-bit register » dans la figure précédente est un registre à chargement parallèle. La valeur en entrée de ce registre est chargée dans ce registre quand l'entrée ld est à '1'. Le composant 4-bit 2x1 est un multiplexeur avec 2 entrées de 4 bits et une sortie de 4 bits. L'entrée L est envoyée vers la sortie quand ld est à '1' sinon l'autre entrée est envoyée vers la sortie.

1 En considérant sur l'entrée *L* la valeur « 0011 », faire un chronogramme montrant l'évolution des signaux : *clk*, *ld*, *cnt*, *clr*, le signal interne *ldi* connecté à l'entrée *ld* du registre interne, *tc*, *C* [28].

Dans ce chronogramme vous considérerez **une horloge *clk* de période 10 ns**.

2 Combien de bascules FF ce décompteur doit-il utiliser ? [4]

3 Pour commencer avec un exemple simple, commencez par décrire en VHDL RTL l'entité « 4-bit *register* » et son architecture *rtl* [4+16].

4 Combien de bascules générera la synthèse de l'entité précédente ? Expliquer [4].

5 En vous inspirant de la description précédente, décrire en VHDL RTL l'entité complète *decounter* et son architecture *rtl* [4+28].

6 Combien de bascules nécessitera la synthèse de ce circuit *decounter* ? Expliquer [4].

7 Optionnel : Donnez l'entité *tb_decounter* et l'architecture *rtl* d'un testbench de *decounter* permettant de retrouver **exactement le même chronogramme que celui que vous avez donné à la question 1** [+4+8]