

Architecture matérielle

CE312/CE318

III Les composants reconfigurables

Vincent Beroulle

Plan global du cours

- I Introduction
- II Les bases du VHDL pour la synthèse
- **III Les composants programmables**
 - I Introduction
 - Objectifs
 - II SPLD
 - III CPLD
 - IV FPGA
 - V Conclusion

I Introduction

Objectifs

- Dans ce chapitre, nous allons succinctement étudier les principales architectures et technologies des composants programmables suivants : *PLD, CPLD , FPGA*
- Objectifs : *Connaître les spécificités de ces composants afin de définir des critères de choix*

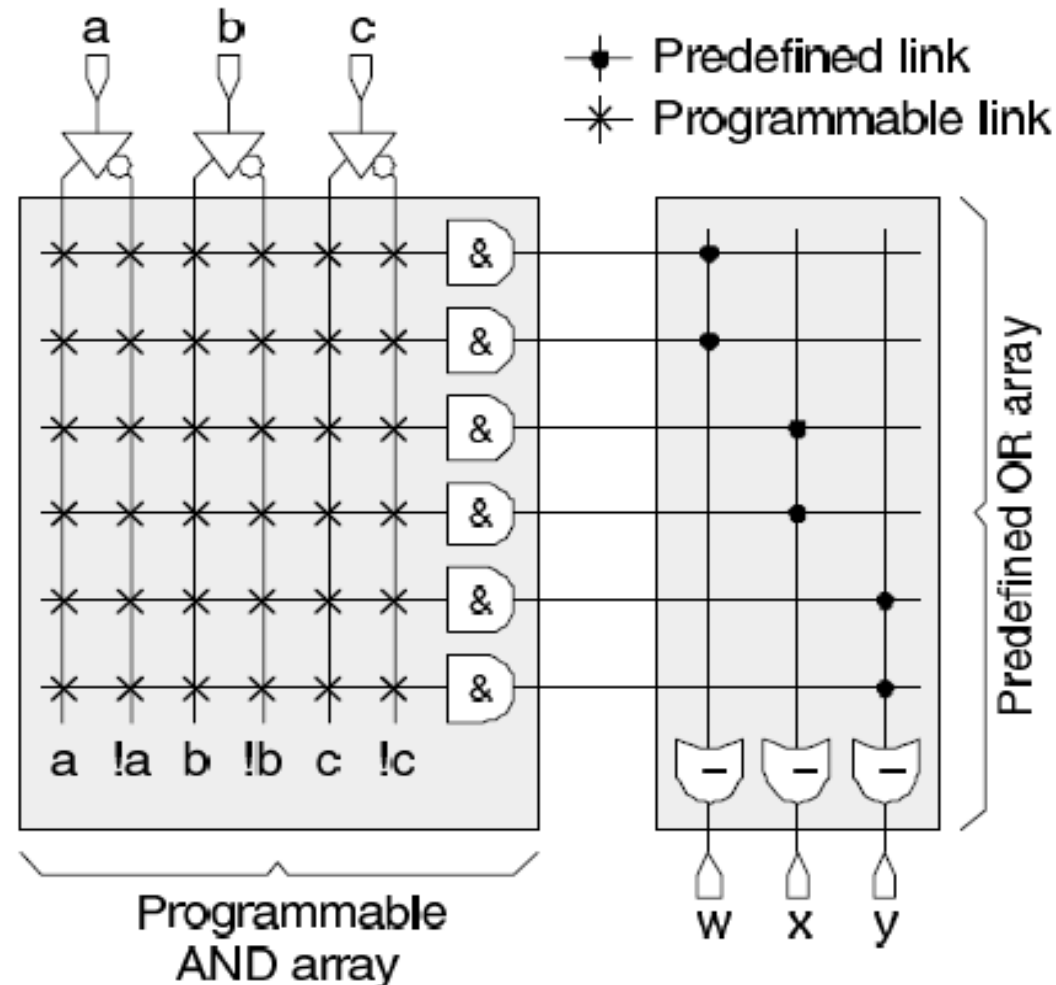
Plan de ce chapitre

- I Introduction
- **II CPLD**
 - **Architectures des SPLD – PAL**
 - Principaux fournisseurs
 - Architecture
 - Programmation / Exemple
- III FPGA
- IV Conclusion

II CPLD

Architectures des SPLD – PAL

Les CPLD héritent leurs architectures des SPLD, et, en particulier, des PAL

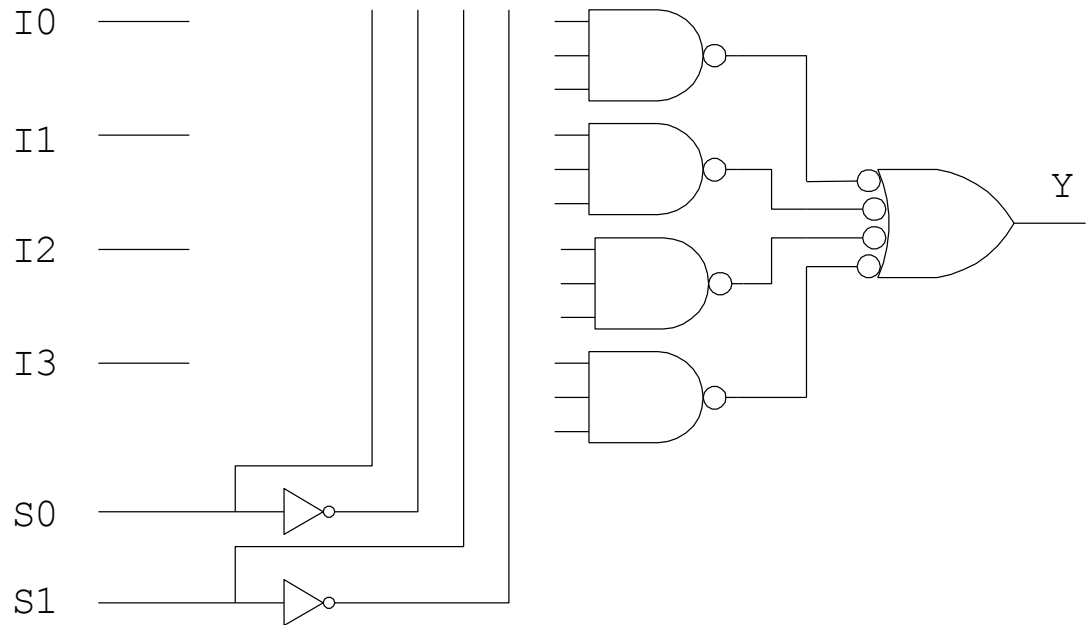
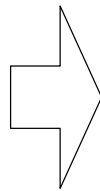
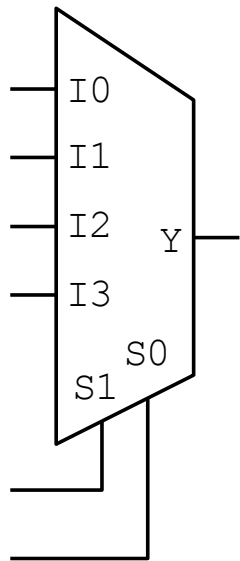


PAL : *Programmable Array Logic*

II CPLD

Exercice 1

- Compléter le circuit de droite en ajoutant les fils manquants



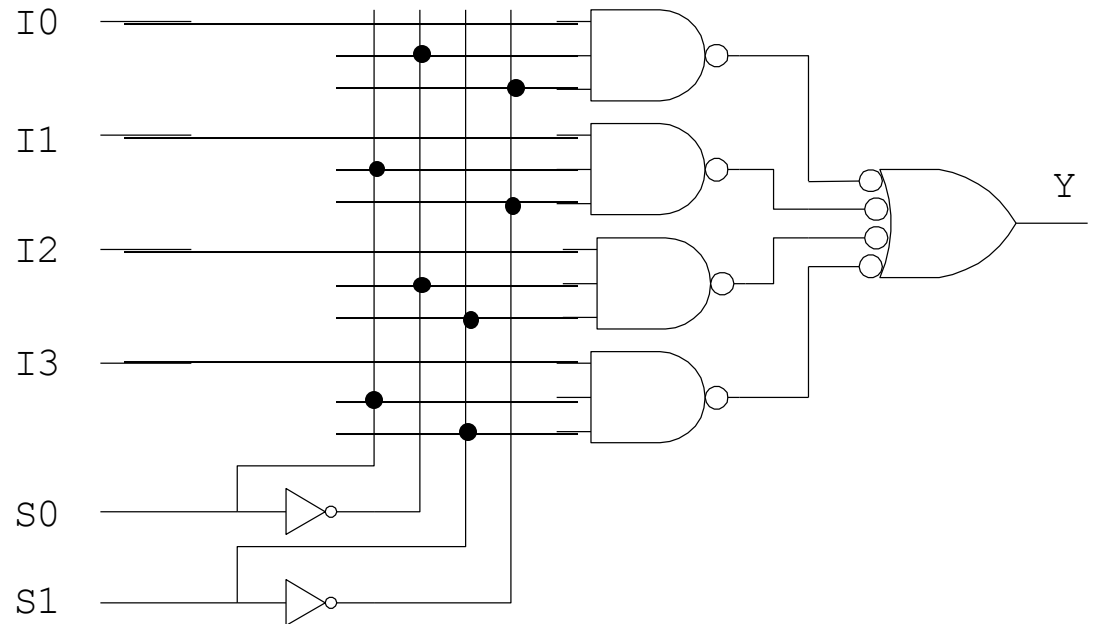
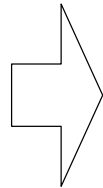
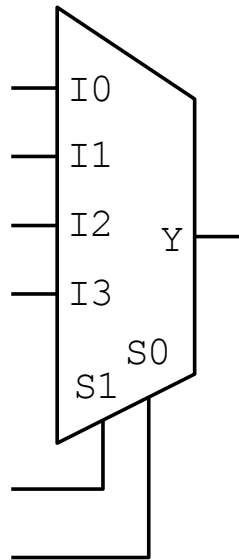
4:1 Mux Symbol

4:1 Mux Circuit

II CPLD

Exercise - Solution

$$S = I_0 \cdot S_0' \cdot S_1' + I_1 \cdot S_0 \cdot S_1' + I_2 \cdot S_0' \cdot S_1 + I_3 \cdot S_0 \cdot S_1$$



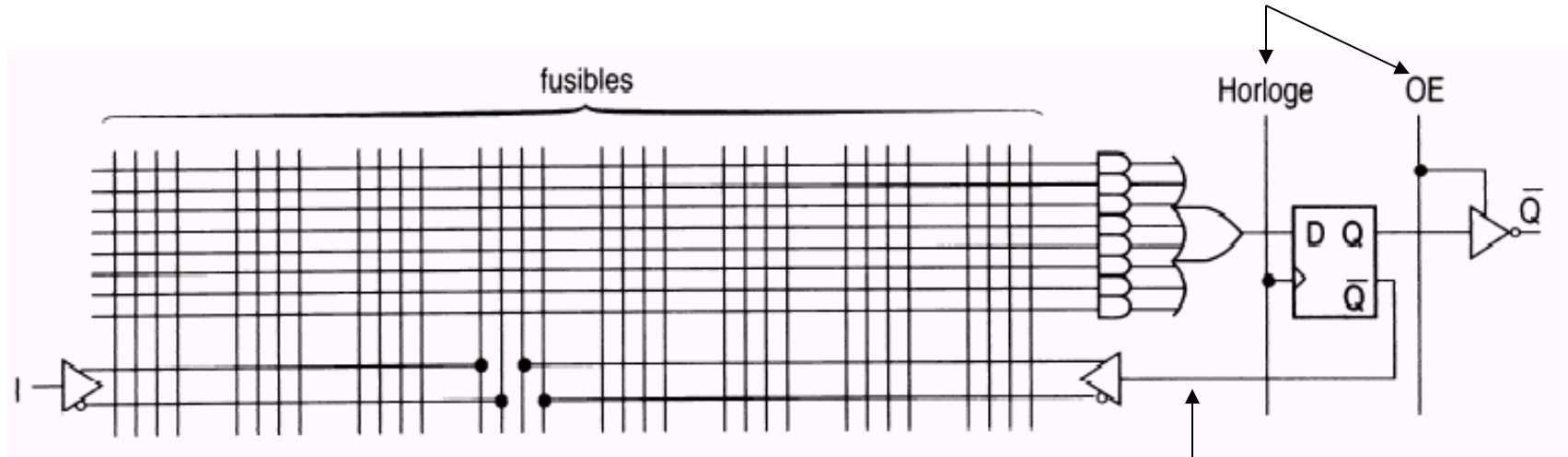
4:1 Mux Symbol

4:1 Mux Circuit

II CPLD

Architectures des SPLD - PAL

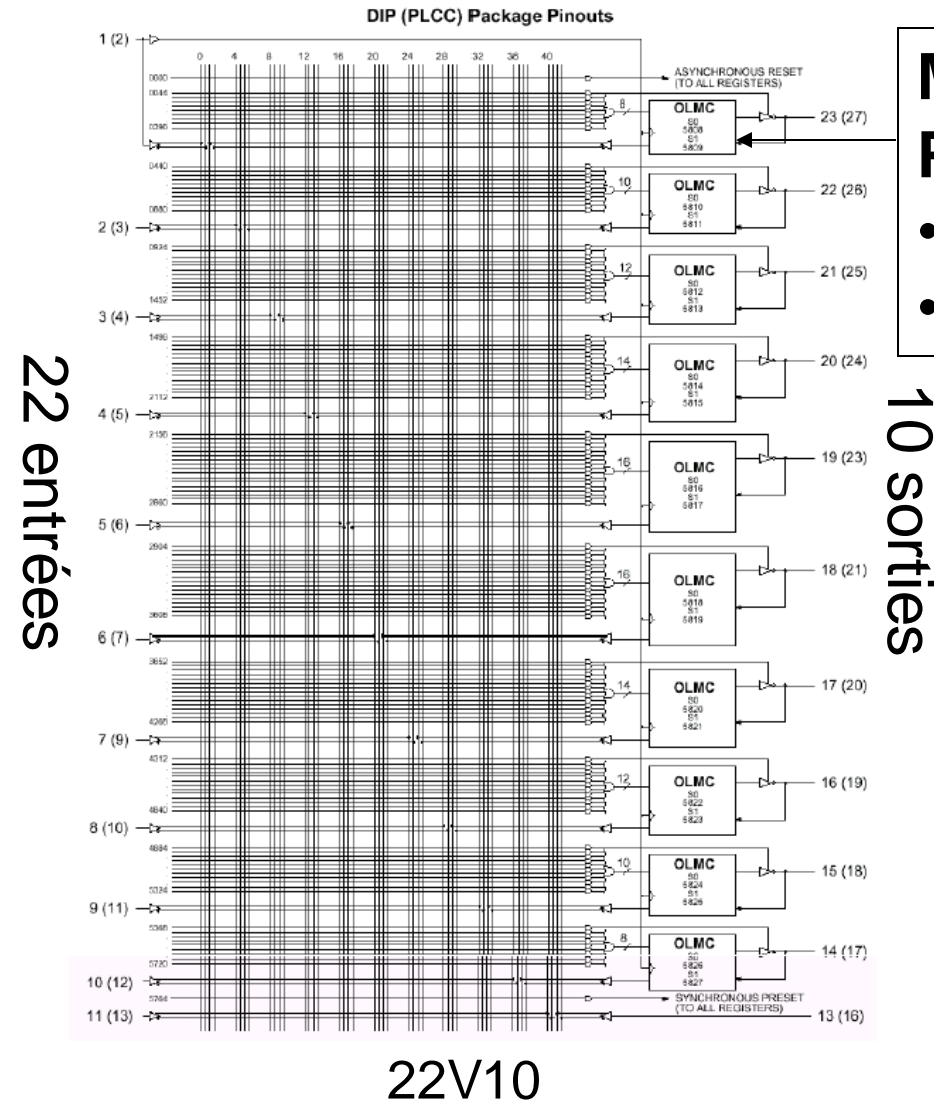
- Extrait d'une ligne d'une PAL séquentielle
une seule horloge et un seul enable



*rebouclage permettant de
générer des fonctions
combinatoires d'un état*

II CPLD

Exemple du 22V10



Macrocellule :
Possibilité de choisir entre

- Séquentiel ou combinatoire
- Complémenté ou non

Plan de ce chapitre

- I Introduction
- **II CPLD**
 - Architectures des SPLD – PAL
 - **Principaux fournisseurs**
 - Architecture
 - Programmation / Exemple
- III FPGA
- IV Conclusion

III CPLD

Principaux fournisseurs

Société	Type de circuit	Site Web
Altera	CPLD, FPGA	www.altera.com
Actel	FPGA	www.actel.com
ATMEL	FPGA	www.atmel.com/atmel/products
Cypress	FPGA, CPLD	www.cypress.com/pld/index.html
Lattice Semiconductor Corporation (+ Vantis)	FPGA, CPLD	www.latticesemi.com
Lucent	FPGA	www.lucent.com/micro/netcom/orca
Quick Logic	FPGA	www.quicklogic.com
Xilinx	FPGA, CPLD	www.xilinx.com

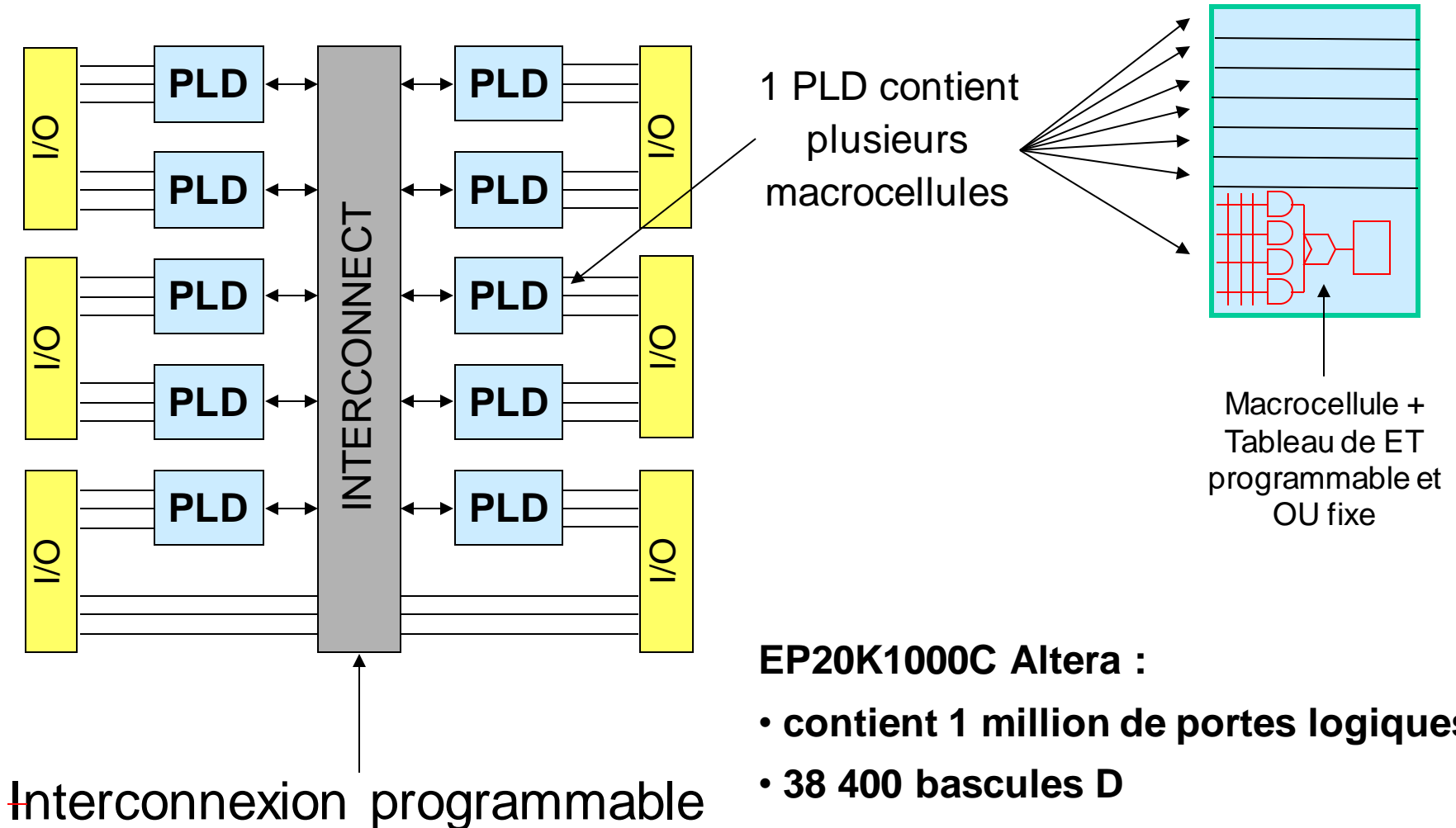
III CPLD

Architecture

- **Un CPLD contient plusieurs blocs logiques du type 22V10**
 - Les blocs communiquent par l'intermédiaire d'interconnexions programmables

III CPLD

Architecture



EP20K1000C Altera :

- contient 1 million de portes logiques,
- 38 400 bascules D
- 327 680 bits de RAM.

III CPLD

Blocs logiques

- Blocs logiques = Tableaux de ET programmables et de OR fixes + macrocellules (idem PLD comme 22V10)
- Métrique : nb de macrocellules (souvent la seule métrique donnée) + nb d'entrées/sorties + tailles des termes produits et sommes
 - Par exemple, un compteur 16 bits « tourne » sur un seul bloc logique contenant 16 macrocellules, 15 entrées (une pour chaque bit sauf le bit de poids fort), et suffisamment de termes produits...

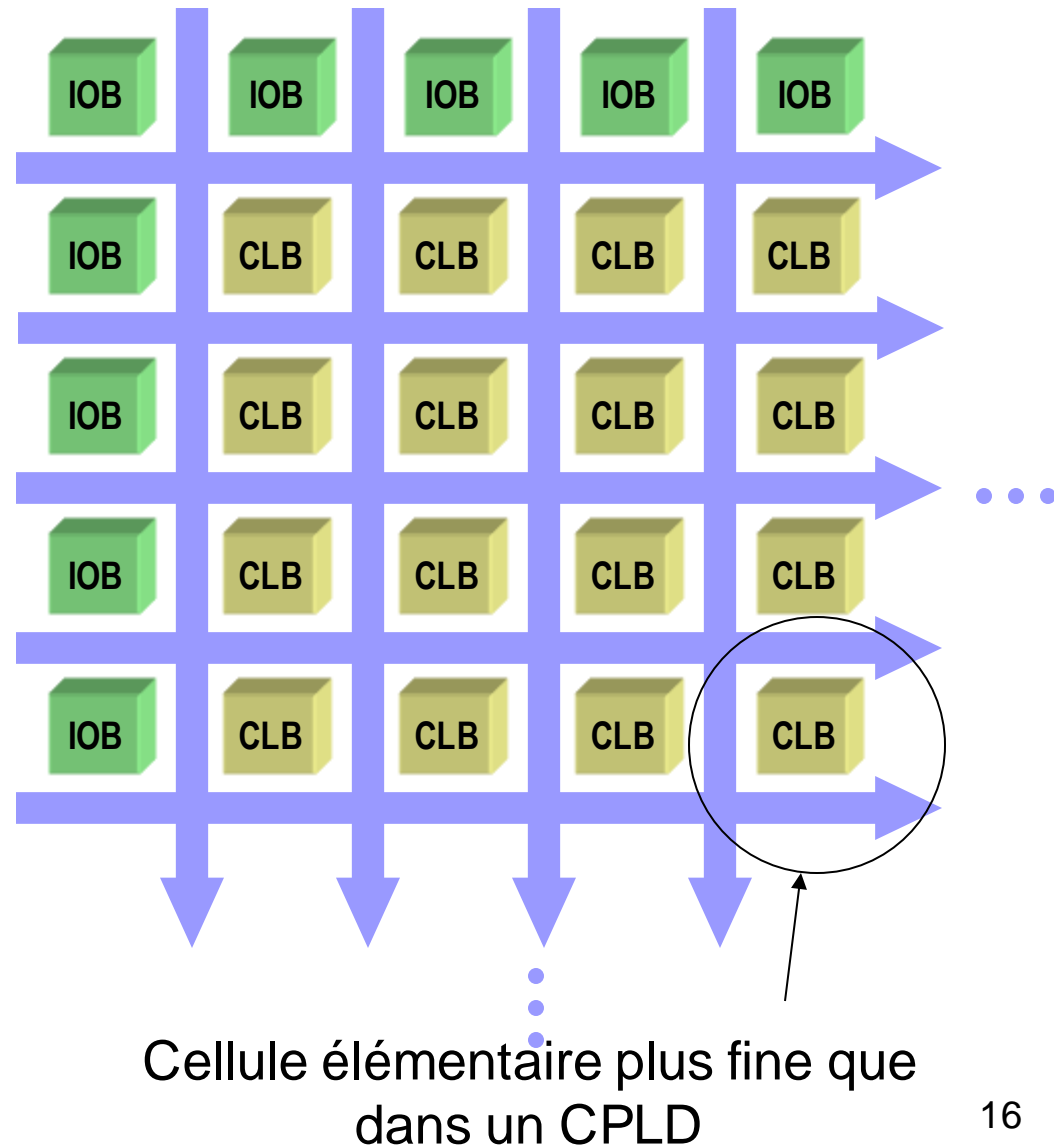
Plan de ce chapitre

- I Introduction
- II CPLD
- **III FPGA**
 - Architecture
 - Technologies
 - Composants enfouis
 - Familles disponibles
- IV Conclusion

IV FPGA

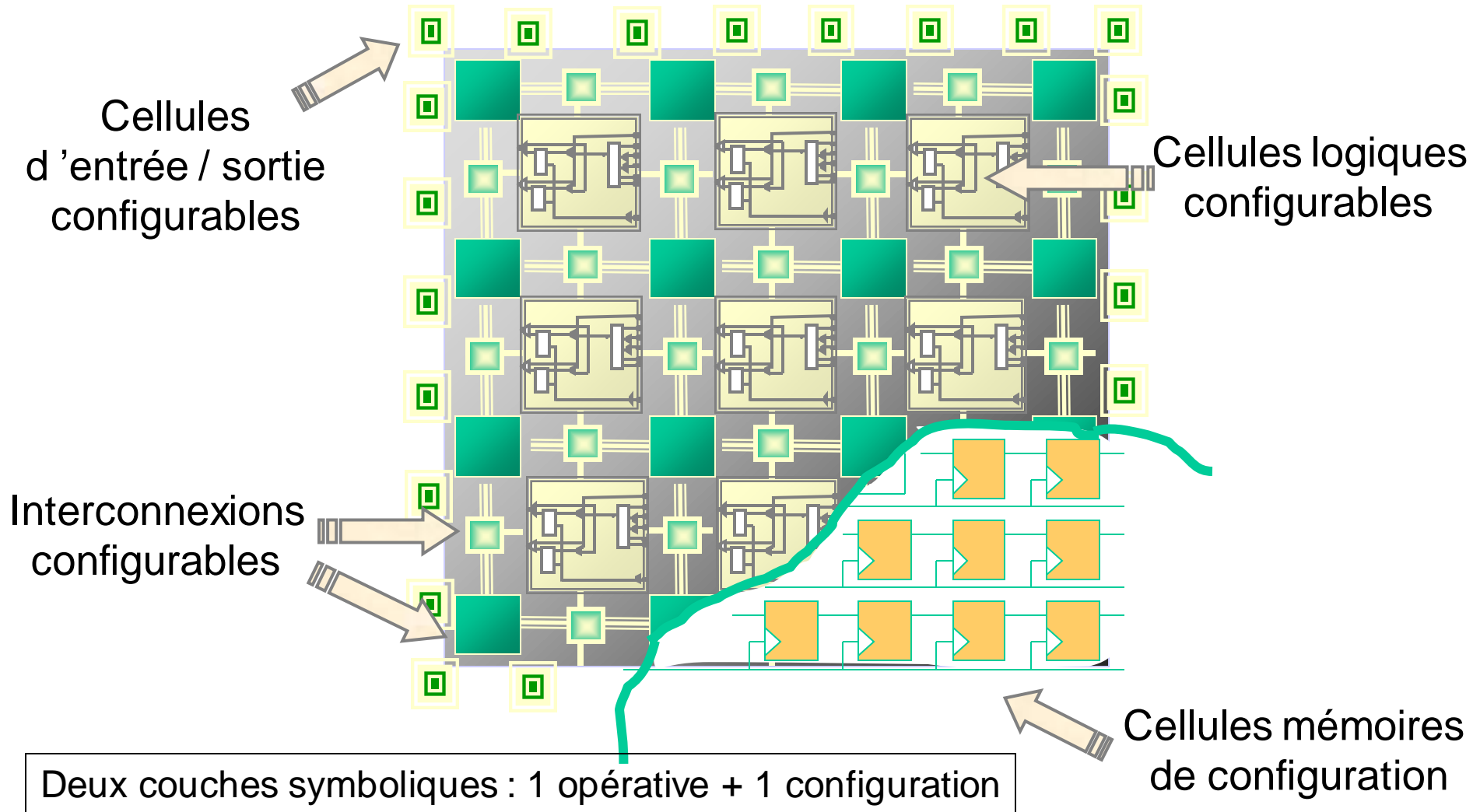
Architecture

- « **Field Programmable Gate Array** »
 - Tableau de blocs logiques programmables interconnectés entre eux (et vers les entrées/sorties) par des canaux de routage



IV FPGA

Architecture



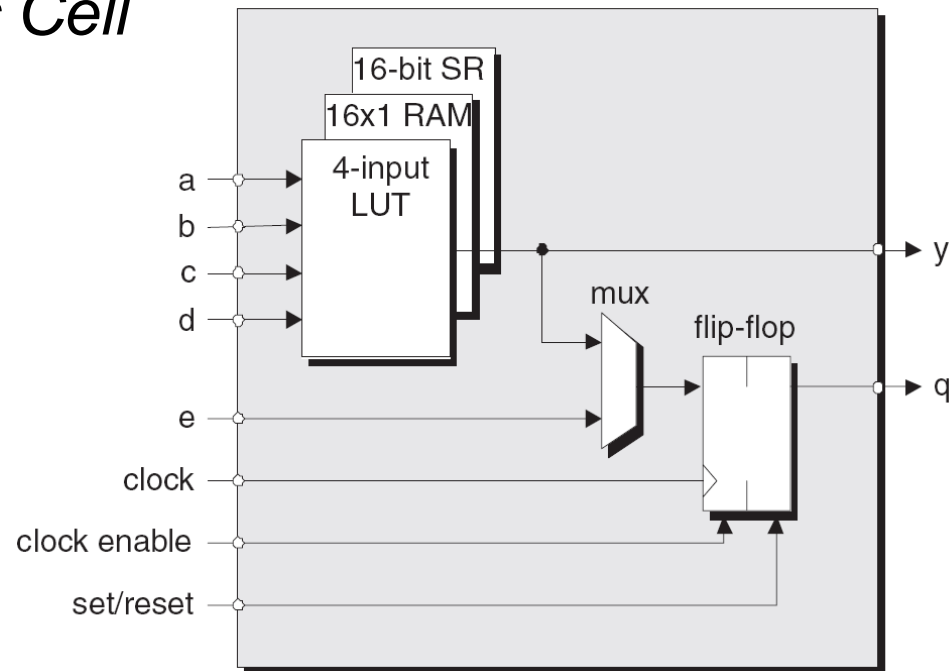
IV FPGA

Architecture & vocabulaire Xilinx

- Chaque fabricant de FPGA a sa propre terminologie pour décrire ses circuits :

- Chez *Xilinx*

- Élément de base : *Logic Cell*
- *Métrique* :
Slice = 2 Logic Cell
- **Configurable Logic Bloc**
 - *CLB* = 2 ou 4 Slices pouvant communiquer entre elles

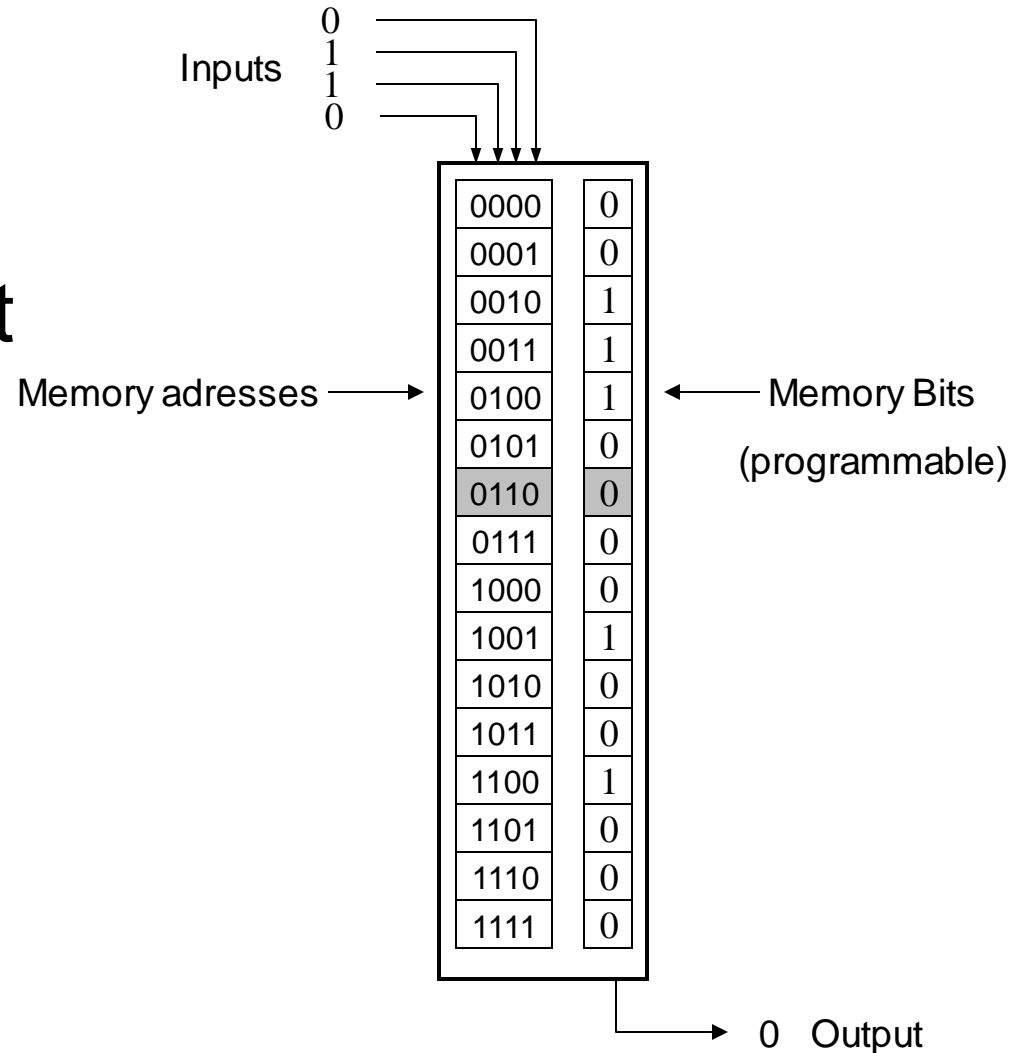


Logic Cell

IV FPGA

Architecture - LUT: Look-Up Table

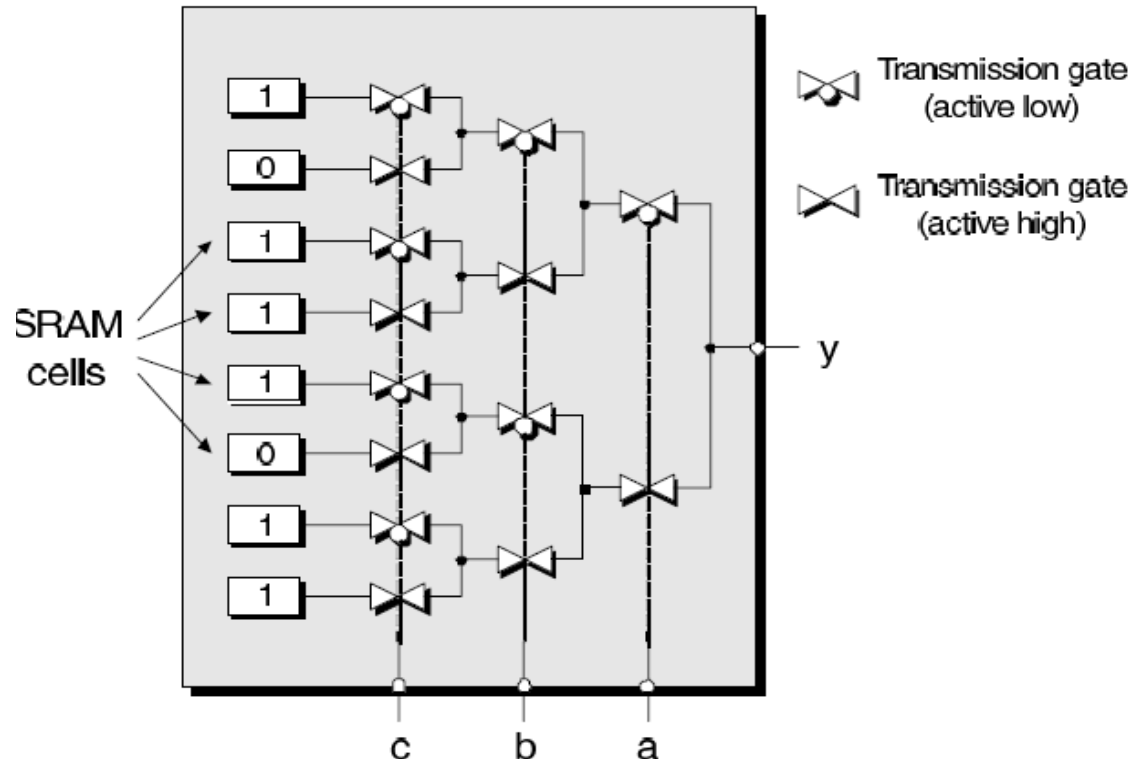
- La logique programmable des cellules logiques est basée sur une **mémoire appelée Look-Up Table**



IV FPGA

Architecture - LUT: Look-Up Table

Une LUT de taille 2^n peut implanter n'importe quelle fonction de n variables



Exemple de fonction logique câblée avec une LUT₂₀

IV FPGA

Exercice 2

- Complétez la table de vérité de la LUT donnée précédemment
- Donnez la fonction combinatoire avant simplification et après simplification réalisée par cette LUT

IV FPGA

Technologies

- Deux technologies principales existent :
 - **La technologie majeure : SRAM**
 - **Flash**
 - **Anti-Fusible**
- De ces technologies dépendent l'architecture du routage et des blocs logiques

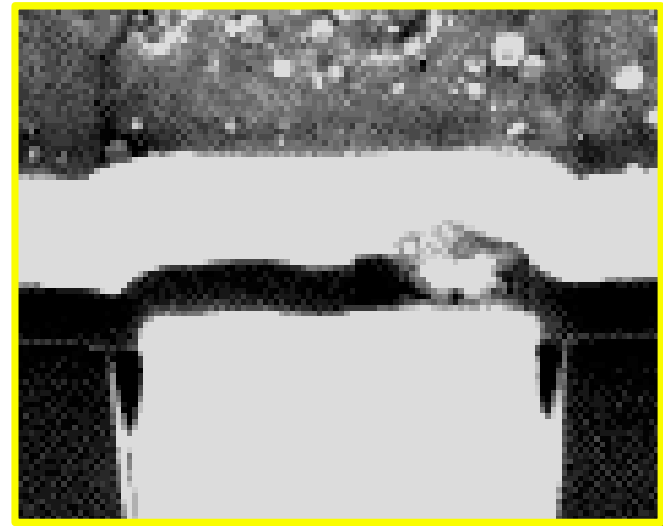
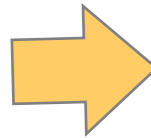
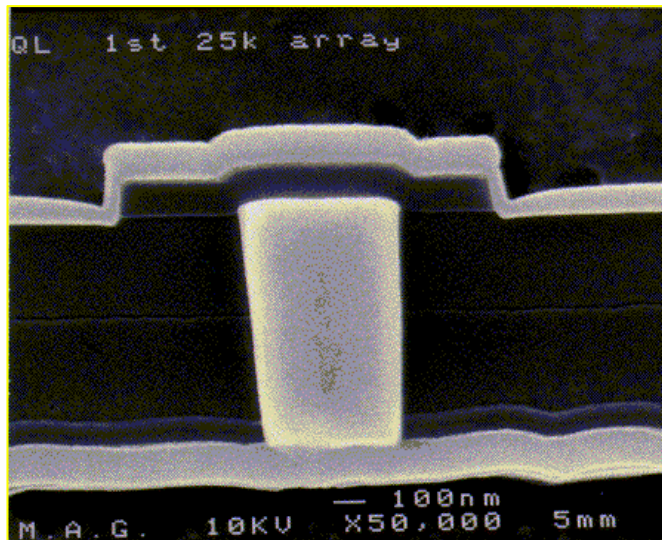
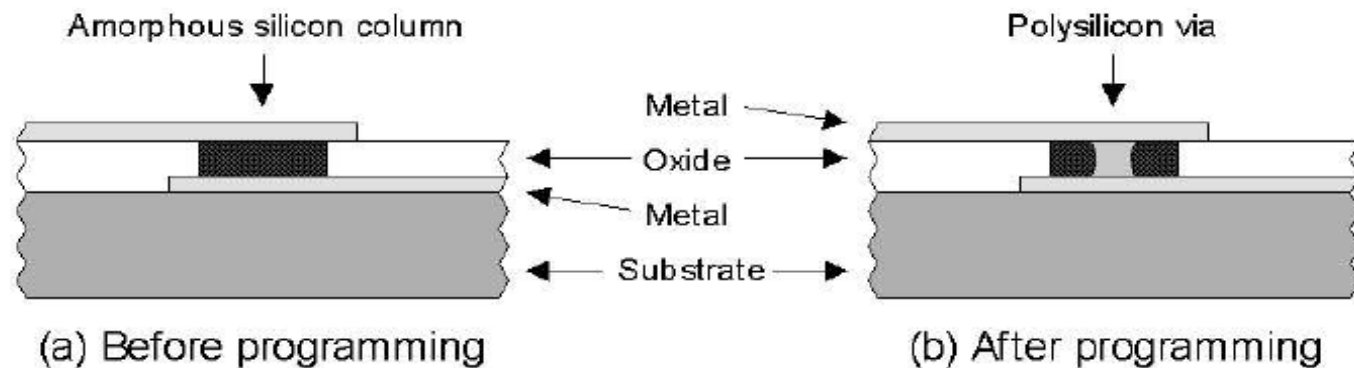
IV FPGA

Technologies – anti-fusibles

- Anti-Fusible :
 - simplement un *via* (initialement isolant) qui, lors de la programmation (avec une « sur »-tension de 10 à 12V) devient conducteur; créant ainsi un contact entre deux lignes
- Un anti-fusible est de la taille d'un *via*! (auquel il faut ajouter un transistor et une logique d'adressage pour sa programmation)

IV FPGA

Technologies – anti-fusibles



↔
100 nm

**Vue transversale fusible "ViaLink" de Quicklogic
(avant et après programmation)**

IV FPGA

Technologies – anti-fusibles

Grande densité d'intégration des éléments programmables

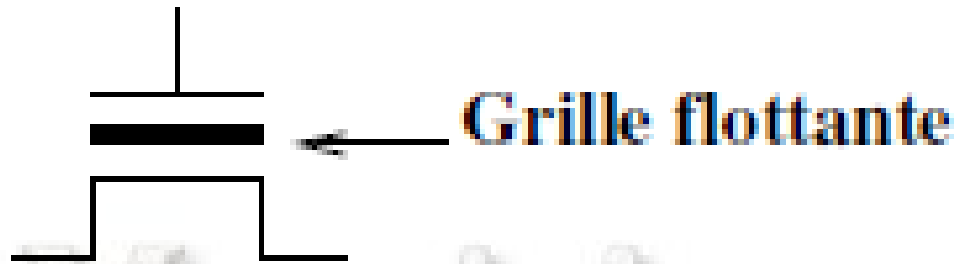
⇒ De très nombreuses interconnexions
(mais retard technologique
par rapport au FPGA SRAM)

Une fois programmés, ils ne sont pas reprogrammables !

IV FPGA

Technologies – FLASH

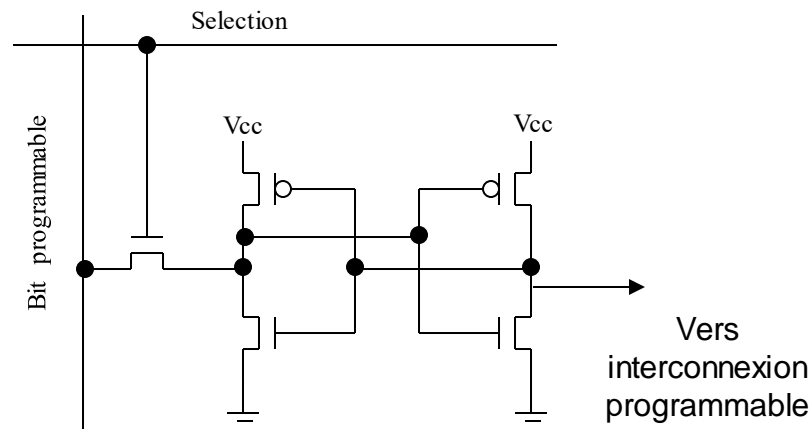
- FLASH :
 - Le FPGA conserve sa configuration, il est autonome (pas besoin de mémoire supplémentaire)
 - Technologie non standard (retard techno.)



IV FPGA

Technologies - SRAM

- Les points mémoires SRAM peuvent être utilisés pour contrôler des transistors créant des interconnexions ou configurer les LUT
- Un point mémoire SRAM est constitué de 5 transistors :
 - 2 transistors pour chacun des 2 inverseurs + 1 transistor de sélection (à cela il faut encore ajouter la logique d'adressage)



Cellule mémoire SRAM

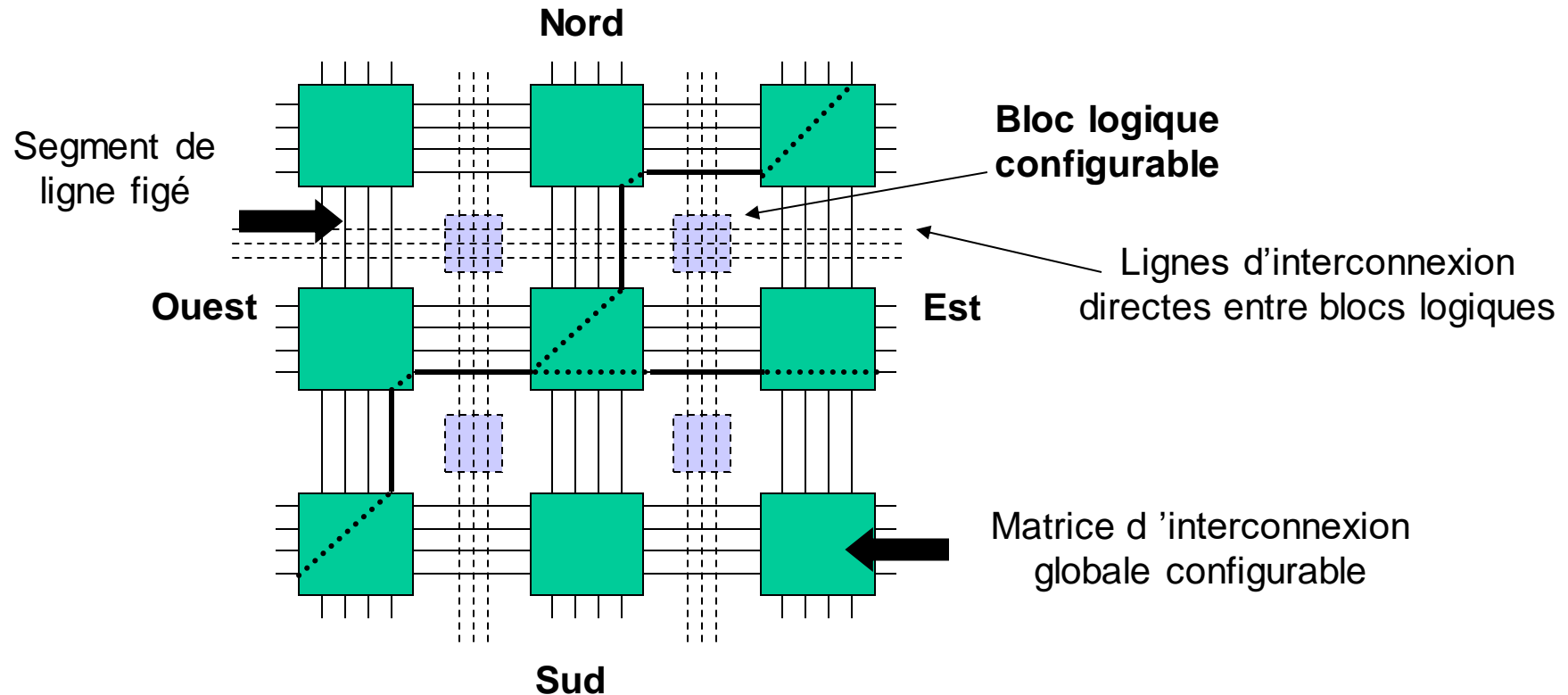
IV FPGA

Technologies - SRAM- Programmation

- Les **FPGA SRAM** sont **volatiles** : ils perdent leur configuration quand le système est éteint
- Il faut leur associer sur la carte une **EEPROM** pour charger leur configuration au démarrage

IV FPGA

Technologies – SRAM – Interconnexions



Routage sur de longues distances
(avec changement d'orientation direction Nord-Est)

IV FPGA

Technologies – Comparatif

- Dans les FPGA SRAM, la densité des éléments mémoires est faible :
les canaux de routage sont faiblement configurables
- **MAIS avance technologique** par rapport aux technologies "anti-fusibles"

IV FPGA

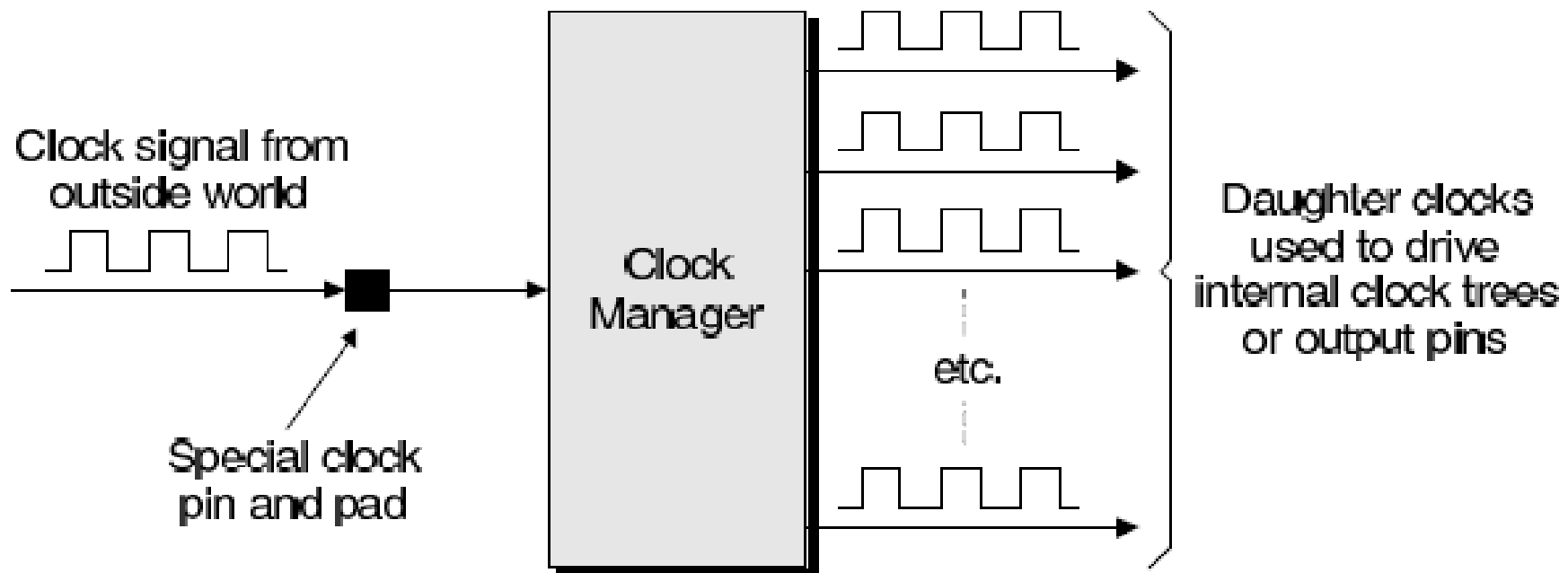
Composants enfouis – Soft, Hard

- Les FPGA sont fournis avec :
 - *Soft IP* : descriptions VHDL synthétisables de composants classiques
 - *Hard IP* : composants câblés et optimisés pour la technologie du FPGA
 - Multiplieurs, Blocs RAM, MAC (Multiplieur-Accumulateur pour les applications de traitement du signal), processeur, contrôleur d'horloge...

IV FPGA

Composants enfouis – Hard, Soft, Firm IP

Hard IP Contrôleur d'horloge :
Génération de signaux d'horloge internes



Plan de ce chapitre

- I Introduction
- II CPLD
- III FPGA
- **IV Conclusion**
 - **FPGA versus CPLD**
 - **Choisir un composant**
 - **Perspectives**

V Conclusion

FPGA versus CPLD

- CPLD
 - **Peu de blocs logiques** mais des blocs logiques avec un **grand nombre d'entrées/sorties**
 - Un seul grand bloc d'interconnexions : **peu flexibles**
 - Souvent **non volatiles**
 - **Performances élevées et reproductibles**
- FPGA
 - **Plusieurs milliers de blocs logiques** avec peu d'entrées/sorties
 - **Majoritairement volatiles**
 - Des interconnexions « omniprésentes » dans l'architecture
 - **Temps dépendant du routage**

V Conclusion

Choisir un composant

- Celui qui s'ajuste le mieux à votre application
 - Quantité de logique
 - **Nb de blocs RAM et de I/O**
 - **Coût**
 - **Performances**
 - Nb d'horloges
 - Structures câblées internes (MAC)...
 - Consommation
 - Types d'I/O (différentielles ou pas)
 - Boîtiers