



- 415
- 3

[d'accueil](#)

- [Mes cours](#)
- [Agenda perso](#)
- [Ma progression](#)
- [Réseau social](#)



[Fiot Ambroise](#)

Ambroise.Fiot@grenoble-inp.org

- 
- [Boîte de réception](#) [Mes certificats](#) [Quitter](#)

<<



- [CE312- CE318 - Architecture matérielle](#)
- [Exercices](#)
- Exercices

1 tentatives restantes

[Nouvelle tentative](#)

Sauvegardé.



## QCM6 CE312 Examen : Résultat

Nom

Fiot Ambroise

Nom d'utilisateur

fiota

Code Officiel

apo-ESISAR

Date de début

Mardi 12 Octobre 2021 à 15:37

Durée

00 : 29 : 44

**Votre résultat: 36 / 44**

**1. En VHDL, les instructions concurrentes sont - Copie**

**Faux**

**Score : 1 / 3**

Choix	Choix attendu	Réponse	Commentaire
<input type="checkbox"/>	-	L'affectation permanente	
<input checked="" type="checkbox"/>	-	Les instructions WHEN/ELSE et WITH/SELECT	
<input type="checkbox"/>	-	L'affectation de signal avec un délai (after...)	
<input type="checkbox"/>	-	L'affectation de variable immédiate	
<input type="checkbox"/>	-	Les instruction IF/THEN/ELSE, CASE/WHEN, WHILE et FOR	

**2. Une boucle FOR est initialisée comme indiqué ci-dessous, au total combien d'itérations seront réalisées? - Copie**

**Exact**

**Score : 1 / 1**

**FOR i IN 0 TO 5 LOOP**

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	3	
<input type="radio"/>	-	4	
<input type="radio"/>	-	5	
<input checked="" type="radio"/>	-	6	

**3. S'il y a plus d'un processus dans un code VHDL, comment ces processus sont-ils exécutés? - Copie**

**Faux**

**Score : 0 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	One after the other	

- ☐ - Concurrently
- ☐ - According to sensitivity list
- ☐ - Sequentially

#### 4. Laquelle des réponses ci-dessous utilise une modélisation structurelle? - Copie

**Faux**

Score : 0 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	The structure of circuit	
<input type="radio"/>	-	Behavior of circuit on different inputs	
<input type="radio"/>	-	Data flow from input to output	
<input checked="" type="radio"/>	-	Functional structure	

#### 5. Quelle ligne correspond à une détection d'un front montant? - Copie

**Exact**

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	IF (clk'EVENT AND clk = '0')	
<input checked="" type="radio"/>	-	IF (clk'EVENT AND clk = '1')	
<input type="radio"/>	-	IF (clk'EVENT OR clk = '0')	
<input type="radio"/>	-	IF (clk'EVENT OR clk = '1')	

#### 6. Laquelle des réponses ci-dessous est la bonne syntaxe pour convertir l'entier p en un nombre signé de 'b' bits (avec le paquetage numeric\_std)? - Copie

## Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	to_integer_signed(p,b);	
<input type="radio"/>	-	to_signed_integer(p,b);	
<input checked="" type="radio"/>	-	to_signed(p,b);	
<input type="radio"/>	-	to_signed_p(b);	

7. Quelle sera la valeur de y après l'exécution du code ci-dessous? - Copie

## Faux

Score : 0 / 1

```
Library ieee;  
  
USE ieee.std_logic_1164.all;  
  
USE ieee.numeric_std.all;  
  
...  
  
SIGNAL m : UNSIGNED (3 DOWNTO 0);  
  
SIGNAL n : UNSIGNED (3 DOWNTO 0);  
  
SIGNAL y : STD_LOGIC_VECTOR (7 DOWNTO 0);  
  
y <= STD_LOGIC_VECTOR ((m+n), 8);  
  
...
```

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	8- bit STD_LOGIC_VECTOR m+n	
<input type="radio"/>	-	8- bit UNSIGNED m+n	
<input type="radio"/>	-	4- bit STD_LOGIC m+n	
<input checked="" type="radio"/>	-	Error	

8. L'instruction generate est généralement associée à une modélisation \_\_\_\_\_. - Copie

**Exact**

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Behavioral	
<input type="radio"/>	-	Data flow	
<input checked="" type="radio"/>	-	Structural	
<input type="radio"/>	-	Behavioral and data flow	

9. Le circuit suivant - Copie

**Exact**

Score : 1 / 1

```
Library IEEE;  
USE IEEE.STD_LOGIC_1164.ALL;
```

```
ENTITY TOTO IS  
PORT ( A,B : IN STD_LOGIC;  
Q : OUT STD_LOGIC);  
END TOTO;
```

```
ARCHITECTURE TITI OF TOTO IS  
BEGIN  
Q <= A WHEN B='1' ELSE Q;  
END;
```

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Est synthétisable	
<input checked="" type="radio"/>	-	Est non synthétizable	
<input type="radio"/>	-	Est séquentiel synchrone	
<input type="radio"/>	-	Est séquentiel asynchrone	

☐ - Est analogique

### 10. La description d'un composant en VHDL est toujours composée - Copie

**Exact**

**Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="checkbox"/>	-	D'une entité et d'une architecture	
<input type="checkbox"/>	-	D'une entité	
<input type="checkbox"/>	-	D'une architecture	
<input type="checkbox"/>	-	D'une entité, d'une architecture et d'une instance	

### 11. Le circuit suivant - Copie

**Exact**

**Score : 2 / 2**

Library IEEE;

USE IEEE.STD\_LOGIC\_1164.ALL;

```
ENTITY TOTO IS
PORT (A,B : IN STD_LOGIC;
Q : OUT STD_LOGIC);
END TOTO;
```

```
ARCHITECTURE TITI OF TOTO IS
BEGIN
PROCESS
BEGIN
WAIT UNTIL RISING_EDGE (B);
Q <= A;
END PROCESS;
END;
```

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="checkbox"/>	-	Est synthétisable	
<input type="checkbox"/>	-	Est combinatoire	
<input checked="" type="checkbox"/>	-	Est séquentiel synchrone	
<input type="checkbox"/>	-	Est séquentiel asynchrone	
<input type="checkbox"/>	-	Est analogique	

### 12. Il n'y a pas de délais pour les affectations de variables. - Copie

**Exact**

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	True	
<input type="radio"/>	-	False	

13. En VHDL, les noms des entités ‘xyz’ et ‘XYZ’ sont traitées de la même manière. - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	True	
<input type="radio"/>	-	False	

14. Une variable y est de type STD\_LOGIC\_VECTOR sur 4 bits, si vous voulez lui affecter 1001, alors quelle instruction d'affectation faut-il utiliser? - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	y <= "1001"	
<input checked="" type="radio"/>	-	y := "1001"	
<input type="radio"/>	-	y <= '1', '0', '0', '1'	
<input type="radio"/>	-	y => "1001"	

15. La valeur de y est initialement 1 et passe à 0 après un cycle delta. Combien de cycles delta (en commençant depuis le début) sera nécessaire pour changer la valeur de z dans le processus donné ci-dessous?? - Copie

Exact

Score : 1 / 1

PROCESS (y)

BEGIN

x <=y;

z <= NOT y;

END PROCESS

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	1	
<input checked="" type="radio"/>	-	2	
<input type="radio"/>	-	3	
<input type="radio"/>	-	4	

16. Dans un registre à décalage PIPO, les sorties sont prises \_\_\_\_\_ - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Using the Q output of the first flip-flop	
<input type="radio"/>	-	Using the Q output of the last flip-flop	
<input type="radio"/>	-	Using the Q output of the second flip-flop	
<input checked="" type="radio"/>	-	Using the Q output of each flip-flop	

17. L'instruction Generate est une instruction \_\_\_\_\_ . - Copie

Exact

Score : 1 / 1

Choix	Choix	Réponse	Commentaire
-------	-------	---------	-------------



**attendu**

- ☒ - Concurrent
- ☐ - Sequential
- ☐ - Concurrent as well as sequential
- ☐ - Process

**18. Un pilote peut être considéré comme \_\_\_\_\_ du signal. - Copie**

**Faux**

**Score : 0 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Part	
<input type="radio"/>	-	Type	
<input checked="" type="radio"/>	-	Final value	
<input type="radio"/>	-	Source	

**19. Le circuit suivant - Copie**

**Exact**

**Score : 2 / 2**

Library IEEE;

USE IEEE.STD\_LOGIC\_1164.ALL;

```
ENTITY TOTO IS
PORT ( A,B : IN STD_LOGIC;
Q : OUT STD_LOGIC);
END TOTO;
```

```
ARCHITECTURE TITI OF TOTO IS
BEGIN
PROCESS (A,B)
BEGIN
IF A='1' THEN
```

```

    Q <= B;
END IF;
END PROCESS;
END;

```

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="checkbox"/>	-	Est synthétisable	
<input type="checkbox"/>	-	Est combinatoire	
<input type="checkbox"/>	-	Est séquentiel synchrone	
<input checked="" type="checkbox"/>	-	Est séquentiel asynchrone	
<input type="checkbox"/>	-	Est analogique	

## 20. Quel paquetage IEEE contient le plus de fonctions de conversion? - Copie

**Exact**

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	std_logic_1164	
<input type="radio"/>	-	std	
<input type="radio"/>	-	std_logic_arith	
<input checked="" type="radio"/>	-	numeric_std	

## 21. Le circuit suivant - Copie

**Exact**

Score : 1 / 1

```

Library IEEE;
USE IEEE.STD_LOGIC_1164.ALL;

```

```

ENTITY TOTO IS
PORT ( A,B : IN STD_LOGIC;
Q : OUT STD_LOGIC);
END TOTO;

```

```

ARCHITECTURE TITI OF TOTO IS
BEGIN
Q <= A WHEN B='1' ELSE Q;
END;

```

Choix	Choix	Réponse	Commentaire
-------	-------	---------	-------------

**attendu**

- ☐ - Est synthétisable
- ☒ - Est non synthétizable
- ☐ - Est séquentiel synchrone
- ☐ - Est séquentiel asynchrone
- ☐ - Est analogique

**22. Le code ci-dessous est une implémentation de \_\_\_\_\_ - Copie**

**Exact**

**Score : 1 / 1**

```
ARCHITECTURE my_circuit OF my_logic IS
BEGIN
WITH ab SELECT
y <= x0 WHEN "00";
x1 WHEN "01";
x2 WHEN "10";
x3 WHEN "11";
END my_circuit;
```

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	4 to 1 MUX	
<input type="radio"/>	-	1 to 4 DEMUX	
<input type="radio"/>	-	8 to 1 MUX	
<input type="radio"/>	-	1 to 8 DEMUX	

**23. Quelle réponse est correcte pour définir une boucle FOR? - Copie**

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	<pre>label      :      FOR      LOOP loop_specification sequential_statements; .... END LOOP label;</pre>	
<input type="radio"/>	-	<pre>label : FOR loop_specification LOOP sequential_statements; .... END FOR LOOP;</pre>	
<input type="radio"/>	-	<pre>label      :      FOR      LOOP loop_specification sequential_statements; .... END FOR LOOP;</pre>	
<input checked="" type="radio"/>	-	<pre>label : FOR loop_specification LOOP sequential_statements; .... END LOOP label;</pre>	

24. La liste de sensibilité contient \_\_\_\_\_ - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
-------	---------------	---------	-------------

- ☐ - Constants
- ☒ - Signals
- ☐ - Variables
- ☐ - Literals

25. Une variable est affectée dans un processus, sa nouvelle valeur sera disponible \_\_\_\_\_ - Copie

**Exact**

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	After one delta cycle	
<input checked="" type="radio"/>	-	Immediately	
<input type="radio"/>	-	At the end of a process	
<input type="radio"/>	-	At the end of architecture	

26. Pourquoi a-t-on besoin de HDLs malgré l'existence de nombreux langages de programmation? - Copie

**Exact**

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Traditional programming languages are complex	
<input type="radio"/>	-	HDLs are complementary to traditional programming languages to complete the design process	
<input checked="" type="radio"/>	-	Some characteristics of digital hardware couldn't be captured by traditional languages	

- ☐ - HDLs offer more complexity than traditional programming languages.

**27. Quelle est la principale utilisation des paramètres génériques? - Copie**

**Exact**

**Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Defining constant type	
<input type="radio"/>	-	Defining constant type	
<input checked="" type="radio"/>	-	Reusability	
<input type="radio"/>	-	Using constant type within the entity	

**28. Une boucle FOR utilise un index de boucle, le type de cet index est \_\_\_\_\_ - Copie**

**Exact**

**Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	STD_LOGIC_VECTOR	
<input type="radio"/>	-	BIT_VECTOR	
<input checked="" type="radio"/>	-	INTEGER	
<input type="radio"/>	-	REAL	

**29. Un composant à 3 ports : 2 entrées a et b et une sortie y. Laquelle des instructions suivantes utilise l'instanciation par position de ce composant? - Copie**

**Exact**

**Score : 1 / 1**

Choix	Choix	Réponse	Commentaire
-------	-------	---------	-------------

**attendu**

- ☒ - LABEL : my\_component PORT MAP (l, m, n);
- ☐ - LABEL : my\_component PORT MAP (y, a);
- ☐ - LABEL : my\_component PORT MAP (l => a, m => b, n => y);
- ☐ - LABEL : my\_component PORT MAP(a, b, y=> a);

**30. Une variable y est de type STD\_LOGIC\_VECTOR sur 4 bits, si vous voulez lui affecter 1001, alors quelle instruction d'affectation faut-il utiliser? - Copie**

**Exact**

**Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	y <= "1001"	
<input checked="" type="radio"/>	-	y := "1001"	
<input type="radio"/>	-	y <= '1', '0', '0', '1'	
<input type="radio"/>	-	y => "1001"	

**31. Quelle est la bonne syntaxe de l'instruction CASE? - Copie**

**Exact**

**Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	<pre>CASE expression IS   WHEN choice_1 =&gt;     Sequential_statements;   WHEN choice_2 =&gt;</pre>	

Sequential\_statements;

....

**WHEN OTHERS =>**

Sequential\_statements;

**END CASE;**

**CASE** expression **IS**

**WHEN** choice\_1 =>;

Sequential\_statements;

**WHEN** choice\_2 =>;

Sequential\_statements;

....

**WHEN OTHERS =>;**

Sequential\_statements;

**END CASE;**

**CASE** expression **IS**

**IF** choice\_1 =>

Sequential\_statements;

**ELSIF** choice\_2 =>

Sequential\_statements;

....

**ELSIF OTHERS =>**

Sequential\_statements;

**END CASE;**

**CASE** expression **IS**

**IF** choice\_1 =>;

Sequential\_statements;

**ELSIF** choice\_2 ==>;

Sequential\_statements;



....

ELSIF OTHERS =>;

Sequential\_statements;

END CASE;

### 32. Quel circuit est implémenté par l'architecture suivante? - Copie

**Exact**

Score : 1 / 1

```
ARCHITECTURE my_arch OF my_design IS
```

```
BEGIN
```

```
PROCESS
```

```
BEGIN
```

```
WAIT ON clk;
```

```
IF(clk = '1') THEN
```

```
    y <= x;
```

```
END IF;
```

```
END PROCESS;
```

```
END my_arch;
```

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	Latch	
<input type="radio"/>	-	Inverter	
<input type="radio"/>	-	OR gate	
<input type="radio"/>	-	Shift register	

### 33. Quelle est la bonne syntaxe pour la déclaration de l'entité? - Copie

**Faux**

Score : 0 / 1

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	<pre> ENTITY entity_name IS  PORT( signal_names : signal_modes;  signal_names : signal_modes);  END entity_name; </pre>	
<input type="radio"/>	-	<pre> ENTITY entity_name  PORT( signal_names : signal_modes;  signal_names : signal_modes);  END ENTITY; </pre>	
<input type="radio"/>	-	<pre> ENTITY entity_name IS  PORT port_name  (   signal_names      :   signal_modes signal_type;  signal_names      :   signal_modes signal_type);  END entity_name; </pre>	
<input type="radio"/>	-	<pre> ENTITY entity_name  PORT port_name  (signal_names : signal_modes;  signal_names : signal_modes);  END ENTITY; </pre>	

34. Quelle syntaxe est correcte pour une instruction WAIT ON? - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	WAIT ON signal_assignments;	

- ☐ - WAIT ON boolean\_condition;
- ☒ - WAIT ON signal\_list;
- ☐ - WAIT ON time\_expression;

**35. Quel paquetage IEEE contient le plus de fonctions de conversion? - Copie**

**Exact**

**Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	std_logic_1164	
<input type="radio"/>	-	std	
<input type="radio"/>	-	std_logic_arith	
<input checked="" type="radio"/>	-	numeric_std	

**36. La boucle FOR n'est pas synthétizable si elle contient une instruction \_\_\_\_\_. - Copie**

**Exact**

**Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	WHEN	
<input type="radio"/>	-	THEN	
<input checked="" type="radio"/>	-	WAIT	
<input type="radio"/>	-	IF	

**37. A quoi servent les cycles delta dans les simulations VHDL? - Copie**

**Faux**

Score : 0 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	To create delays in simulation	
<input checked="" type="radio"/>	-	To assign values to signals	
<input type="radio"/>	-	To order some events	
<input type="radio"/>	-	Evaluate assignment statements	

38. L'opérateur '&' est l'opérateur \_\_\_\_\_. - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Logical AND operator	
<input type="radio"/>	-	Bitwise AND operator	
<input type="radio"/>	-	Arithmetic addition operator	
<input checked="" type="radio"/>	-	Concatenation operator	

39. La valeur de y est initialement 1 et passe à 0 après un cycle delta. Combien de cycles delta (en commençant depuis le début) sera nécessaire pour changer la valeur de z dans le processus donné ci-dessous?? - Copie

Exact

Score : 1 / 1

PROCESS (y)

BEGIN

x <=y;

z <= NOT y;

END PROCESS

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	1	
<input checked="" type="radio"/>	-	2	
<input type="radio"/>	-	3	
<input type="radio"/>	-	4	

40. Laquelle des réponses est la syntaxe correcte pour instancier un composant? - Copie

**Exact**

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	instantiate : component_name PORT MAP (port_list);	
<input type="radio"/>	-	label : instantiate COMPONENT PORT MAP (port_list);	
<input checked="" type="radio"/>	-	label : component_name PORT MAP (port_list);	
<input type="radio"/>	-	label : instantiate component_name PORT MAP (port_list)	

Note : cet exercice est configuré pour ne pas montrer les bonnes réponses.

**Votre résultat: 36 / 44**

[Retour à la page d'accueil](#)

Enseignants : [Berouille Vincent](#) | [Achard Francois](#) | [Polychronou Nikolaos Foivos](#) | [Kchaou Afef](#)

[Créé avec Chamilo](#) © 2021



