Sauvegardé.

QCM3-Chap2 Section I-II-III CE312 Examen : Résultat

Nom	Valette Leo
Nom d'utilisat...	valettel
Code Official	ubo ESIAR
Date de début	Mercredi 15 Septembre 2021 à 11:04
Durée	00 : 02 : 38

Votre résultat: 16 / 16

1. En VHDL MAJUSCULES et minuscules

EXACT — Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
○	-	ne sont pas identiques	
◉	-	sont identiques	
○	-	sont identiques pour les noms de signaux uniquement	
◉	-	sont identiques pour les noms des entités uniquement	

2. En VHDL à la fin d'une instruction on termine par

EXACT — Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
○	-	;	
◉	-	rien	
○	-	,	
○	-	;	

3. En VHILD on affecte les variables avec :

EXACT — Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
○	-	<=	
◉	-	:=	
○	-	=>	
○	-	=	

4. type octet is integer range 0 to 255;variable a : octet;

EXACT — Score : 2 / 2

Choix	Choix attendu	Réponse	Commentaire
☑	-	a peut valoir 0	
☑	-	a peut valoir 255	
☐	-	a peut valoir "00000000"	
☐	-	a peut valoir "11111111"	

5. un bit peut valoir

EXACT — Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
○	-	1	
○	-	0	
○	-	2	
◉	-	'0'	

6. Un vecteur de bit peut valoir

EXACT — Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
○	-	0	
○	-	1	
○	-	2	
◉	-	"00"	

7. Quelles opérations sont possibles sur des bit_vector

EXACT — Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
☑	-	and	
☑	-	+	
☐	-	-	
☐	-	/	

8. Le package STD_LOGIC_1164 permet

EXACT — Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
○	-	de faire des opérations mathématiques sur des vecteurs de bits	
◉	-	de définir le type std_logic	
○	-	de définir le type signed	
○	-	de définir le type unsigned	

9. un bit de type std_logic peut prendre

EXACT — Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
○	-	3 valeurs différentes	
○	-	5 valeurs différentes	
○	-	7 valeurs différentes	
◉	-	9 valeurs différentes	

10. le type std_logic est principalement utile pour

EXACT — Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
○	-	faire des opérations arithmétiques	
○	-	faire des conversions	
◉	-	définir une valeur par défaut non nulle	
○	-	définir une valeur par défaut nulle	

11. Pour convertir un nombre entier en std_logic_vector avec le paquetage numeric_std

EXACT — Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
◉	-	il faut convertir vers un unsigned ou un signed puis vers un vecteur std_logic_vector	
○	-	il faut convertir vers un signed puis vers un vecteur std_logic_vector	
○	-	il faut convertir vers std_logic_vector directement	
○	-	il faut utiliser une calculatrice	

12. Un circuit peut avoir

EXACT — Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
☑	-	une entité et plusieurs architectures	
☐	-	plusieurs entités et plusieurs architectures	
☐	-	une entité et une architecture	
☐	-	plusieurs entités et une architecture	

13. Une entrée d'une entité

EXACT — Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
◉	-	peut être lue	
○	-	peut être écrite	
○	-	peut être affectée	
○	-	peut être modifiée	

14. quelles instructions ne sont pas synthétizables?

EXACT — Score : 2 / 2

Choix	Choix attendu	Réponse	Commentaire
☐	-	s <= a and b;	
☑	-	wait for 10 ns;	
☐	-	wait on a;	
☑	-	wait;	

Note : cet exercice est configuré pour ne pas montrer les bonnes réponses.

Votre résultat: 16 / 16

Retour à la page d'accueil