

On considère un processeur avec les caractéristiques suivantes : adresses logiques sur 32 bits, la mémoire physique est de 64Mo, la taille des pages est de 64ko. Le système a également un TLB à 8 entrées. Ce TLB est totalement associatif.

1. Dessinez la structure du TLB et de la table des pages. Quelle est la taille de la table des pages (6 bits d'information sont utilisés par page) ? [8]
2. Dessinez un schéma de principe positionnant la MMU, le TLB le cœur processeur en indiquant où se trouvent les adresses physiques et logiques. [5]
3. Détaillez le travail de la MMU à partir de l'adresse logique. Donnez la décomposition de l'adresse effectuée par la MMU. [8]

On considère maintenant un TLB associatif par ensemble de 2. Ce TLB est toujours capable de stocker 8 correspondances. Détaillez son organisation et indiquez les modifications de l'architecture globale suite à cette modification