

Nom

Rouge Jean

Nom d'utilisateur

rougej

Code Officiel

apo-ESISAR

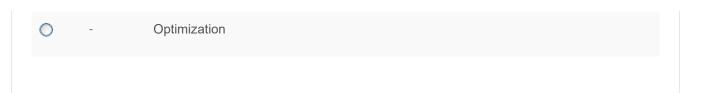
Date de début

Lundi 18 Octobre 2021 à 18:00

Durée

00:20:56

Votre résultat: 36 / 36



2. Un utilisateur peut implémenter un circuit logique en utilisant le VHDL. Il a 2 signaux smoke sensor et water level provenant de 2 capteurs. Si chacun de ces signaux est haut alors il doit renvoyer une alarme sur une sortie respectivement au signal de détection. Quel code suivant représente la bonne description VHDL? - Copie

```
Exact
                          Score: 1 / 1
Choix
      Choix
                Réponse
                                                    Commentaire
       attendu
•
                ARCHITECTURE
                               alarm_control
                                               OF
                my_home IS
                BEGIN
                PROCESS(smoke_sensor,
                water_sensor)
                BEGIN
                IF(smoke_sensor = '1')
                                            THEN
                fire_alarm = '1';
                ELSE fire_alarm = '0';
                END IF;
                IF(water_sensor = '1')
                                            THEN
                water_alarm = '1';
                ELSE water_alarm = '0';
                END IF;
                END PROCESS;
                END alarm_control;
                ARCHITECTURE
                               alarm_control
                                              OF
                my_home IS
                BEGIN
                PROCESS(smoke_sensor,
                water_sensor)
                BEGIN
                IF(smoke_sensor =
                                      1')
                fire_alarm = '1';
                                                           Messagerie (déconnecté)
```

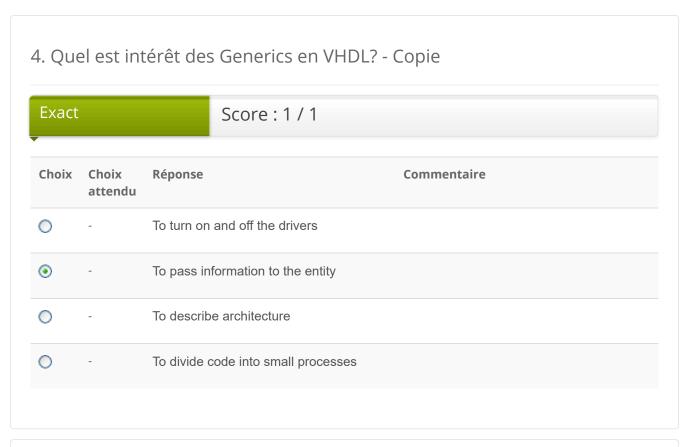
```
ELSE fire_alarm = '0';
               END IF;
               IF(water_sensor = '1')
                                          THEN
               water_alarm = '0';
               ELSE water_alarm = '1';
               END IF;
               END PROCESS;
               END alarm_control;
               ARCHITECTURE alarm_control
                                             OF
0
               my_home IS
               BEGIN
               PROCESS(smoke_sensor,
               water_sensor)
               BEGIN
               IF(smoke_sensor = '1') THEN
               fire_alarm = '0';
               ELSE fire_alarm = '1';
               END IF;
               IF(water_sensor = '1')
                                           THEN
               water_alarm = '1';
               ELSE water_alarm = '0';
               END IF;
               END PROCESS;
               END alarm_control;
               ARCHITECTURE alarm_control
                                             OF
               my_home IS
               BEGIN
               PROCESS(smoke_sensor,
               water_sensor)
               BEGIN
               IF(smoke_sensor = '0')
                                          THEN
               fire_alarm = '1';
               ELSE fire_alarm = '0';
               END IF;
               IF(water_sensor = '0')
                                           THEN
               water_alarm = '1';
                                                          Messagerie (déconnecté)
```

```
ELSE water_alarm = '0';
END IF;
END PROCESS;
END alarm_control;
```

3. Quelle sera la valeur de y après l'exécution du code ci-dessous? - Copie

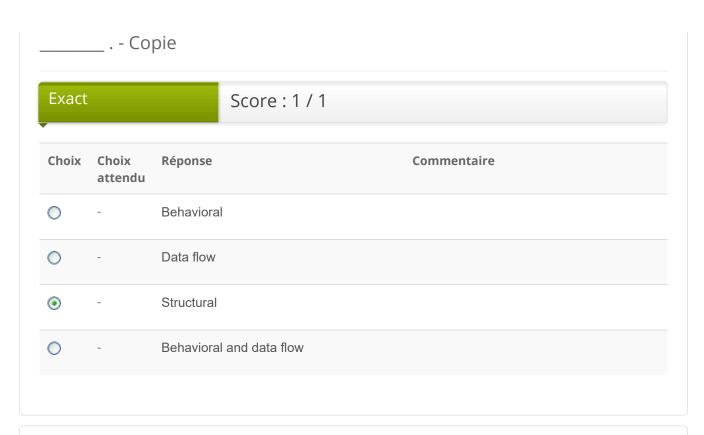
```
Score: 1 / 1
Exact
Library ieee;
USE ieee.std_logic_1164.all;
USE ieee.numeric_std.all;
SIGNAL m : UNSIGNED (3 DOWNTO 0);
SIGNAL n : UNSIGNED (3 DOWNTO ∅);
SIGNAL y : STD_LOGIC_VECTOR (7 DOWNTO 0);
y <= STD_LOGIC_VECTOR ((m+n), 8);</pre>
Choix Choix
                 Réponse
                                                     Commentaire
       attendu
◉
                 8- bit STD_LOGIC_VECTOR m+n
                 8- bit UNSIGNED m+n
\circ
                 4- bit STD_LOGIC m+n
0
                 Error
```

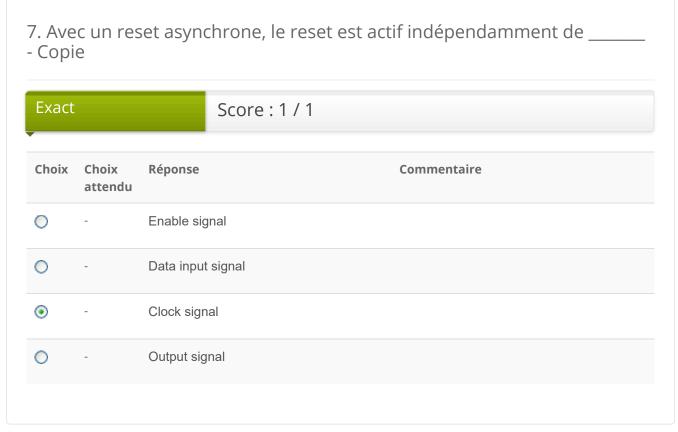
Messagerie (déconnecté)





6. L'instruction generate est généralement associé Messagerie (déconnecté)

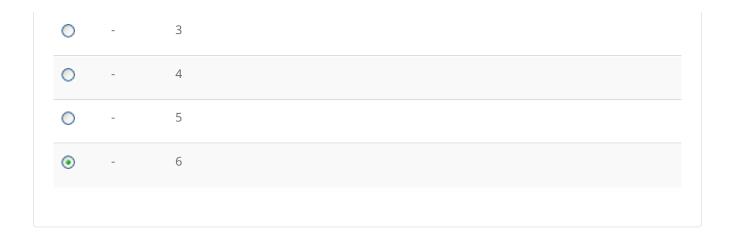






Choix	Choix attendu	Réponse	Commentaire
•	-	Process executes when any of the signal in sensitivity list changes	
0	-	Process executes sequentially when sensitivity list is specified	
0	-	If there is no sensitivity list, then the process will not execute	
0	-	Helps in simulation	





11. Quelle est la différence entre un SIGNAL et une VARIABLE? - Copie



12. Avec le code ci-dessous quel circuit sera conçu? - Copie

```
Signal x : IN BIT;

Signal y : Out BIT;

Signal clk : IN BIT;

• Messagerie (déconnecté)
```

```
PROCESS (clk)
BEGIN
IF (clk'EVENT and clk = '1')
     y <= x;
END PROCESS
Choix Choix
                  Réponse
                                                           Commentaire
        attendu
\bigcirc
                  Buffer
                  Latch
\odot
                  Flip flop
0
                  Shift Register
```

13. Une boucle FOR utilise un index de boucle, le type de cet index est _____ - Copie Score: 1 / 1 Exact Choix Choix Réponse Commentaire attendu \bigcirc STD_LOGIC_VECTOR 0 BIT_VECTOR \odot **INTEGER** 0 **REAL**

Messagerie (déconnecté)

14. Laquelle des réponses ci-dessous correspond à une mauvaise déclaration d'un nouveau type de donnée. - Copie

Exact			Score: 1 / 1	
Choix	Choix attendu	Réponse		Commentaire
0	-	TYPE my_	logic IS RANGE 0 to 100;	
0	-	TYPE my_	_logic IS ('0', '1', '2');	
0	-	TYPE my_ BIT;	logic IS ARRAY (0 TO 3) OF	
•	-	TYPE my_	logic IS <0 TO 20 >	

15. Le circuit suivant - Copie

Exact Score: 2/2

Library IEEE;

USE IEEE.STD_LOGIC_1164.ALL;

ENTITY TOTO IS

PORT (A,B: IN STD_LOGIC;

Q:OUT STD_LOGIC);

END TOTO;

ARCHITECTURE TITI OF TOTO IS

BEGIN

PROCESS (A,B)

BEGIN

IF A='1' THEN

Messagerie (déconnecté)

$Q \le B$; END IF;				
END P END;	PROCESS	;		
Choix	Choix attendu	Réponse	Commentaire	
~	-	Est synthétisable		
	-	Est combinatoire		
	-	Est séquentiel synchrone		
~	-	Est séquentiel asynchrone		
	-	Est analogique		

16. Le circuit suivant - Copie

Exact Score: 1 / 1

Library IEEE;

USE IEEE.STD_LOGIC_1164.ALL;

ENTITY TOTO IS

PORT (A,B: IN STD_LOGIC;

Q:OUT STD_LOGIC);

END TOTO;

ARCHITECTURE TITI OF TOTO IS

BEGIN

Q <= A WHEN B='1' ELSE NOT A;

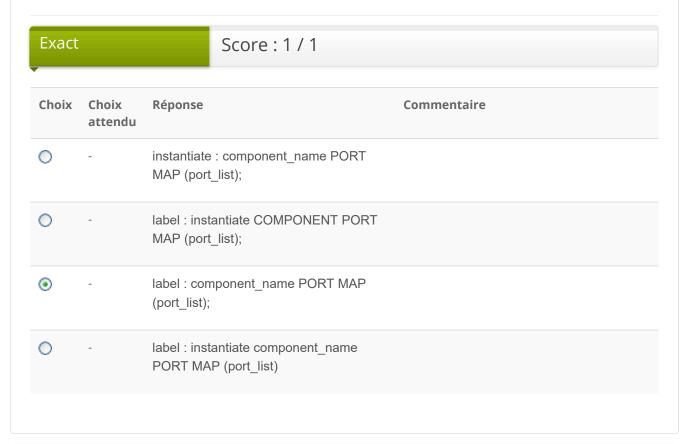
END;

Choix Choix Réponse Commentaire
attendu

Messagerie (déconnecté)

· -	Est synthétisable
-	Est combinatoire
-	Est séquentiel synchrone
-	Est séquentiel asynchrone
-	Est analogique

17. Laquelle des réponses est la syntaxe correcte pour instancier un composant? - Copie



18. Quelle sera la valeur de x? - Copie

```
Exact Score: 1 / 1

SIGNAL x: UNSIGNED (3 DOWNTO 0);

x <= "1101";

Choix Choix Réponse Comme Messagerie (déconnecté)
```



19. Quel circuit est décrit ci-dessous? - Copie

```
Score: 1/1
Exact
LIBRARY IEEE;
USE IEEE.std_logic_1164.all;
ENTITY design IS
PORT(a, b, c : in BIT;
x, y : out BIT);
END design;
ARCHITECTURE arch1 OF design IS
COMPONENT xor2 IS
PORT (i1, i2 : IN STD_LOGIC;
o : OUT STD_LOGIC);
END COMPONENT;
COMPONENT and 2 IS
PORT(a1, a2 : IN STD_LOGIC;
P : OUT STD_LOGIC);
END COMPONENT;
                                                          Messagerie (déconnecté)
```

```
COMPONENT or 2 IS
PORT(d1, d2 : IN STD_LOGIC;
r : OUT STD_LOGIC);
END COMPONENT;
SIGNAL s1, s2, s3, s4, s5 : STD_LOGIC;
BEGIN
X1: xor2 PORT MAP(a, b, s1);
X2 : xor2 PORT MAP(s1, c, x);
X3: and2 PORT MAP(a, b, s2);
X4 : and2 PORT MAP(a, c, s3);
X5: and2 PORT MAP(b, c, s4);
X6: or2 PORT MAP(s2, s3, s5);
X7: or2 PORT MAP(s4, s5, y);
END arch1;
Choix Choix
                 Réponse
                                                      Commentaire
       attendu
\bigcirc
                 Half adder
                 Comparator 2- bits
•
                 Full adder
                 Can't be determined
```

20. Une variable est affectée dans un processus, sa nouvelle valeur sera disponible ______ - Copie

Exact Score: 1 / 1 ● Messagerie (déconnecté)

Choix	Choix attendu	Réponse	Commentaire	
0	-	After one delta cycle		
•	-	Immediately		
0	-	At the end of a process		
0	-	At the end of architecture		

21. Un processus contient - Copie Exact Score: 1/1 Choix Choix Réponse Commentaire attendu toujours une instruction WAIT. toujours une liste de sensibilité. 0 obligatoirement soit une ou plusieurs instructions WAIT, soit une liste de sensibilité, soit les deux. toujours une liste de sensibilité et éventuellement une ou plusieurs instructions WAIT. \odot obligatoirement soit une instruction WAIT, soit une liste de sensibilité, mais jamais les deux.

Messagerie (déconnecté)

22. Un composant à 3 ports : 2 entrées a et b et une sortie y. Laquelle des instructions suivantes utilise l'instanciation par position de ce composant? - Copie

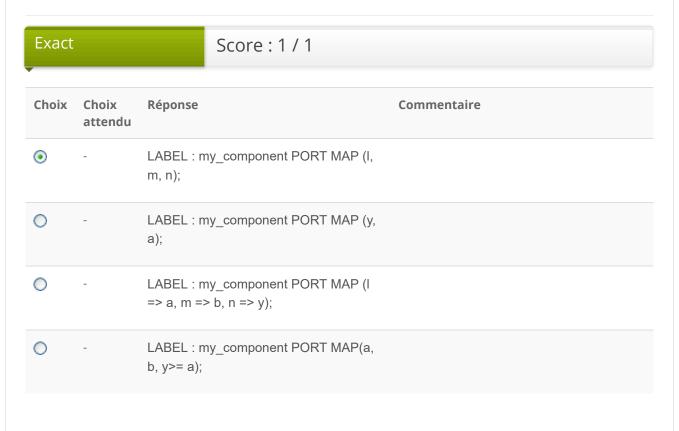
		Score: 1 / 1	
Choix attendu	Réponse	Commentaire	
-	LABEL : my_component PORT MAP (I, m, n);		
-	LABEL : my_component PORT MAP (y, a);		
-	LABEL: my_component PORT MAP (I => a, m => b, n => y);		
-	LABEL : my_component PORT MAP(a, b, y>= a);		
		LABEL: my_component PORT MAP (I, m, n); LABEL: my_component PORT MAP (y, a); LABEL: my_component PORT MAP (I => a, m => b, n => y); LABEL: my_component PORT MAP(a,	

23. Quelle réponse suivante n'est pas syntaxiquement correcte pour une instruction WAIT? - Copie

Exact		Score : 1 / 1	
Choix	Choix attendu	Réponse	Commentaire
0	-	WAIT ON	
•	-	WAIT WHILE	
0	-	WAIT FOR	
0	-	WAIT UNTIL	

Messagerie (déconnecté)

24. Un composant à 3 ports : 2 entrées a et b et une sortie y. Laquelle des instructions suivantes utilise l'instanciation par position de ce composant? - Copie



25. Dans les affectations concurrentes l'ordre des instructions n'importe pas. - Copie

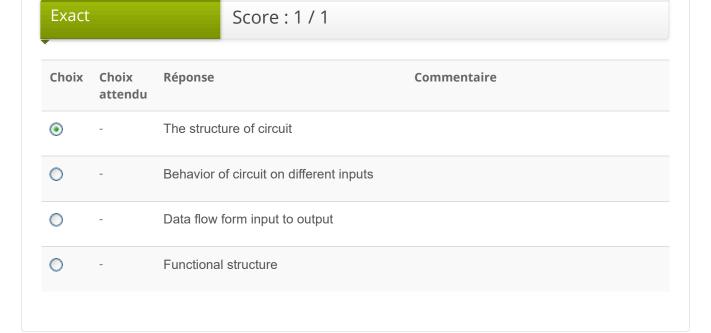


26. Plus d'un paramètre générique peut être défini dans une seule entité. -Copie

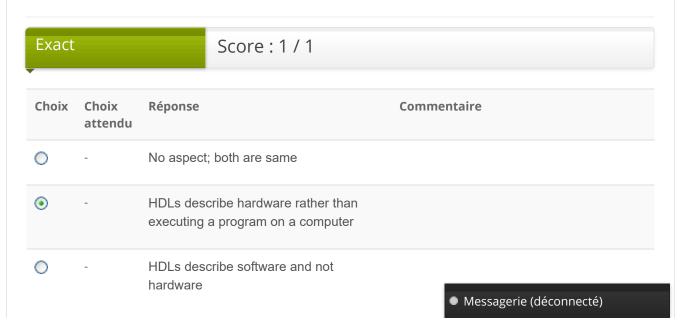
Messagerie (déconnecté)



27. Laquelle des réponses ci-dessous utilise une modélisation structurelle? - Copie



28. Sur quel aspect, les HDLs diffèrent des langages de programmation? - Copie



Other computer programming languages
have more complexity

29. Quelle est la syntaxe correcte pour instancier un paramètre générique? - Copie

Exact	Exact		Score: 1 / 1	
Choix	Choix attendu	Réponse		Commentaire
•	-		nponent_name GENERIC meter_list) PORT list);	
0	-		nponent_name GENERIC meter_list);	
0	-	•	ameter_name GENERIC meter_list) PORT list);	
0	-		ameter_name GENERIC meter_list) PORT list);	

30. Le circuit suivant - Copie

Exact Score: 1/1

Library IEEE;

USE IEEE.STD_LOGIC_1164.ALL;

ENTITY TOTO IS

PORT (A,B: IN STD_LOGIC;

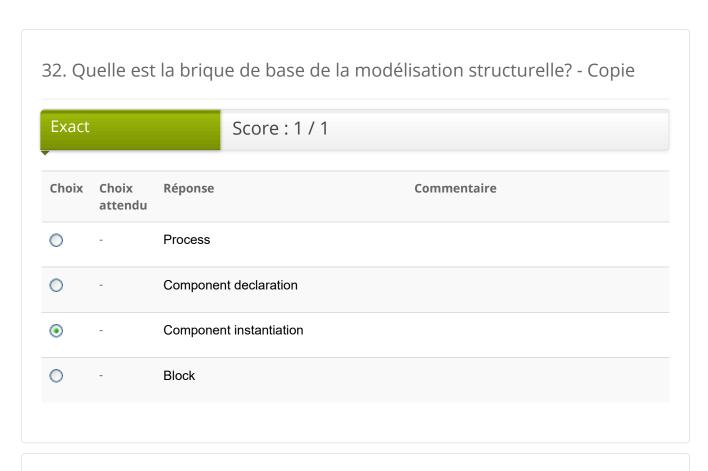
Q:OUT STD_LOGIC);

Messagerie (déconnecté)

END TOTO;					
ARCHITECTURE TITI OF TOTO IS BEGIN Q <= A WHEN B='1' ELSE Q; END;					
Choix	Choix attendu	Réponse	Commentaire		
0	-	Est synthétisable			
•	-	Est non synthétizable			
0	-	Est séquentiel synchrone			
0	-	Est séquentiel asynchrone			
0	-	Est analogique			

31. L'instanciation est moins sujette à erreur Copie			
Exact		Sco	re:1/1
Choix	Choix attendu	Réponse	Commentaire
0	-	par port	
0	-	par position	
•	-	par dénominatior	1
0	-	générique	

Messagerie (déconnecté)



33. Quelle instruction est utilisée quand il n'y a pas de liste de sensibilité?
Copie

Score: 1 / 1

Choix Choix Réponse Commentaire

O - WHEN

O - IF ELSE

• - WAIT

CASE

34. Dans les quel ordre faut-il mettre les mots clés suivants? - Copie

Exact

Score: 1 / 1

Messagerie (déconnecté)

Choix	Choix attendu	Réponse	Commentaire
•	-	IF, THEN, ELSIF, THEN, ELSE	
0	-	IF, ELSE, THEN, ELSIF, THEN	
0	-	IF, ELSIF, THEN, ELSE, THEN	
0	-	IF, THEN, ELSE, THEN, ELSIF	

35. Il n'y a pas de délais pour les affectations de variables. - Copie



Note : cet exercice est configuré pour ne pas montrer les bonnes réponses.

Votre résultat: 36 / 36

Retour à la page d'accueil

Messagerie (déconnecté)

Enseignants: Beroulle Vincent | Achard Francois | Polychronou Nikolaos Foivos | Kchaou Afef

Créé avec Chamilo © 2021

Messagerie (déconnecté)