

## Examen CE312

### Architecture matérielle

3<sup>ème</sup> année 1<sup>ère</sup> session 2020-2021

Durée : 90 mn

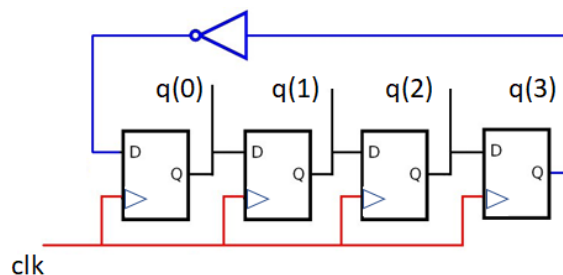
Document autorisé : syntaxe VHDL essentielle

Calculatrice interdite

*Les points donnés dans l'énoncé entre crochets [X] après chaque question représentent le barème et indiquent le temps à passer en minutes sur chaque question.*

### Conception et validation d'un compteur de Johnson [92]

L'objectif de cet exercice est de concevoir et valider un compteur de Johnson générique sur  $n$  bits. Nous allons commencer par étudier le fonctionnement d'un compteur de Johnson sur 4 bits. Puis, nous le comparerons à un compteur classique arithmétique. Enfin, nous décrirons en VHDL un compteur de Johnson sur 4 bits puis sur  $n$  bits.



**Compteur de Johnson sur 4 bits**

- 1.1 Décrire l'évolution du vecteur  $q$  du circuit de la figure précédente en considérant qu'au démarrage cette sortie  $q$  est initialisée à « 0000 » (avec un signal  $rst$  non représenté sur la figure). Combien de fronts d'horloge actifs (ici de fronts montants) de  $clk$  faut-il pour que la valeur de  $q$  revienne à sa valeur initiale « 0000 » ? [6+4]
- 1.2 Quelle est le rapport de fréquence entre le signal  $q(3)$  et le signal d'horloge  $clk$  ? Justifiez à partir de la réponse précédente [4].
- 1.3 Si on considère maintenant un compteur de Johnson sur  $n$  bits, quelle sera alors le rapport de fréquence avec le bit de poids fort  $q(n-1)$  ? Justifiez [4].
- 1.4 Faire un schéma à base de macro-composants (registre avec entrée  $rst$  synchrone active au niveau haut, additionneur, comparateur) d'un compteur arithmétique (c'est-à-dire utilisant un additionneur binaire) permettant de générer un signal  $tc$  dont la fréquence  $F_{tc}$  est la fréquence de l'horloge  $F_{clk}$  divisée par 12. Justifiez cette division de fréquence avec un chronogramme montrant  $clk$ ,  $count$  et  $tc$ . Combien de bascules au minimum sont nécessaires pour concevoir ce circuit ? [8+4+2]
- 1.5 Montrez sur un chronogramme l'évolution des entrées/sorties du compteur arithmétique précédent et vérifiez que la fréquence du signal  $tc$  est bien égale à la fréquence de l'horloge divisée par 8 [8].
- 1.6 Quels sont les avantages et inconvénients d'un compteur de Johnson pour diviser le signal d'horloge par rapport à un compteur arithmétique ? [8]
- 1.7 Décrire en VHDL RTL l'entité *CounterJ4* et l'architecture RTL du compteur de Johnson sur 4 bits de la figure ci-dessus [14] (avec un signal  $rst$  synchrone actif au niveau haut). Justifiez que 4 bascules seront générées par votre description comme dans la figure [4].
- 1.8 Décrire en VHDL structurel l'entité *CounterJN* et l'architecture *Struct* d'un compteur de Johnson générique avec  $n$  bascules [14].

On considèrera déjà disponible dans la bibliothèque de travail les 2 composants ci-dessous:

<pre>entity bascule is port(   clk, rst, d      : in std_logic;         q                : out std_logic ); end entity ;</pre>	<pre>entity inverseur is port(   d      : in std_logic;         q      : out std_logic ); end entity ;</pre>
--	--

- 1.9 Décrire en VHDL un testbench permettant de simuler ce compteur générique *CounterJN* pour  $n=4$  [8]. Représentez alors avec un chronogramme les signaux d'entrée/sortie obtenus lors de la simulation de votre testbench [4].