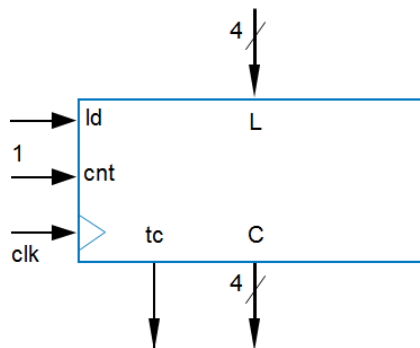


TD2 : Conception et validation d'un décompteur

TD – CE312

L'objectif de ce TD est de concevoir un décompteur programmable, c'est-à-dire un circuit qui décrémente une valeur C à chaque front montant d'horloge clk quand cnt est à '1' et charge la valeur sur l'entrée L quand ld est à '1'.

- *clk* est l'horloge du système
- *tc* est le signal en sortie qui indique que le compteur a atteint la valeur nulle
- *clr* non représenté ci-dessous est un signal de remise à zéro synchrone



1 – Faites un schéma de l'architecture interne de ce décompteur. L'architecture sera basée sur un registre de 4 bits (avec entrée d'activation et reset synchrone). Vous pouvez utiliser des portes logiques (NOT, AND, OR, XOR, NOR, ...), additionneurs/soustracteurs, multiplexeurs, décodeurs, etc.

Procédez pas à pas : par exemple considérez d'abord qu'une valeur est déjà entrée dans le registre 4-bit, puis ajoutez les fonctionnalités supplémentaires.

Pensez également au comportement recherché une fois la valeur 0 atteinte.

Faites valider par l'enseignant avant de passer à la suite.

2 – Combien de flip-flops (basculs D) ce décompteur doit-il utiliser ?

3 – Décrivez ce décompteur en VHDL (entité + architecture).