



### d'accueil

- Mes cours
- Agenda perso
- Ma progression
- Réseau social







### Poinard Noe

Noe.Poinard@grenoble-inp.org

• Boîte de réception Mes certificats Quitter

<<



- <u>A CE312- CE318 Architecture matérielle</u>
- Exercices
- Résultat



# **QCM6 CE312 Examen : Résultat**

Nom

Poinard Noe

Nom d'utilisateur

poinardn

Code Officiel

ESISAR, apo-ESISAR

Date de début

Vendredi 15 Octobre 2021 à 16:46

Durée

00:32:34

Votre résultat: 40 / 41

1. Lequel des cas suivants n'est pas un circuit combinatoire? - Copie

Score	: 1 / 1			
Choix	<b>Choix</b> attendu	ı	Réponse	Commentaire
0	-	Adder		
0	-	Code convertor		
0	-	Multiplexer		
•	-	Counter		
2. L'in	stanciat	ion	est moins sujette à erreur Copie	
Exact	t			
Score	:1/1			
Choix	<b>Choix</b> attendu	I	Réponse	Commentaire
0	-	par port		
0	-	par position		
•	-	par dénomination		
0	-	générique		
	uelle des ient? - C		ntes ne peut pas être implémentée avec de	s instructions concurrentes
Exact	t			
Score	:1/1			
Choix	<b>Choix</b> attendu	I	Réponse	Commentaire
0	-	Multiplexer		
0	_			

Decoder

**Exact** 

0	-	Adder	
•	-	Counter	
4. Quel	paqueta	age IEEE contient le plus de fonctions de conversion? - Co	pie
Exact			
Score :	1/1		
Choix	Choix attendu	Réponse	Commentaire
0	-	std_logic_1164	
0	-	std	
0	-	std_logic_arith	
•	-	numeric_std	
5. L'ins	struction	n Generate est une instruction Copie	
Exact			
Score :	1/1		
Choix	Choix attendu	Réponse	Commentaire
•	-	Concurrent	
0	-	Sequential	
0	-	Concurrent as well as sequential	
0	-	Process	
		bonne syntaxe de l'instruction CASE? - Copie	
Exact			

```
Choix Choix attendu
```

```
CASE expression IS
             WHEN choice_1 <=
             Sequential_statements;
             WHEN choice_2 <=
             Sequential_statements;
              . . . .
             WHEN OTHERS <=
             Sequential_statements;
              END CASE;
             CASE expression IS
             WHEN choice_1 =>
             Sequential_statements;
             WHEN choice_2 =>
\odot
             Sequential_statements;
             WHEN OTHERS =>
             Sequential_statements;
              END CASE;
0
             CASE expression IS
             IF choice_1 <=
             Sequential_statements;
              ELSIF choice_2 <=
             Sequential_statements;
              . . . .
             ELSIF OTHERS <=
              Sequential_statements;
              END CASE;
```

Réponse

Commentaire

```
CASE expression IS
               IF choice_1 =>
               Sequential_statements;
               ELSIF choice_2 =>
0
               Sequential_statements;
               ELSIF OTHERS =>
               Sequential_statements;
               END CASE;
7. Une variable est affectée dans un processus, sa nouvelle valeur sera disponible ______ - Copie
Exact
Score: 1/1
Choix \frac{Choix}{attendu}
                               Réponse
                                                                        Commentaire
               After one delta cycle
          Immediately
            At the end of a process
             At the end of architecture
8. Quelle fonction est utilisée pour instancier un paramètre générique dans un processus? - Copie
Exact
Score: 1/1
Choix Choix attendu
                               Réponse
                                                                        Commentaire
               Port map()
\bigcirc
               Generic()
```

•	-	Generic map()
0	-	Port
		réponses ci-dessous est la bonne syntaxe pour convertir l'entier p en un nombre signé c le paquetage numeric_std)? - Copie
Exact	<del>.</del>	
Score :	: 1 / 1	
Choix	Choix attendu	Réponse Commentaire
0	-	to_integer_signed(p,b);
0	-	to_signed_integer(p,b);
•	-	to_signed(p,b);
0	-	to_signed_p(b);
10. La	boucle I	OR n'est pas synthétizable si elle contient une instruction Copie
Exact	-	
Score :	: 1 / 1	
Choix	Choix attendu	Réponse Commentaire
0	-	WHEN
0	-	THEN
•	-	WAIT
0	-	IF
11. Qu	elle est l	a bonne syntaxe de l'instruction CASE? - Copie
Exact	<del>.</del>	

```
Choix Choix attendu
```

```
\textbf{CASE} \ \text{expression} \ \textbf{IS}
               WHEN choice_1 =>
               Sequential_statements;
               WHEN choice_2 =>
\odot
               Sequential_statements;
               . . . .
               WHEN OTHERS =>
               Sequential_statements;
               END CASE;
               CASE expression IS
               WHEN choice_1 =>;
               Sequential_statements;
               WHEN choice_2 =>;
\bigcirc
               Sequential_statements;
               WHEN OTHERS =>;
               Sequential_statements;
               END CASE;
0
               CASE expression IS
               IF choice_1 =>
               Sequential_statements;
               ELSIF choice_2 =>
               Sequential_statements;
               . . . .
               ELSIF OTHERS =>
               Sequential_statements;
               END CASE;
```

```
CASE expression IS
               IF choice_1 =>;
               Sequential_statements;
               ELSIF choice_2 ==>;
Sequential_statements;
               ELSIF OTHERS =>;
               Sequential_statements;
               END CASE;
12. Une variable est affectée dans un processus, sa nouvelle valeur sera disponible ______ - Copie
Exact
Score: 1/1
Choix \frac{Choix}{attendu}
                               Réponse
                                                                        Commentaire
               After one delta cycle
              Immediately
             At the end of a process
             At the end of architecture
13. Un UNSIGNED est toujours positif ou nul. - Copie
Exact
Score: 1/1
```

Réponse

Commentaire

 $Choix \frac{Choix}{attendu}$ 

True

False

 $\odot$ 

 $\bigcirc$ 

Exact							
Score	Score: 1 / 1						
Choix	Choix attendu	Réponse	Commentaire				
0	-	One after the other					
•	-	Concurrently					
0	-	According to sensitivity list					
0	-	Sequentially					
comm		lepuis le début) sera nécessaire p	Daprès un cycle delta. Combien de cycles delta (en our changer la valeur de z dans le processus donné ci-				
Exac	t						
Score	:1/1						
PROCES	<b>SS</b> (y)						
BEGIN							
x <=y;							
z <= N							
END PR							
Choix	Choix attendu	Réponse	Commentaire				
0	-	1					
•	-	2					
0	-	3					
0	_	4					

16. Quelle est la brique de base de la modélisation structurelle? - Copie

14. S'il y a plus d'un processus dans un code VHDL, comment ces processus sont-ils exécutés? - Copie

#### **Exact**

**Score**: 1/1

Choix	Choix attendu	Réponse	Commentaire
0	-	Process	
0	-	Component declaration	
•	-	Component instantiation	
0	_	Block	

17. En VHDL, les noms des entités 'xyz' et 'XYZ' sont traitées de la même manière. - Copie

### **Exact**

**Score: 1/1** 

Choix	Choix attendu	Réponse	Commentaire
•	- True		
0	- False		

18. Un utilisateur peut implémenter un circuit logique en utilisant le VHDL. Il a 2 signaux smoke sensor et water level provenant de 2 capteurs. Si chacun de ces signaux est haut alors il doit renvoyer une alarme sur une sortie respectivement au signal de détection. Quel code suivant représente la bonne description VHDL? - Copie

### **Exact**

Choix Choix attendu	Ranansa	Commentaire
● -	ARCHITECTURE alarm_control OF my_home IS	
	BEGIN	
	PROCESS(smoke_sensor, water_sensor)	
	BEGIN	

```
IF(smoke_sensor = '1') THEN fire_alarm
              = '1';
              ELSE fire_alarm = '0';
              END IF;
              IF(water_sensor = '1')
                                               THEN
              water_alarm = '1';
              ELSE water_alarm = '0';
              END IF;
              END PROCESS;
              END alarm_control;
              ARCHITECTURE alarm control OF
              my_home IS
              BEGIN
              PROCESS(smoke_sensor, water_sensor)
              BEGIN
              IF(smoke_sensor = '1') THEN fire_alarm
              = '1';
             ELSE fire_alarm = '0';
0
              END IF;
              IF(water_sensor = '1')
                                               THEN
              water_alarm = '0';
              ELSE water_alarm = '1';
              END IF;
              END PROCESS;
              END alarm_control;
0
              ARCHITECTURE alarm_control OF my_home
              IS
              BEGIN
              PROCESS(smoke_sensor, water_sensor)
              BEGIN
              IF(smoke_sensor = '1') THEN fire_alarm
              = '0';
```

```
ELSE fire_alarm = '1';
              END IF;
              IF(water_sensor = '1')
                                              THEN
              water_alarm = '1';
              ELSE water_alarm = '0';
              END IF;
              END PROCESS;
              END alarm_control;
              ARCHITECTURE alarm_control OF my_home
              IS
              BEGIN
              PROCESS(smoke_sensor, water_sensor)
              BEGIN
              IF(smoke_sensor = '0') THEN fire_alarm
             = '1';
             ELSE fire_alarm = '0';
0
              END IF;
              IF(water_sensor = '0')
                                               THEN
              water_alarm = '1';
              ELSE water_alarm = '0';
              END IF;
              END PROCESS;
              END alarm_control;
```

# 19. Quel circuit est décrit? - Copie

### **Exact**

```
Score: 1 / 1
LIBRARY IEEE;
USE IEEE.std_logic_1164.all;
ENTITY my_func IS
PORT(x, a, b : IN std_logic;
```

```
q : OUT std_logic);
END my_func;
ARCHITECTURE behavior OF my_func IS
SIGNAL s : INTEGER;
BEGIN
WITH S SELECT
   q <= a AFTER 10 ns WHEN 0;
   b AFTER 10 ns WHEN 1;
s \leftarrow 0 WHEN x = 0 ELSE
1 WHEN x = '1';
END behavior;
Choix \frac{Choix}{attendu}
                              Réponse
                                                                        Commentaire
\bigcirc

    AND gate

    OR gate

              MUX 2:1
     - DEMUX 1:2
20. La liste de sensibilité contient _____ - Copie
Exact
Score: 1/1
Choix \frac{Choix}{attendu}
                               Réponse
                                                                        Commentaire
               Constants
               Signals
               Variables
               Literals
```

Score	:1/1					
Choix	Choix attendu	Réponse	Commentaire			
0	-	No aspect; both are same				
•	-	HDLs describe hardware rather than executing a program on a computer				
0	-	HDLs describe software and not hardware				
0	-	Other computer programming languages have more complexity				
22. De	ux comp	teurs modulo 10 en série divisent la fréquence d'entrée pa	ar Copie			
Exact	t					
Score	:1/1					
Choix	<b>Choix</b> attendu	Réponse	Commentaire			
0	-	10				
•	-	100				
0	-	11				
0	-	81				
23. Le code ci-dessous est une implémentation de Copie						
Exact	t					
Score	:1/1					
ARCHITECTURE my_circuit OF my_logic IS						
		7_ 7_ 0				

21. Sur quel aspect, les HDLs diffèrent des langages de programmation? - Copie

Exact

```
WITH ab SELECT
y <= x0 WHEN "00";
x1 WHEN "01";
x2 WHEN "10";
x3 WHEN "11";
END my_circuit;
Choix Choix attendu
                               Réponse
                                                                         Commentaire
               4 to 1 MUX
               1 to 4 DEMUX
               8 to 1 MUX
               1 to 8 DEMUX
24. Un UNSIGNED est toujours positif ou nul. - Copie
Exact
Score: 1/1
Choix \frac{Choix}{attendu}
                                                                         Commentaire
                               Réponse
               True
               False
25. Pourquoi a-t-on besoin de HDLs malgré l'existence de nombreux langages de programmation? -
Copie
Exact
Score: 1/1
Choix \\ \frac{Choix}{attendu}
                                                                         Commentaire
                               Réponse
               Traditional programming languages are
```

complex

O -	HDLs are complementary to traditional programming languages to complete the design process	
<b>⊙</b> -	Some characteristics of digital hardware couldn't be captured by traditional languages	
O -	HDLs offer more complexity than traditional programming languages.	
26. Le circuit	suivant - Copie	
Faux		
Score: 1/2		
Library IEEE;		
USE IEEE.ST	D_LOGIC_1164.ALL;	
ENTITY TOT PORT (A,B: Q:OUT STD END TOTO;	IN STD_LOGIC;	
ARCHITECTOR BEGIN PROCESS (ASBEGIN IF A='1' THEN Q <= B; END IF; END PROCEST	N	
Choix Choix		Commentaire
attend	Est synthétisable Est combinatoire Est séquentiel synchrone Est séquentiel asynchrone Est analogique  sation stucturelle est similaire à Copie	
Score: 1/1		
Choix Choix attend		Commentaire

Boolean relations of the circuit
 Schematic block diagram of the circuit
 Timing relations of the circuit

Components of the circuit

28. Dans les quel ordre faut-il mettre les mots clés suivants? - Copie

### **Exact**

**Score: 1/1** 

Choix	Choix attendu	Réponse	C	ommentaire
•	-	IF, THEN, ELSIF, THEN, ELSE		
0	-	IF, ELSE, THEN, ELSIF, THEN		
0	-	IF, ELSIF, THEN, ELSE, THEN		
0	-	IF, THEN, ELSE, THEN, ELSIF		

### 29. Le circuit suivant - Copie

#### **Exact**

**Score**: 1/1

Library IEEE;

USE IEEE.STD\_LOGIC\_1164.ALL;

**ENTITY TOTO IS** 

PORT (A,B: IN STD\_LOGIC;

Q:OUT STD LOGIC);

END TOTO;

ARCHITECTURE TITI OF TOTO IS BEGIN Q <= A WHEN B='1' ELSE NOT A; END;

LI (D,

Choix Choix attendu Réponse Commentaire

<b>~</b>	-	Est synthétisable					
<b>~</b>	-	Est combinatoire					
	-	Est séquentiel synchrone					
	-	Est séquentiel asynchrone					
	-	Est analogique					
30. Un	processi	us contient - Copie					
Exact							
Score :	1/1						
Choix	Choix attendu	Réponse	Commentaire				
0	-	toujours une instruction WAIT.					
0	-	toujours une liste de sensibilité.					
0	-	obligatoirement soit une ou plusieurs instructions WAIT, soit une liste de sensibilité, soit les deux.					
0	-	toujours une liste de sensibilité et éventuellement une ou plusieurs instructions WAIT.					
•	-	obligatoirement soit une instruction WAIT, soit une liste de sensibilité, mais jamais les deux.					
31. Qu	elle est la	a caractéristique de l'instanciation par position? - Copie					
Exact							
Score :	1/1						
Choix	Choix attendu	Réponse	Commentaire				
•	-	Easier to write					
0	-	Less error prone					
0	-	Ports can be left unconnected					
0	-						

# 32. Quelle réponse suivante n'est pas syntaxiquement correcte pour une instruction WAIT? - Copie

### **Exact**

**Score: 1/1** 

Choix	Choix attendu		Réponse	Commentaire
0	-	WAIT ON		
•	-	WAIT WHILE		
0	-	WAIT FOR		
0	-	WAIT UNTIL		

# 33. Quelle est la bonne déclaration de la bibliothèque et et du paquetage? - Copie

### Exact

**Score: 1/1** 

Choix	Choix attendu	Réponse	Commentaire
0	-	<pre>LIBRARY library_name; USE package_name.parts;</pre>	
0	-	LIBRARY package_name.parts; LIBRARY library_name;	
0	-	<pre>USE library_name; LIBRARY library_name.package_name.parts</pre>	
•	-	<pre>LIBRARY library_name;  USE library_name.package_name.parts;</pre>	

# 34. Le circuit suivant - Copie

# **Exact Score**: 2 / 2 Library IEEE; USE IEEE.STD\_LOGIC\_1164.ALL; **ENTITY TOTO IS** PORT (A,B: IN STD LOGIC; Q : OUT STD\_LOGIC); END TOTO; ARCHITECTURE TITI OF TOTO IS **BEGIN** PROCESS (A,B) **BEGIN** IF A='1' THEN $Q \leq B$ ; **ELSE** $Q \le '0'$ ; END IF; END PROCESS; END; $Choix \frac{Choix}{attendu}$ Commentaire Réponse V Est synthétisable ~ Est combinatoire Est séquentiel synchrone Est séquentiel asynchrone Est analogique 35. Quelle est l'architecture d'une simple porte NAND? - Copie **Exact Score**: 1/1 Choix Choix attendu Commentaire Réponse ARCHITECTURE my\_arch OF nand\_gate IS BEGIN $\odot$ $x \le a NAND b;$

END my\_arch;

ARCHITECTURE my\_arch OF nand\_gate IS

**BEGIN** 

```
x <= a NAND b;
END behavioral;

BEGIN

ARCHITECTURE behavioral OF nand_gate
IS

x <= a NAND b;
END my_arch;

ARCHITECTURE nand OF nand_gate IS

BEGIN

x <= a NAND b;
END nand;</pre>
```

# 36. Quelle est la syntaxe correcte pour instancier un paramètre générique? - Copie

### **Exact**

**Score: 1/1** 

Choix	Choix attendu	Réponse	Commentaire
•	-	label : component_name GENERIC MAP(parameter_list) PORT MAP(port_list);	
0	-	label : component_name GENERIC MAP(parameter_list);	
0	-	label : parameter_name GENERIC MAP(parameter_list) PORT MAP(port_list);	
0	-	label : parameter_name GENERIC MAP(parameter_list) PORT MAP(port_list);	

# 37. La modélisation stucturelle est similaire à \_\_\_\_\_\_ - Copie

# **Exact**

- Boolean relations of the circuit
- Schematic block diagram of the circuit
- Timing relations of the circuit
- Components of the circuit

38. Une variable y est de type STD\_LOGIC\_VECTOR sur 4 bits, si vous voulez lui affecter 1001, alors quelle instruction d'affectation faut-il utiliser? - Copie

### **Exact**

**Score**: 1/1

Choix Choix attendu	Réponse	Commentaire
attenuu		

- y <= "1001"
- y := "1001"
- y <= '1', '0', '0', '1'
- o y => "1001"

# 39. Quelle syntaxe est correcte pour une instruction WAIT ON? - Copie

### **Exact**

Choix attendu	Réponse	Commentaire
---------------	---------	-------------

- WAIT ON signal\_assignments;
- WAIT ON boolean\_condition;
- WAIT ON signal\_list;
- 0 -

WAIT ON time\_expression;

Note : cet exercice est configuré pour ne pas montrer les bonnes réponses.

Votre résultat: 40 / 41

Enseignants : <u>Beroulle Vincent</u> | <u>Achard Francois</u> | <u>Polychronou Nikolaos Foivos</u> | <u>Kchaou Afef</u> <u>Créé avec Chamilo</u> © 2021

×

×

Messagerie (déconnecté)