



- [86](#)
- [12](#)

- [Page](#)

[d'accueil](#)

- [Mes cours](#)
- [Agenda perso](#)
- [Ma progression](#)
- [Réseau social](#)

- [14](#)



-
-

[Valette Leo](#)

Leo.Valette1@grenoble-inp.org

-
- [Boîte de réception Mes certificats Quitter](#)

<<



- [CE312- CE318 - Architecture matérielle](#)
- [Exercices](#)
- Exercices

1 tentatives restantes

[Nouvelle tentative](#)

Sauvegardé.



QCM6 CE312 Examen : Résultat

Nom

Valette Leo

Nom d'utilisateur

valettel

Code Officiel

apo-ESISAR

Date de début

Vendredi 15 Octobre 2021 à 18:52

Durée

00 : 40 : 45

Votre résultat: 42 / 45

1. Quelle est la bonne syntaxe pour la déclaration d'un processus? - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	<pre> {Label :} PROCESS {process_declaration_part}; sensitivity_list; BEGIN sequential_statements; END PROCESS {Label}; </pre>	
<input type="radio"/>	-	<pre> PROCESS {sensitivity_list} {process_declaration_part} BEGIN sequential_statements; END PROCESS {Label}; </pre>	
<input type="radio"/>	-	<pre> {Label :} PROCESS {process_declaration_part} BEGIN sensitivity_list; sequential_statements; END PROCESS; </pre>	
<input checked="" type="radio"/>	-	<pre> {Label :} PROCESS {sensitivity_list} {process_declaration_part} BEGIN sequential_statements; </pre>	

END PROCESS {Label};

2. Le circuit suivant - Copie

Exact

Score : 1 / 1

Library IEEE;

USE IEEE.STD_LOGIC_1164.ALL;

ENTITY TOTO IS

PORT (A,B : IN STD_LOGIC;

Q : OUT STD_LOGIC);

END TOTO;

ARCHITECTURE TITI OF TOTO IS

BEGIN

Q <= A WHEN B='1' ELSE NOT A;

END;

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="checkbox"/>	-	Est synthétisable	
<input checked="" type="checkbox"/>	-	Est combinatoire	
<input type="checkbox"/>	-	Est séquentiel synchrone	
<input type="checkbox"/>	-	Est séquentiel asynchrone	
<input type="checkbox"/>	-	Est analogique	

3. Quelle porte logique le code suivant représente-t-il? - Copie

Exact

Score : 1 / 1

WITH ab **SELECT**

y <= 1 **WHEN** "11"; 0 **WHEN** OTHERS;

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	And gate	
<input type="radio"/>	-	Or gate	
<input type="radio"/>	-	Not gate	
<input type="radio"/>	-		

Nand gate

4. Le circuit suivant - Copie**Exact****Score : 2 / 2**

Library IEEE;

USE IEEE.STD_LOGIC_1164.ALL;

```

ENTITY TOTO IS
PORT ( A,B : IN STD_LOGIC;
Q : OUT STD_LOGIC);
END TOTO;

```

```

ARCHITECTURE TITI OF TOTO IS
BEGIN
PROCESS (A,B)
BEGIN
IF A='1' THEN
    Q <= B;
END IF;
END PROCESS;
END;

```

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="checkbox"/>	-	Est synthétisable	
<input type="checkbox"/>	-	Est combinatoire	
<input type="checkbox"/>	-	Est séquentiel synchrone	
<input checked="" type="checkbox"/>	-	Est séquentiel asynchrone	
<input type="checkbox"/>	-	Est analogique	

5. Quel est l'effet de la liste de sensibilité sur un processus? - Copie**Exact****Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	Process executes when any of the signal in sensitivity list changes	
<input type="radio"/>	-	Process executes sequentially when sensitivity list is specified	
<input type="radio"/>	-	If there is no sensitivity list, then the process	

will not execute

☐ - Helps in simulation

6. L'instruction Generate est une instruction _____. - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	Concurrent	
<input type="radio"/>	-	Sequential	
<input type="radio"/>	-	Concurrent as well as sequential	
<input type="radio"/>	-	Process	

7. Les types SIGNED et UNSIGNED sont définis dans quel paquetage? - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	std_logic_1164 package	
<input type="radio"/>	-	std_logic package	
<input checked="" type="radio"/>	-	numeric_std package	
<input type="radio"/>	-	standard package	

8. Quelle ligne correspond à une détection d'un front montant? - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	IF (clk'EVENT AND clk = '0')	
<input checked="" type="radio"/>	-	IF (clk'EVENT AND clk = '1')	
<input type="radio"/>	-	IF (clk'EVENT OR clk = '0')	
<input type="radio"/>	-	IF (clk'EVENT OR clk = '1')	

9. Le circuit suivant - Copie

Exact

Score : 2 / 2

Library IEEE;

USE IEEE.STD_LOGIC_1164.ALL;

```
ENTITY TOTO IS
PORT ( A,B : IN STD_LOGIC;
Q : OUT STD_LOGIC);
END TOTO;
```

```
ARCHITECTURE TITI OF TOTO IS
BEGIN
PROCESS (A,B)
BEGIN
IF A='1' THEN
Q <= B;
ELSE
Q <= '0';
END IF;
END PROCESS;
END;
```

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="checkbox"/>	-	Est synthétisable	
<input checked="" type="checkbox"/>	-	Est combinatoire	
<input type="checkbox"/>	-	Est séquentiel synchrone	
<input type="checkbox"/>	-	Est séquentiel asynchrone	
<input type="checkbox"/>	-	Est analogique	

10. Un processus a une partie déclaration. - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	True	
<input type="radio"/>	-	False	

11. Lequel des codes suivants est juste? - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	<pre> label : FOR n IN 7 DOWNT0 0 GENERATE concurrent_statement; END GENERATE; </pre>	
<input type="radio"/>	-	<pre> label : FOR n IN 7 DOWNT0 0 GENERATE declarations; concurrent_statement; END GENERATE; </pre>	
<input type="radio"/>	-	<pre> label : FOR n IN 7 DOWNT0 0 GENERATE begin declarations; concurrent_statement; END GENERATE; </pre>	
<input type="radio"/>	-	<pre> label : FOR n IN 7 DOWNT0 0 GENERATE begin concurrent_statement; </pre>	

END GENERATE label;

12. Laquelle des réponses ci-dessous correspond à une mauvaise déclaration d'un nouveau type de donnée. - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	TYPE my_logic IS RANGE 0 to 100;	
<input type="radio"/>	-	TYPE my_logic IS ('0', '1', '2');	
<input type="radio"/>	-	TYPE my_logic IS ARRAY (0 TO 3) OF BIT;	
<input checked="" type="radio"/>	-	TYPE my_logic IS <0 TO 20 >	

13. Dans les affectations concurrentes l'ordre des instructions n'importe pas. - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	True	
<input type="radio"/>	-	False	

14. En VHDL, les instructions séquentielles sont - Copie

Exact

Score : 3 / 3

Choix	Choix attendu	Réponse	Commentaire
<input type="checkbox"/>	-	L'affectation concurrente	
<input type="checkbox"/>	-	Les instructions WHEN/ELSE et WITH/SELECT	
<input checked="" type="checkbox"/>	-	L'affectation séquentielle	
<input checked="" type="checkbox"/>	-	L'affectation de variable immédiate	



-

Les instruction IF/THEN/ELSE,
CASE/WHEN, WHILE et FOR

15. Si aucun signal dans la liste de sensibilité change, alors combien de fois le processus sera exécuté? - Copie

Faux

Score : 0 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	3	
<input type="radio"/>	-	2	
<input type="radio"/>	-	1	
<input checked="" type="radio"/>	-	Infinity	

16. S'il y a plus d'un processus dans un code VHDL, comment ces processus sont-ils exécutés? - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	One after the other	
<input checked="" type="radio"/>	-	Concurrently	
<input type="radio"/>	-	According to sensitivity list	
<input type="radio"/>	-	Sequentially	

17. Quelle ligne correspond à une détection d'un front montant? - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
-------	---------------	---------	-------------

- ☐ - IF (clk'EVENT AND clk = '0')
- ☒ - IF (clk'EVENT AND clk = '1')
- ☐ - IF (clk'EVENT OR clk = '0')
- ☐ - IF (clk'EVENT OR clk = '1')

18. Quand un signal est affecté dans un processus, alors sa valeur est mise à jour _____ - Copie

Faux

Score : 0 / 1

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	Immediately	
<input type="radio"/>	-	After tow delta cycles	
<input type="radio"/>	-	At the end of the corresponding process	
<input type="radio"/>	-	At the end of architecture	

19. Quel circuit est décrit? - Copie

Exact

Score : 1 / 1

```

LIBRARY IEEE;

USE IEEE.std_logic_1164.all;

ENTITY my_func IS
PORT(x, a, b : IN std_logic;
q : OUT std_logic);

END my_func;

ARCHITECTURE behavior OF my_func IS

SIGNAL s : INTEGER;

BEGIN

```

WITH s SELECT

q <= a AFTER 10 ns WHEN 0;

b AFTER 10 ns WHEN 1;

s <= 0 WHEN x = '0' ELSE

1 WHEN x = '1';

END behavior;

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	AND gate	
<input type="radio"/>	-	OR gate	
<input checked="" type="radio"/>	-	MUX 2:1	
<input type="radio"/>	-	DEMUX 1:2	

20. L'instruction Generate est une instruction _____. - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	Concurrent	
<input type="radio"/>	-	Sequential	
<input type="radio"/>	-	Concurrent as well as sequential	
<input type="radio"/>	-	Process	

21. Quelle est la bonne déclaration de la bibliothèque et et du paquetage? - Copie

Exact

Score : 1 / 1

Choix	Choix	Réponse	Commentaire
-------	-------	---------	-------------

attendu

- ☐ - `LIBRARY library_name;`
`USE package_name.parts;`
- ☐ - `LIBRARY package_name.parts;`
`LIBRARY library_name;`
- ☐ - `USE library_name;`
`LIBRARY`
`library_name.package_name.parts`
- ☒ - `LIBRARY library_name;`
`USE library_name.package_name.parts;`

22. Le circuit suivant - Copie**Exact****Score : 1 / 1**

```
Library IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
```

```
ENTITY TOTO IS
PORT ( A,B : IN STD_LOGIC;
Q : OUT STD_LOGIC);
END TOTO;
```

```
ARCHITECTURE TITI OF TOTO IS
BEGIN
Q <= A WHEN B='1' ELSE Q;
END;
```

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Est synthétisable	
<input checked="" type="radio"/>	-	Est non synthétizable	
<input type="radio"/>	-	Est séquentiel synchrone	
<input type="radio"/>	-	Est séquentiel asynchrone	

☐ - Est analogique

23. La liste de sensibilité contient _____ - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Constants	
<input checked="" type="radio"/>	-	Signals	
<input type="radio"/>	-	Variables	
<input type="radio"/>	-	Literals	

24. Avec le code ci-dessous quel circuit sera conçu? - Copie

Exact

Score : 1 / 1

```

SIGNAL x : IN BIT;

SIGNAL y : OUT BIT;

SIGNAL clk : IN BIT;

PROCESS (clk)

BEGIN

IF (clk'EVENT and clk = '1')

    y <= x;

END PROCESS

```

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Buffer	
<input type="radio"/>	-	Latch	
<input checked="" type="radio"/>	-		

Flip flop

☐ - Shift Register

25. Pourquoi a-t-on besoin de HDLs malgré l'existence de nombreux langages de programmation? - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Traditional programming languages are complex	
<input type="radio"/>	-	HDLs are complementary to traditional programming languages to complete the design process	
<input checked="" type="radio"/>	-	Some characteristics of digital hardware couldn't be captured by traditional languages	
<input type="radio"/>	-	HDLs offer more complexity than traditional programming languages.	

26. Pour les instructions concurrentes, quelle réponse ci-dessous est vraie? - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	The statement is executed once	
<input type="radio"/>	-	The statement is executed twice	
<input type="radio"/>	-	The value of left operand is assigned to right operand	
<input checked="" type="radio"/>	-	The statement is executed as many times as the value changes	

27. Sur quel aspect, les HDLs diffèrent des langages de programmation? - Copie**Exact****Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	No aspect; both are same	
<input checked="" type="radio"/>	-	HDLs describe hardware rather than executing a program on a computer	
<input type="radio"/>	-	HDLs describe software and not hardware	
<input type="radio"/>	-	Other computer programming languages have more complexity	

28. Quel est l'effet de la liste de sensibilité sur un processus? - Copie**Exact****Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	Process executes when any of the signal in sensitivity list changes	
<input type="radio"/>	-	Process executes sequentially when sensitivity list is specified	
<input type="radio"/>	-	If there is no sensitivity list, then the process will not execute	
<input type="radio"/>	-	Helps in simulation	

29. En VHDL, les instructions concurrentes sont - Copie**Exact****Score : 3 / 3**

Choix	Choix	Réponse	Commentaire
-------	-------	---------	-------------

attendu

- ☒ - L'affectation permanente
- ☒ - Les instructions WHEN/ELSE et WITH/SELECT
- ☒ - L'affectation de signal avec un délai (after...)
- ☐ - L'affectation de variable immédiate
- ☐ - Les instruction IF/THEN/ELSE, CASE/WHEN, WHILE et FOR

30. La description d'une entité contient toujours - Copie**Exact****Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	La déclaration des ports contenant la liste des signaux en entrée et en sortie	
<input type="radio"/>	-	La déclaration des signaux internes et des signaux en entrée et en sortie	
<input type="radio"/>	-	La déclaration des composants utilisés	
<input type="radio"/>	-	Les descriptions de processus, d' instances de composants et d'instructions concurrentes	

31. Dans quelle partie du code VHDL les paramètres génériques sont-ils déclarés? - Copie**Exact****Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Package declaration	
<input checked="" type="radio"/>	-	Entity	
<input type="radio"/>	-	Architecture	
<input type="radio"/>	-	Configurations	

32. Quelle réponse suivante donne la bonne syntaxe d'une déclaration d'architecture et de sa définition? - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	<pre> ARCHITECTURE architecture_type OF entity_name IS Declarations_for_architecture; BEGIN Code; END architecture_name;</pre>	
<input type="radio"/>	-	<pre> ARCHITECTURE architecture_name OF entity_name IS BEGIN Declarations_for_architecture; Code; END architecture_name;</pre>	
<input type="radio"/>	-	<pre> ARCHITECTURE architecture_type OF entity_name IS BEGIN Declarations_for_architecture; Code; END architecture_type;</pre>	
<input checked="" type="radio"/>	-	<pre> ARCHITECTURE architecture_name OF entity_name IS</pre>	

Declarations_for_architecture

BEGIN

Code;

....

END architecture_name;

33. Que signifie RTL? - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Register transfer language	
<input type="radio"/>	-	Register transfer logic	
<input checked="" type="radio"/>	-	Register transfer level	
<input type="radio"/>	-	Resistor-transistor logic	

34. Un processus a une partie déclaration. - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	True	
<input type="radio"/>	-	False	

35. Un composant à 3 ports : 2 entrées a et b et une sortie y. Laquelle des instructions suivantes utilise l'instanciation par position de ce composant? - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	LABEL : my_component PORT MAP (l, m, n);	
<input type="radio"/>	-	LABEL : my_component PORT MAP (y, a);	
<input type="radio"/>	-	LABEL : my_component PORT MAP (l => a, m => b, n => y);	
<input type="radio"/>	-	LABEL : my_component PORT MAP(a, b, y=> a);	

36. Une entité ne peut pas être associée à plusieurs architectures. - Copie

Faux

Score : 0 / 1

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	True	
<input type="radio"/>	-	False	

37. Quel est le défaut de l'instruction IF? - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	Overlapping of conditions	
<input type="radio"/>	-	No default value	
<input type="radio"/>	-	The condition can be Boolean only	
<input type="radio"/>	-	Restriction on number of ELSE statement	

38. Avec un reset asynchrone, le reset est actif indépendamment de _____ - Copie

Exact**Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Enable signal	
<input type="radio"/>	-	Data input signal	
<input checked="" type="radio"/>	-	Clock signal	
<input type="radio"/>	-	Output signal	

39. En VHDL, dans un processus, on peut trouver - Copie**Exact****Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	Des instructions séquentielles	
<input type="radio"/>	-	Des instances de composant	
<input type="radio"/>	-	Des instructions concurrentes	
<input type="radio"/>	-	Une architecture	
<input type="radio"/>	-	Un autre processus	

Note : cet exercice est configuré pour ne pas montrer les bonnes réponses.

Votre résultat: 42 / 45[Retour à la page d'accueil](#)Enseignants : [Berouille Vincent](#) | [Achard Francois](#) | [Polychronou Nikolaos Foivos](#) | [Kchaou Afef](#)[Créé avec Chamilo](#) © 2021



Messagerie (déconnecté)