



d'accueil

- Mes cours
- Agenda perso
- <u>Ma progression</u>
- Réseau social





Trehin Loan

Loan.Trehin@grenoble-inp.org

• Boîte de réception Mes certificats Quitter

<<











- <u>A CE312- CE318 Architecture matérielle</u>
- Exercices
- Exercices

Sauvegardé.



QCM6 CE312 Examen : Résultat

Nom

Trehin Loan Nom d'utilisateur trehinl

Code Of	ficiel o-ESIS	AR	
Date de	début	15 Octobre 2021 à 19:48	
Durée	enarear	13 Octobre 2021 à 19.48	
00): 36 : 1	0	
Votre 1	résulta	nt: 39 / 40	
1. Leque	el des c	as suivants n'est pas un circuit combinatoire? - Co	pie
Exact			
Score:	1 / 1		
('hoiv	Choix attendu	Réponse	Commentaire
O -		Adder	
O -		Code convertor	
O -		Multiplexer	
-		Counter	
2. Quell	e est la	bonne syntaxe de l'instruction CASE? - Copie	
Exact			
Score:	1 / 1		
('hoiv	Choix ittendu	Réponse	Commentaire
		CASE expression IS	
		WHEN choice_1 =>	
		Sequential_statements;	

```
WHEN choice 2 =>
•
                Sequential_statements;
                 WHEN OTHERS =>
                Sequential_statements;
                END CASE;
                CASE expression IS
                 WHEN choice_1 =>;
                Sequential_statements;
                 WHEN choice_2 =>;
\bigcirc
                Sequential_statements;
                 . . . .
                WHEN OTHERS =>;
                Sequential_statements;
                END CASE;
                CASE expression IS
                IF choice_1 =>
                Sequential_statements;
                ELSIF choice_2 =>
\bigcirc
                Sequential_statements;
                ELSIF OTHERS =>
                Sequential_statements;
                 END CASE;
```

```
IF choice_1 =>;
Sequential_statements;
ELSIF choice_2 ==>;
Sequential_statements;
....
ELSIF OTHERS =>;
Sequential_statements;
```

END CASE;

CASE expression **IS**

3. Le code structurel d'un additionneur sur 4 bits est donné ci-dessous. Si on veut convertir ce composant en additionneur sur 8 bits que faut-il changer? - Copie

Exact

Score: 1/1

COMPONENT adder IS

GENERIC (n : INTEGER := 3);

PORT(input : IN BIT_VECTOR(n DOWNTO 0);

output : OUT BIT_VECTOR(n DOWNTO 0));

END COMPONENT;

Choix	Choix attend		Réponse	Commentaire
•	-	n		

O - input

0	-	output			
0	-	component			
4. Quel Copie	lle fonct	ion est utilisée	pour instancier un p	oaramètre généri	que dans un processus? -
Exact					
Score :	1/1				
Choix	Choix attendu		Réponse		Commentaire
0	-	Port map()			
0	-	Generic()			
•	-	Generic map()			
0	-	Port			
5. La li	ste de se	ensibilité conti	ent Co	pie	
Exact					
Score :	1/1				
Choix	Choix attendu		Réponse		Commentaire
0	-	Constants			
•	-	Signals			
0	-	Variables			

0	-	Literals	
6. Dans	s les affe	ctations concurrentes l'ordre des instructions n'im	porte pas Copie
Exact			
Score :	1/1		
Choix	Choix attendu	Réponse	Commentaire
•	-	True	
0	-	False	
7. L'op	érateur	'&' est l'opérateur Copie	
Faux			
Score :	0 / 1		
(noix	Choix attendu	Réponse	Commentaire
0	-	Logical AND operator	
•	-	Bitwise AND operator	
0	-	Arithmetic addition operator	
0	-	Concatenation operator	
_		réponses suivantes ne peut pas être implémentée a eulement? - Copie	vec des instructions

Literals

Exact

Choix	Choix attendu		Réponse	Commentaire
0	-	Multiplexer		
0	-	Decoder		
0	-	Adder		
•	-	Counter		
9. Que	l mot clé	e suivant n'est	pas associé à l'instruction IF? - Copi	e
Exact	t			
Score :	:1/1			
Choix	Choix attendu		Réponse	Commentaire
0	-	ELSE		
0	-	THEN		
0	-	ELSIF		
•	-	WHEN		
10. L'instruction concurrente SELECT est équivalente à l'instruction séquentielle				
Exact	t			

Score: 1/1

Choix	Choix attendu	Réponse	Commentaire
0	-	If else	
0	-	Loop	
0	-	Wait	
•	-	Case	
11. Qu	el circui	t est implémenté par l'architecture suivante? - Cop	oie
Exact	-		
Score :	1/1		
ARCHI	TECTUR	E my_arch OF my_design IS	
BEGIN			
PROCE	SS		
BEGIN			
WAIT C	N clk;		
IF(clk =	'1') THE	N	
y <= :	x;		
END IF			
END PR	ROCESS;		
END my	_arch;		
Choix	Choix attendu	Réponse	Commentaire
•	-	Latch	

0	-	Inverter	
0	-	OR gate	
0	-	Shift register	
12. La	a différen	ce entre les simulateurs et les outils de synthèses est	Copie
Exac	et		
Score	:1/1		
Choix	Choix ^x attendu	Réponse	Commentaire
•	-	Simulators are used to check the performance of circuit and Synthesis tools are for the fabrication of circuits	
0	-	Simulators and Synthesis tools works exactly same	
0	-	Simulators are used just to check basic functionality of the circuit and Synthesis tools includes timing constraints and other factors along with simulation	
0	-	Simulation finds the error in the code and Synthesis tool corrects the code	
13. Q	uelle est l	a caractéristique de l'instanciation par position? - C	opie
Exac	et		
Score	:1/1		
Choix	Choix x attendu	Réponse	Commentaire

•	-	Easier to write	
0	-	Less error prone	
0	-	Ports can be left unconnected	
0	-	Difficult to write	
	process lité Co	us combinatoire doit avoir tous les signaux opie	dans sa liste de
Exact			
Score :	1/1		
Choix	Choix attendu	Réponse	Commentaire
•	-	Input	
0	-	Output	
0	-	Declared	
0	-	Used	
15. Qu	el est int	érêt des Generics en VHDL? - Copie	
Exact	.		
Score :	1/1		
Choix	Choix attendu	Réponse	Commentaire
0	-	To turn on and off the drivers	

 \odot To pass information to the entity \bigcirc To describe architecture \bigcirc To divide code into small processes 16. Laquelle des réponses ci-dessous utilise une modélisation structurelle? - Copie **Exact Score: 1/1** Choix Cho... attendu **Commentaire** Réponse \odot The structure of circuit Behavior of circuit on different inputs Data flow form input to output Functional structure 17. Un composant à 3 ports : 2 entrées a et b et une sortie y. Laquelle des instructions suivantes utilise l'instanciation par position de ce composant? - Copie **Exact Score: 1/1** $Choix \\ \frac{Choix}{attendu}$ **Commentaire** Réponse LABEL: my_component PORT MAP (I, m, \odot n); \bigcirc LABEL: my_component PORT MAP (y, a);

0	-	LABEL: my_component PORT MAP (I => a, m => b, n => y);	
0	-	LABEL: my_component PORT MAP(a, b, y>= a);	
18. Q	uel mot c	lé suivant n'est pas associé à l'instruction IF? - Cop	ie
Exac	t		
Score	:1/1		
Choi	Choix attendu	Réponse	Commentaire
0	-	ELSE	
0	-	THEN	
0	-	ELSIF	
•	-	WHEN	
19. L'	instructio	on generate est généralement associée à une modéli	sation Copie
Exac	et		
Score	:1/1		
Choi	Choix attendu	Réponse	Commentaire
0	-	Behavioral	
0	-	Data flow	

 \odot Structural \bigcirc Behavioral and data flow 20. Quelle est la brique de base de la modélisation structurelle? - Copie **Exact Score: 1/1** $Choix \frac{Choix}{attendu}$ Réponse Commentaire \bigcirc **Process** Component declaration \odot Component instantiation Block 21. Lequel des codes suivants est juste? - Copie **Exact Score**: 1/1 $Choix \\ \frac{Choix}{attendu}$ Réponse Commentaire label: FOR n IN 7 DOWNTO 0 **GENERATE** \odot concurrent_statement; **END GENERATE**;

label: FOR n IN 7 DOWNTO 0

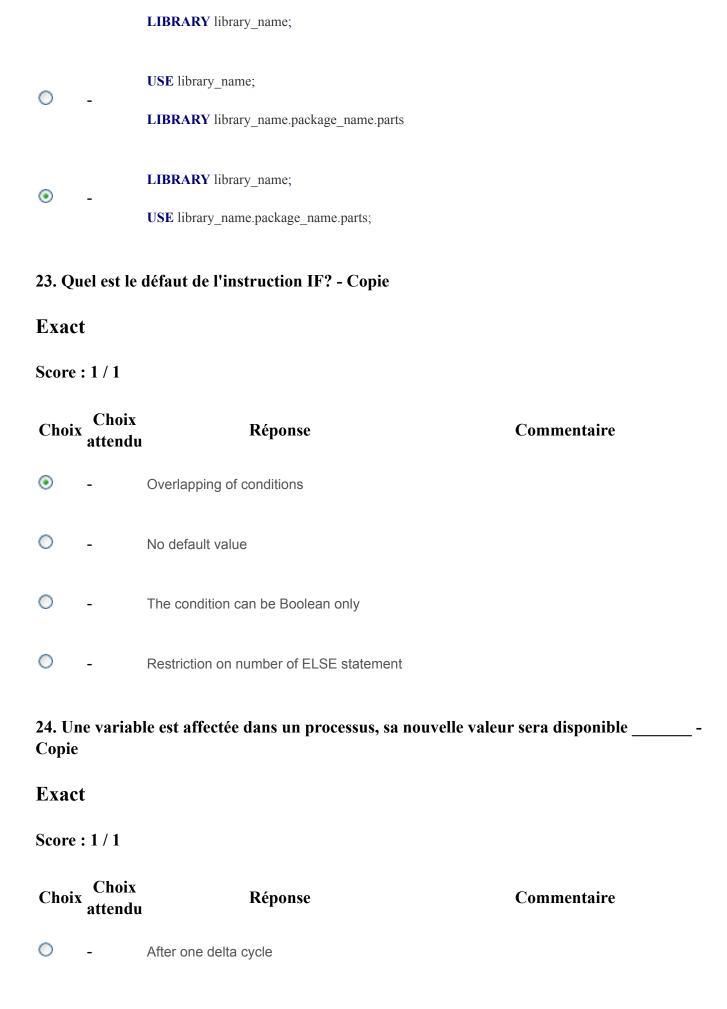
GENERATE \bigcirc declarations; concurrent_statement; **END GENERATE**; label: FOR n IN 7 DOWNTO 0 **GENERATE** begin declarations; concurrent_statement; **END GENERATE**; label: FOR n IN 7 DOWNTO 0 **GENERATE** begin \bigcirc concurrent_statement; **END GENERATE label**;

22. Quelle est la bonne déclaration de la bibliothèque et et du paquetage? - Copie

Exact

Score: 1/1

('hoix	hoix endu	Réponse	Commentaire
0	LIBRARY	Y library_name;	
-	USE pack	age_name.parts;	
	LIDDAD	Z mooleo oo momo montay	
O -	LIBRAK	Y package_name.parts;	



- \odot Immediately At the end of a process \bigcirc At the end of architecture 25. Les types SIGNED et UNSIGNED sont définis dans quel paquetage? - Copie **Exact Score**: 1/1 Choix Choix attendu Réponse Commentaire std_logic_1164 package std_logic package \odot numeric_std package 0 standard package 26. Que signifie RTL? - Copie **Exact Score: 1/1** $Choix \\ \frac{Choix}{attendu}$ Réponse **Commentaire**
- attendu

 Register transfer language

 Register transfer logic

 \odot Register transfer level \bigcirc Resistor-transistor logic 27. Quelle réponse suivante n'est pas syntaxiquement correcte pour une instruction WAIT? -Copie **Exact Score**: 1/1 $Choix \\ \frac{Choix}{attendu}$ Réponse Commentaire **WAIT ON** \odot WAIT WHILE WAIT FOR WAIT UNTIL 28. Quelle est la bonne syntaxe pour la déclaration de l'entité? - Copie **Exact Score: 1/1** $Choix \frac{Choix}{attendu}$ Réponse **Commentaire ENTITY** entity name IS PORT(signal_names : signal_modes; \odot

signal_names : signal_modes);

END entity_name;

```
ENTITY entity name
                 PORT( signal_names : signal_modes;
                signal_names: signal modes);
                END ENTITY;
                ENTITY entity name IS
                 PORT port_name
                 ( signal_names : signal_modes signal_type;
                                          signal_modes
                 signal_names
                signal_type);
                 END entity name;
                ENTITY entity_name
                 PORT port_name
\bigcirc
                 (signal_names: signal_modes;
                signal_names : signal_modes);
                END ENTITY;
29. Avec le code ci-dessous quel circuit sera conçu? - Copie
Exact
Score: 1/1
SIGNAL x : IN BIT;
SIGNAL y : OUT BIT;
SIGNAL clk: IN BIT;
PROCESS (clk)
```

BEGIN

```
y \le x;
END PROCESS
Choix \\ \frac{Choix}{attendu}
                                   Réponse
                                                                               Commentaire
\bigcirc
                  Buffer
\bigcirc
                  Latch
\odot
                  Flip flop
\bigcirc
                  Shift Register
30. Quelle porte logique le code suivant représente-t-il? - Copie
Exact
Score: 1/1
WITH ab SELECT
y <= 1 WHEN "11";0 WHEN OTHERS;
Choix \\ \frac{Choix}{attendu}
                                   Réponse
                                                                               Commentaire
\odot
                  And gate
\bigcirc
                  Or gate
                  Not gate
\bigcirc
                  Nand gate
```

IF (clk'EVENT and clk = '1')

31. Quel paquetage IEEE contient le plus de fonctions de conversion? - Copie

Exact

Score: 1/1

Choix	Choix attendu		Réponse	Commentaire
0	-	std_logic_1164		
0	-	std		
0	-	std_logic_arith		
•	-	numeric_std		

32. Quelle est la principale utilisation des paramètres génériques? - Copie

Exact

Score: 1 / 1

Choix	Choix attendu	Réponse	Commentaire
0	-	Defining constant type	
0	-	Defining constant type	
•	-	Reusability	
0	-	Using constant type within the entity	

33. Le circuit suivant - Copie

Exact

Score : 2 / 2

Library IEEE;

USE IEEE.STD_LOGIC_1164.ALL;

ENTITY TOTO IS

PORT (A,B: IN STD LOGIC;

Q: OUT STD LOGIC);

END TOTO;

ARCHITECTURE TITI OF TOTO IS

BEGIN

PROCESS (A,B)

BEGIN

IF A='1' THEN

 $Q \leq B$;

END IF;

END PROCESS;

END;

Choix attendu	Réponse	Commentaire
-	4 7 3 4 4	

- Est synthétisable
- Est combinatoire
- Est séquentiel synchrone
- Est séquentiel asynchrone
- Est analogique

34. Quelle est la syntaxe correcte pour instancier un paramètre générique? - Copie

Exact

Score: 1/1

Choix attendu	Réponse	Commentaire

- label : component_name GENERIC
 MAP(parameter list) PORT MAP(port list);

label: parameter_name GENERIC \bigcirc MAP(parameter_list) PORT MAP(port_list); label: parameter name GENERIC \bigcirc MAP(parameter_list) PORT MAP(port_list); 35. Un code RTL est la combinaison de circuits combinatoires et séquentiels. - Copie **Exact Score**: 1/1 $Choix \\ \frac{Choix}{attendu}$ Réponse **Commentaire** \odot True \bigcirc False 36. Quelle réponse suivante n'est pas syntaxiquement correcte pour une instruction WAIT? -Copie **Exact Score: 1/1** $Choix \\ \frac{Choix}{attendu}$ Réponse Commentaire WAIT ON ◉ WAIT WHILE WAIT FOR WAIT UNTIL

37. Avec un reset asynchrone, le reset est actif indépendamment de Copie						
Exact						
Score	:1/1					
Choix	Choix attendu	Réponse	Commentaire			
0	-	Enable signal				
0	-	Data input signal				
•	-	Clock signal				
0	-	Output signal				
38. Quel est l'effet de la liste de sensibilité sur un processus? - Copie						
Exac	t					
Score	:1/1					
Choix	Choix attendu	Réponse	Commentaire			
•	-	Process executes when any of the signal in sensitivity list changes				
0	-	Process executes sequentially when sensitivity list is specified				
0	-	If there is no sensitivity list, then the process will not execute				
0	-	Helps in simulation				

39. Une boucle FOR utilise un index de boucle, le type de cet index est Copie							
Exact							
Score: 1/1							
Choix Choix attendu	Réponse	Commentaire					
O -	STD_LOGIC_VECTOR						
O -	BIT_VECTOR						
⊙ -	INTEGER						
O -	REAL						
Note : cet exercice est configuré pour ne pas montrer les bonnes réponses.							
Votre résultat: 39 / 40							
Retour à la pag Enseignants : E Créé avec Char	Beroulle Vincent Achard François Polychro	onou Nikolaos Foivos <u>Kch</u> a	aou Afef				
Messagerie (dé	connecté)						