

Examen intermédiaire CE312 <u>Prénom Nom :</u>	3^{ème} année 1^{ère} session 2020-2021 Durée : 60 mn <u>Document autorisé : syntaxe VHDL essentielle</u> Calculatrice interdite Questions de cours [60]
<i>Les points donnés dans l'énoncé entre crochets [X] après chaque question représentent le barème et indiquent le temps à passer en minutes sur chaque question.</i>	
<i>Les réponses doivent être fournies directement et uniquement sur l'énoncé dans l'emplacement réservé après les questions</i>	

1 Partie pré-requis [27]

- 1.1 Ecrire le nombre décimal 57 en binaire d'abord en non signé puis en signé (complément à 2) sur un nombre minimal de bit? [3+3]

En non signé, $(57)_{10} =$ _____

En signé complément à 2, $(57)_{10} =$ _____

- 1.2 Quelle valeur maximale peut-on atteindre avec 10 bits en non signé et en signé ? [2+2]

En non signé, la valeur maximale est : _____

En signé, la valeur maximale est : _____

- 1.3 Donnez la représentation des portes suivantes : nand, or, xor, bascule D latch, et bascule D FF [5].

Nand	Or	Xor	D Latch	D FF

- 1.4 A quel macro-composant combinatoire correspond la fonction booléenne ci-dessous [4] :

$$f(a,b,c,d,s1,s2) = a.s1/.s2/ + b.s1.s2/ + c.s1/.s2 + d.s1.s2$$

Cette fonction correspond à un : _____

- 1.5 En utilisant les macro-composants registre (sans enable), incrémenteur (+1), et multiplexeur, représentez l'architecture d'un compteur sur 4 bits avec autorisation de comptage par le signal *enable* [8]

2 Les bases du VHDL [27]

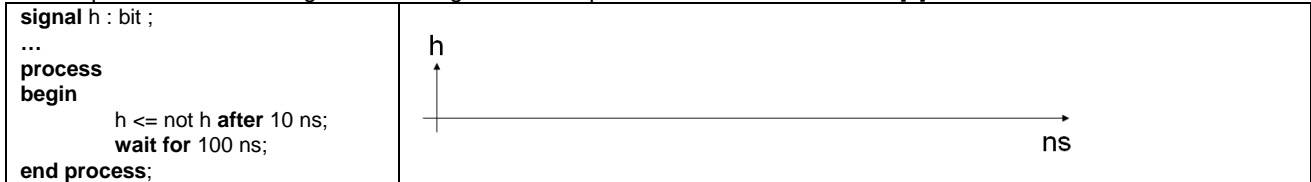
- 2.1 Donnez 3 instructions VHDL non synthétisables [3] :

2.2 Représentez le chronogramme du signal s correspondant au code ci-dessous [2] :

s <= '0', '1' after 10 ns, '0' after 20 ns, '1' after 30 ns;



2.3 Représentez le chronogramme du signal h correspondant au code ci-dessous [6] :

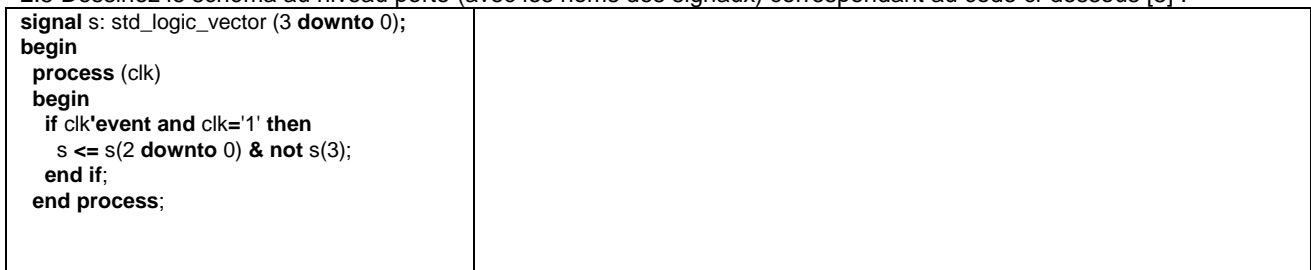


2.4 Ecrire l'instruction séquentielle dans un processus permettant de synthétiser un multiplexeur 2 vers 1 [4] :

signal e0, e1, sel, s : std_logic; -- e0, et e1 les 2 entrées, sel l'entrée de sélection et s la sortie

-- écrire le processus demandé :

2.5 Dessinez le schéma au niveau porte (avec les noms des signaux) correspondant au code ci-dessous [8] :



2.6 Ecrire le process d'une bascule D FF avec reset synchrone [4] :

3 Les composants programmables [7]

3.1 De quel composant précédent les CPLD et les SPLD héritent leur architecture ? [2]

Les CPLD et SPLD héritent leur architecture du composant : _____

3.2 Sur quel macro-composant est basé la logique programmable des cellules logiques de FPGA ? [2]

La logique programmable des FPGA est basée sur : _____

3.3 Quelles sont les 3 technologies principales de programmation des FPGA [3] ?

Les 3 technologies principales de programmations des FPGA sont : _____

_____ et _____