

CS363 : Technique de Pagination

Exercice1 :

On étudie un système électronique composé d'un microprocesseur 68000 et d'une mémoire centrale de capacité 512K octets.

Le 68000 est pourvu d'un bus d'adresse de 24 bits, on admettra que les instructions sont codés sur 2 mots de 16 bits. Le dispositif de gestion de la mémoire est configuré pour traiter des pages de 64kOctets.

- Comment se décompose l'adresse logique du 68000 ?
- Combien de pages logiques existe-t-il ?
- Quelle est la taille des descripteurs de pages ?

Au moment où commence l'exécution du programme le contenu de la table de descripteurs des pages est le suivant :

Numéro de page logique	Bit de validation de page	Numéro de page physique
0	0	
1	1	5
2	0	
3	0	
4	0	
5	1	2
6	0	
7	0	
8	1	7
9	1	4
A	0	
...	0	
13	1	6
..	0	
..	0	
3E	1	1
..	0	

- Quelles sont les pages logiques actuellement contenu dans la mémoire centrale ?
- Lorsque le processeur génère l'adresse logique \$15000, quelle est l'adresse physique correspondante ? Même question pour l'adresse \$3E0 000.

On souhaite étudier les transferts s'effectuant entre la mémoire centrale et la mémoire secondaire dans le cas de l'exécution d'une partie de programme caractérisée comme suit :

- Le programme principal commence à l'adresse \$15 000
- Le registre A7 contient la valeur \$14 000

- Les instructions des adresses \$23 000 et \$36 600 font appel à une fonction implantée à l'adresse mémoire \$4FE 000 et se terminant à l'adresse \$500 004. Cette fonction utilise 3 registres de données du processeur.
 - A l'adresse \$4FF 500, le sous-programme effectue un traitement sur un ensemble de données localisées entre les adresses \$7F 770 et \$80 880.
 - Au moment où commence l'exécution du programme les dernières pages physiques accédées sont les suivantes : 6,7,1,2,4,5 (5 étant la dernière)
- En « simulant » l'exécution du programme indiquez l'évolution de la liste des pages en mémoire centrale et précisez s'il y a succès ou défaut.
 - Combien y a-t-il eu d'accès à la page1 ?
 - Quel est le contenu final de la mémoire centrale ?

Exercice 2 :

On considère un système de gestion mémoire par pages ayant les caractéristiques suivantes :

- Adresse logique définie sur 40 bits
- Taille des pages : 4kOctets
- Adresse physique définie sur 24 bits.
- Bit de validation, de modification et de protection

Quelle est la capacité d'adressage du processeur ? Quelle est la capacité de la mémoire centrale ? Comment s'effectue la décomposition de l'adresse logique ?

Quel est le nombre d'entrées de la table de correspondance des pages ? Quelle est sa taille en octets ?

Le système de gestion de mémoire utilise un TLB associatif. Quel est son rôle ?

Ce TLB possède 32 entrées. Représentez ce TLB sur un schéma de principe de façon à bien illustrer comment s'effectue la correspondance entre les adresses logiques et les adresses physiques.