

TD3 : Conception d'un registre à décalage SIPO de N bits

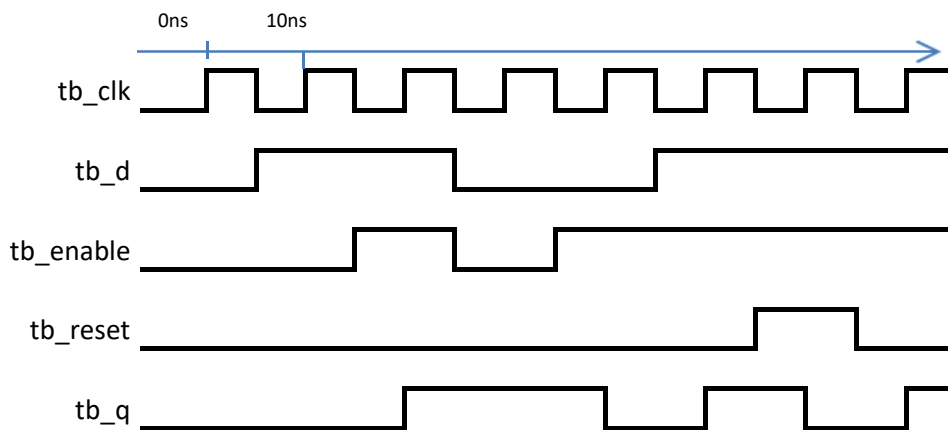
TD – CE312

Ce TD a pour but de vous familiariser avec :

- Les testbenches
- La description structurelle
- Les *generics*
- La structure *for...generate*

```
entity bascule is
    port(d, clk, reset, enable : in std_logic ;
          q : out std_logic);
end entity bascule;
```

1. On dispose de la description VHDL d'une bascule D (flip-flop) dont l'entité est donnée ci-dessus. Ecrivez le testbench de ce composant de telle manière qu'il corresponde au chronogramme ci-dessous.



2. On veut construire un **registre à décalage de 2 bits SIPO (Serial In – Parallel Out)** en utilisant uniquement 2 bascules D.

Ce registre à décalage comporte :

- un simple bit d'entrée (din)
- une entrée d'autorisation de décalage (enable) active à l'état haut
- une sortie parallèle (dout) sur 2 bits
- une remise à zéro (reset) synchrone active à l'état haut.

2.1. Dessinez le schéma de ce registre

2.2. Ecrivez la description structurelle du registre SIPO (entité + architecture)

3. Pour que le registre soit facilement réutilisable dans différents projets, on souhaite le rendre plus générique. On veut qu'il soit paramétrable pour supporter différentes tailles de vecteurs de sortie. On veut donc construire un **registre à décalage SIPO de N bits**.

3.1. Ecrivez l'entité de ce registre

3.2. Ecrivez l'architecture de ce registre

4. Ecrivez un testbench pour tester le registre SIPO avec 5 bits de sortie.

5. Dessinez le chronogramme correspondant à votre testbench

Remarque : Pensez à indiquer clairement l'échelle des temps et les temps correspondant à chaque événement sur l'axe temporel