



- [114](#)
- [2](#)

- [Page](#)

[d'accueil](#)

- [Mes cours](#)
- [Agenda perso](#)
- [Ma progression](#)
- [Réseau social](#)



[Douziech Robin](#)

Robin.Douziech@grenoble-inp.org

-
- [Boîte de réception Mes certificats Quitter](#)

<<



- [CE312- CE318 - Architecture matérielle](#)
- [Exercices](#)
- Résultat



QCM6 CE312 Examen : Résultat

Nom

Douziech Robin

Nom d'utilisateur

douziecr

Code Officiel

apo-ESISAR

Date de début

Mardi 12 Octobre 2021 à 22:19

Durée

00 : 55 : 20

Votre résultat: 40 / 42

1. Quel paquetage IEEE contient le plus de fonctions de conversion? - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	std_logic_1164	
<input type="radio"/>	-	std	
<input type="radio"/>	-	std_logic_arith	
<input checked="" type="radio"/>	-	numeric_std	

2. Un processus combinatoire doit avoir tous les signaux _____ dans sa liste de sensibilité. - Copie**Faux****Score : 0 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Input	
<input type="radio"/>	-	Output	
<input type="radio"/>	-	Declared	
<input checked="" type="radio"/>	-	Used	

3. Quel circuit est décrit? - Copie**Exact****Score : 1 / 1**

```
LIBRARY IEEE;  
  
USE IEEE.std_logic_1164.all;  
  
ENTITY my_func IS  
  
PORT(x, a, b : IN std_logic;  
      q : OUT std_logic);  
  
END my_func;
```

ARCHITECTURE behavior **OF** my_func **IS**

SIGNAL s : **INTEGER**;

BEGIN

WITH s **SELECT**

q <= a **AFTER** 10 ns **WHEN** 0;

b **AFTER** 10 ns **WHEN** 1;

s <= 0 **WHEN** x = '0' **ELSE**

1 **WHEN** x = '1';

END behavior;

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	AND gate	
<input type="radio"/>	-	OR gate	
<input checked="" type="radio"/>	-	MUX 2:1	
<input type="radio"/>	-	DEMUX 1:2	

4. Pour le code ci-dessous, quelle est la bonne instruction d'affectation? - Copie

Exact

Score : 1 / 1

SIGNAL x: **STD_LOGIC**;

SIGNAL y: **STD_LOGIC_VECTOR**(3 **DOWNTO** 0);

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	y <= (1 => '1', OTHERS => '0');	
<input type="radio"/>	-	y := "0100";	
<input type="radio"/>	-	y => "0100";	
<input type="radio"/>	-	y => x;	

5. Quel est le défaut de l'instruction IF? - Copie**Exact****Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	Overlapping of conditions	
<input type="radio"/>	-	No default value	
<input type="radio"/>	-	The condition can be Boolean only	
<input type="radio"/>	-	Restriction on number of ELSE statement	

6. Dans un registre à décalage PIPO, les sorties sont prises _____ - Copie**Exact****Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Using the Q output of the first flip-flop	
<input type="radio"/>	-	Using the Q output of the last flip-flop	
<input type="radio"/>	-	Using the Q output of the second flip-flop	
<input checked="" type="radio"/>	-	Using the Q output of each flip-flop	

7. La boucle FOR n'est pas synthétizable si elle contient une instruction _____ . - Copie**Exact****Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	WHEN	
<input type="radio"/>	-		

THEN

☒ - WAIT☐ - IF**8. Quelle sorte d'instruction est le IF? - Copie****Exact****Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Concurrent	
<input checked="" type="radio"/>	-	Sequential	
<input type="radio"/>	-	Assignment	
<input type="radio"/>	-	Selected assignment	

9. Laquelle des réponses ci-dessous utilise une modélisation structurelle? - Copie**Exact****Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	The structure of circuit	
<input type="radio"/>	-	Behavior of circuit on different inputs	
<input type="radio"/>	-	Data flow form input to output	
<input type="radio"/>	-	Functional structure	

10. Dans les quel ordre faut-il mettre les mots clés suivants? - Copie**Exact**

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	IF, THEN, ELSIF, THEN, ELSE	
<input type="radio"/>	-	IF, ELSE, THEN, ELSIF, THEN	
<input type="radio"/>	-	IF, ELSIF, THEN, ELSE, THEN	
<input type="radio"/>	-	IF, THEN, ELSE, THEN, ELSIF	

11. Laquelle des réponses ci-dessous est la bonne syntaxe pour convertir l'entier p en un nombre signé de 'b' bits (avec le paquetage numeric_std)? - Copie

Exact**Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	to_integer_signed(p,b);	
<input type="radio"/>	-	to_signed_integer(p,b);	
<input checked="" type="radio"/>	-	to_signed(p,b);	
<input type="radio"/>	-	to_signed_p(b);	

12. Laquelle des réponses est la syntaxe correcte pour instancier un composant? - Copie

Exact**Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	instantiate : component_name PORT MAP (port_list);	
<input type="radio"/>	-	label : instantiate COMPONENT PORT MAP (port_list);	



-

label : component_name PORT MAP
(port_list);



-

label : instantiate component_name PORT
MAP (port_list)

13. Quel est intérêt des Generics en VHDL? - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	To turn on and off the drivers	
<input checked="" type="radio"/>	-	To pass information to the entity	
<input type="radio"/>	-	To describe architecture	
<input type="radio"/>	-	To divide code into small processes	

14. Quelle sera la valeur de x? - Copie

Faux

Score : 0 / 1

SIGNAL x : **UNSIGNED** (3 **DOWNTO** 0);

x <= "1101";

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	9	
<input type="radio"/>	-	5	
<input checked="" type="radio"/>	-	-5	
<input type="radio"/>	-	13	

15. Un processus a une partie déclaration. - Copie**Exact****Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	True	
<input type="radio"/>	-	False	

16. En VHDL, dans un processus, on peut trouver - Copie**Exact****Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	Des instructions séquentielles	
<input type="radio"/>	-	Des instances de composant	
<input type="radio"/>	-	Des instructions concurrentes	
<input type="radio"/>	-	Une architecture	
<input type="radio"/>	-	Un autre processus	

17. Deux compteurs modulo 10 en série divisent la fréquence d'entrée par _____ - Copie**Exact****Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	10	
<input checked="" type="radio"/>	-	100	
<input type="radio"/>	-		

11

☐ - 81

18. La modélisation stucturelle est similaire à _____ - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Boolean relations of the circuit	
<input checked="" type="radio"/>	-	Schematic block diagram of the circuit	
<input type="radio"/>	-	Timing relations of the circuit	
<input type="radio"/>	-	Components of the circuit	

19. Si aucun signal dans la liste de sensibilité change, alors combien de fois le processus sera exécuté? - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	3	
<input type="radio"/>	-	2	
<input checked="" type="radio"/>	-	1	
<input type="radio"/>	-	Infinity	

20. Quelle est la syntaxe correcte pour instancier un paramètre générique? - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	label : component_name GENERIC MAP(parameter_list) PORT MAP(port_list);	
<input type="radio"/>	-	label : component_name GENERIC MAP(parameter_list);	
<input type="radio"/>	-	label : parameter_name GENERIC MAP(parameter_list) PORT MAP(port_list);	
<input type="radio"/>	-	label : parameter_name GENERIC MAP(parameter_list) PORT MAP(port_list);	

21. Dans un registre SISO, la donnée de _____ est observée par le circuit.

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	Last flip-flop	
<input type="radio"/>	-	First flip-flop	
<input type="radio"/>	-	All flip-flops	
<input type="radio"/>	-	No flip-flop	

22. Quelle est la brique de base de la modélisation structurelle? - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Process	
<input type="radio"/>	-	Component declaration	
<input checked="" type="radio"/>	-		

Component instantiation

☐ - Block

23. Le circuit suivant - Copie**Exact****Score : 2 / 2**

Library IEEE;

USE IEEE.STD_LOGIC_1164.ALL;

```
ENTITY TOTO IS
PORT (A,B : IN STD_LOGIC;
Q : OUT STD_LOGIC);
END TOTO;
```

```
ARCHITECTURE TITI OF TOTO IS
BEGIN
PROCESS
BEGIN
WAIT UNTIL RISING_EDGE (B);
Q <= A;
END PROCESS;
END;
```

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="checkbox"/>	-	Est synthétisable	
<input type="checkbox"/>	-	Est combinatoire	
<input checked="" type="checkbox"/>	-	Est séquentiel synchrone	
<input type="checkbox"/>	-	Est séquentiel asynchrone	
<input type="checkbox"/>	-	Est analogique	

24. Laquelle des réponses ci-dessous est la bonne syntaxe pour convertir l'entier p en un nombre signé de 'b' bits (avec le paquetage numeric_std)? - Copie**Exact****Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	to_integer_signed(p,b);	
<input type="radio"/>	-	to_signed_integer(p,b);	
<input checked="" type="radio"/>	-		

to_signed(p,b);

☐ - to_signed_p(b);

25. Quelle réponse est correcte pour définir une boucle FOR? - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	<pre> label : FOR LOOP loop_specification sequential_statements; END LOOP label; </pre>	
<input type="radio"/>	-	<pre> label : FOR loop_specification LOOP sequential_statements; END FOR LOOP; </pre>	
<input type="radio"/>	-	<pre> label : FOR LOOP loop_specification sequential_statements; END FOR LOOP; </pre>	
<input checked="" type="radio"/>	-	<pre> label : FOR loop_specification LOOP sequential_statements; END LOOP label; </pre>	

26. Lequel des codes suivants est juste? - Copie

Exact**Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	<pre>label : FOR n IN 7 DOWNT0 0 GENERATE concurrent_statement; END GENERATE;</pre>	
<input type="radio"/>	-	<pre>label : FOR n IN 7 DOWNT0 0 GENERATE declarations; concurrent_statement; END GENERATE;</pre>	
<input type="radio"/>	-	<pre>label : FOR n IN 7 DOWNT0 0 GENERATE begin declarations; concurrent_statement; END GENERATE;</pre>	
<input type="radio"/>	-	<pre>label : FOR n IN 7 DOWNT0 0 GENERATE begin concurrent_statement; END GENERATE label;</pre>	

27. Dans un registre à décalage PIPO, les sorties sont prises _____ - Copie**Exact****Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
-------	---------------	---------	-------------

- ☐ - Using the Q output of the first flip-flop
- ☐ - Using the Q output of the last flip-flop
- ☐ - Using the Q output of the second flip-flop
- ☒ - Using the Q output of each flip-flop

28. Quel registre est utilisé dans le code suivant? - Copie

Exact

Score : 1 / 1

```
library ieee;

use ieee.std_logic_1164.all;

entity shift_siso is
port (Clock, Sin : in std_logic;
      Sout : out std_logic);
end shift_siso;

architecture behav of shift_siso is
signal temp: std_logic_vector(7 downto 0);
begin
process (Clock)
begin
if (Clock'event and Clock='1') then
for i in 0 to 6 loop
temp(i+1) <= temp(i);
end loop;
temp(0) <= Sin;
end if ;
end process;

Sout <= temp(7);

end behav;
```

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	Serial in serial out	
<input type="radio"/>	-	Serial in parallel out	
<input type="radio"/>	-	Parallel in parallel out	
<input type="radio"/>	-	Parallel in serial out	

29. En VHDL, dans une architecture avant le mot-clé BEGIN, on peut trouver - Copie

Exact

Score : 2 / 2

ARCHITECTURE TOTO OF TITI IS

-- <===ICI ===

BEGIN

END

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="checkbox"/>	-	Des déclarations de composants	
<input type="checkbox"/>	-	Des instances de composant	
<input checked="" type="checkbox"/>	-	Des déclarations de signaux internes	
<input type="checkbox"/>	-	Des instructions séquentielles et/ou concurrentes	

30. Quel registre est utilisé dans le code suivant? - Copie

Exact

Score : 1 / 1

```
library ieee;
```

```
use ieee.std_logic_1164.all;
```

```
entity shift_siso is
```

```
port (Clock, Sin : in std_logic;
```

```
Sout : out std_logic);
```

```

end shift_asis;

architecture behav of shift_asis is

signal temp: std_logic_vector(7 downto 0);

begin

process (Clock)

begin

if (Clock'event and Clock='1') then

for i in 0 to 6 loop

temp(i+1) <= temp(i);

end loop;

temp(0) <= Sin;

end if ;

end process;

Sout <= temp(7);

end behav;

```

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	Serial in serial out	
<input type="radio"/>	-	Serial in parallel out	
<input type="radio"/>	-	Parallel in parallel out	
<input type="radio"/>	-	Parallel in serial out	

31. Le circuit suivant - Copie

Exact

Score : 1 / 1

Library IEEE;

USE IEEE.STD_LOGIC_1164.ALL;

ENTITY TOTO IS

PORT (A,B : IN STD_LOGIC;


```
Q : OUT STD_LOGIC);
END TOTO;
```

```
ARCHITECTURE TITI OF TOTO IS
BEGIN
Q <= A WHEN B='1' ELSE NOT A;
END;
```

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="checkbox"/>	-	Est synthétisable	
<input checked="" type="checkbox"/>	-	Est combinatoire	
<input type="checkbox"/>	-	Est séquentiel synchrone	
<input type="checkbox"/>	-	Est séquentiel asynchrone	
<input type="checkbox"/>	-	Est analogique	

32. Le circuit suivant - Copie

Exact

Score : 1 / 1

```
Library IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
```

```
ENTITY TOTO IS
PORT ( A,B : IN STD_LOGIC;
Q : OUT STD_LOGIC);
END TOTO;
```

```
ARCHITECTURE TITI OF TOTO IS
BEGIN
Q <= A WHEN B='1' ELSE Q;
END;
```

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Est synthétisable	
<input checked="" type="radio"/>	-	Est non synthétizable	
<input type="radio"/>	-	Est séquentiel synchrone	
<input type="radio"/>	-	Est séquentiel asynchrone	
<input type="radio"/>	-	Est analogique	

33. L'opérateur '&' est l'opérateur _____. - Copie

Exact**Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Logical AND operator	
<input type="radio"/>	-	Bitwise AND operator	
<input type="radio"/>	-	Arithmetic addition operator	
<input checked="" type="radio"/>	-	Concatenation operator	

34. Un processus contient - Copie**Exact****Score : 1 / 1**

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	toujours une instruction WAIT.	
<input type="radio"/>	-	toujours une liste de sensibilité.	
<input type="radio"/>	-	obligatoirement soit une ou plusieurs instructions WAIT, soit une liste de sensibilité, soit les deux.	
<input type="radio"/>	-	toujours une liste de sensibilité et éventuellement une ou plusieurs instructions WAIT.	
<input checked="" type="radio"/>	-	obligatoirement soit une instruction WAIT, soit une liste de sensibilité, mais jamais les deux.	

35. Quel circuit est implémenté par l'architecture suivante? - Copie**Exact****Score : 1 / 1**

```
ARCHITECTURE my_arch OF my_design IS
```

```
BEGIN
```

```
PROCESS
```

```
BEGIN
```

```
WAIT ON clk;
```

```
IF(clk = '1') THEN
```

```
    y <= x;
```

```
END IF;
```

```
END PROCESS;
```

```
END my_arch;
```

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	Latch	
<input type="radio"/>	-	Inverter	
<input type="radio"/>	-	OR gate	
<input type="radio"/>	-	Shift register	

36. Quelle est l'architecture d'une simple porte NAND? - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input checked="" type="radio"/>	-	<pre>ARCHITECTURE my_arch OF nand_gate IS</pre> <pre>BEGIN</pre> <pre> x <= a NAND b;</pre> <pre>END my_arch;</pre>	
<input type="radio"/>	-	<pre>BEGIN</pre> <pre>ARCHITECTURE my_arch OF nand_gate IS</pre>	

```
x <= a NAND b;
```

```
END behavioral;
```

```
BEGIN
```

```
ARCHITECTURE behavioral OF nand_gate
```

```
IS
```

```
x <= a NAND b;
```

```
END my_arch;
```

```
ARCHITECTURE nand OF nand_gate IS
```

```
BEGIN
```

```
x <= a NAND b;
```

```
END nand;
```

37. La boucle FOR n'est pas synthétizable si elle contient une instruction _____. - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	WHEN	
<input type="radio"/>	-	THEN	
<input checked="" type="radio"/>	-	WAIT	
<input type="radio"/>	-	IF	

38. Avec un reset asynchrone, le reset est actif indépendamment de _____. - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Enable signal	

- ☐ - Data input signal
- ☒ - Clock signal
- ☐ - Output signal

39. Un utilisateur peut implémenter un circuit logique en utilisant le VHDL. Il a 2 signaux smoke sensor et water level provenant de 2 capteurs. Si chacun de ces signaux est haut alors il doit renvoyer une alarme sur une sortie respectivement au signal de détection. Quel code suivant représente la bonne description VHDL? - Copie

Exact

Score : 1 / 1

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>		<pre> ARCHITECTURE alarm_control OF my_home IS BEGIN PROCESS(smoke_sensor, water_sensor) BEGIN IF(smoke_sensor = '1') THEN fire_alarm = '1'; ELSE fire_alarm = '0'; END IF; IF(water_sensor = '1') THEN water_alarm = '1'; ELSE water_alarm = '0'; END IF; END PROCESS; END alarm_control; </pre>	
<input checked="" type="radio"/>			
<input type="radio"/>		<pre> ARCHITECTURE alarm_control OF my_home IS BEGIN PROCESS(smoke_sensor, water_sensor) </pre>	

BEGIN

IF(smoke_sensor = '1') **THEN** fire_alarm
= '1';

ELSE fire_alarm = '0';

END IF;

IF(water_sensor = '1') **THEN**
water_alarm = '0';

ELSE water_alarm = '1';

END IF;

END PROCESS;

END alarm_control;

ARCHITECTURE alarm_control **OF** my_home
IS

BEGIN

PROCESS(smoke_sensor, water_sensor)

BEGIN

IF(smoke_sensor = '1') **THEN** fire_alarm
= '0';

ELSE fire_alarm = '1';

END IF;

IF(water_sensor = '1') **THEN**
water_alarm = '1';

ELSE water_alarm = '0';

END IF;

END PROCESS;

END alarm_control;

ARCHITECTURE alarm_control **OF** my_home
IS

BEGIN

PROCESS(smoke_sensor, water_sensor)

BEGIN

```
IF(smoke_sensor = '0') THEN fire_alarm
= '1';

ELSE fire_alarm = '0';

END IF;

IF(water_sensor = '0') THEN
water_alarm = '1';

ELSE water_alarm = '0';

END IF;

END PROCESS;

END alarm_control;
```

40. Quel circuit est décrit ci-dessous? - Copie

Exact

Score : 1 / 1

```
LIBRARY IEEE;

USE IEEE.std_logic_1164.all;

ENTITY design IS

PORT(a, b, c : in BIT;

x, y : out BIT);

END design;

ARCHITECTURE arch1 OF design IS

COMPONENT xor2 IS

PORT (i1, i2 : IN STD_LOGIC;

o : OUT STD_LOGIC);

END COMPONENT;

COMPONENT and2 IS

PORT(a1, a2 : IN STD_LOGIC;

P : OUT STD_LOGIC);

END COMPONENT;

COMPONENT or2 IS

PORT(d1, d2 : IN STD_LOGIC;
```

```
r : OUT STD_LOGIC);

END COMPONENT;

SIGNAL s1, s2, s3, s4, s5 : STD_LOGIC;

BEGIN

X1: xor2 PORT MAP(a, b, s1);

X2 : xor2 PORT MAP(s1, c, x);

X3: and2 PORT MAP(a, b, s2);

X4 : and2 PORT MAP(a, c, s3);

X5: and2 PORT MAP(b, c, s4);

X6: or2 PORT MAP(s2, s3, s5);

X7: or2 PORT MAP(s4, s5, y);

END arch1;
```

Choix	Choix attendu	Réponse	Commentaire
<input type="radio"/>	-	Half adder	
<input type="radio"/>	-	Comparator 2- bits	
<input checked="" type="radio"/>	-	Full adder	
<input type="radio"/>	-	Can't be determined	

Note : cet exercice est configuré pour ne pas montrer les bonnes réponses.

Votre résultat: 40 / 42

Enseignants : [Beroulle Vincent](#) | [Achard Francois](#) | [Polychronou Nikolaos Foivos](#) | [Kchaou Afef](#)
[Créé avec Chamilo](#) © 2021



Messagerie (déconnecté)