



• <u>Page</u>

d'accueil

- Mes cours
- Agenda perso
- Ma progression
- Réseau social



Arce-Menso Teo

Teo.Arce-Menso@grenoble-inp.org

• Boîte de réception Mes certificats Quitter

<<



- <u>A CE312- CE318 Architecture matérielle</u>
- Exercices
- Résultat



🕏 QCM6 CE312 Examen : Résultat

Nom

Arce-Menso Teo

Nom d'utilisateur

arcement

Code Officiel

apo-ESISAR

Date de début

Vendredi 15 Octobre 2021 à 19:10

Durée

00:16:22

Votre résultat: 40 / 40

1. Deux compteurs modulo 10 en série divisent la fréquence d'entrée par _____ - Copie

		-4
r,	XН	CI.

Score: 1/1

Choix attendu			Réponse	Commentaire
0	-	10		
•	-	100		
0	-	11		
0	-	81		

2. Quelle réponse suivante n'est pas syntaxiquement correcte pour une instruction WAIT? - Copie

Exact

Score: 1/1

Choix Choi		Réponse	Commentaire
O -	WAIT ON		
⊙ -	WAIT WHILE		
O -	WAIT FOR		
O -	WAIT UNTIL		

3. Quelle est la bonne méthode pour déclarer un signal x de type SIGNED comme une entrée dans un entité? - Copie

Exact

Choix	Choix attendu	Réponse	Commentaire
0	-	SIGNAL x : IN SIGNED;	
0	-	SIGNAL x : SIGNED;	

Commentaire

```
•
              SIGNAL x: IN SIGNED (7 DOWNTO 0);
```

```
SIGNAL x: IN SIGNED_VECTOR (7 DOWNTO
0);
```

4. Le code structurel d'un additionneur sur 4 bits est donné ci-dessous. Si on veut convertir ce composant en additionneur sur 8 bits que faut-il changer? - Copie

Exact

Score: 1/1

```
COMPONENT adder IS
GENERIC (n : INTEGER := 3);
PORT(input : IN BIT_VECTOR(n DOWNTO 0);
output : OUT BIT_VECTOR(n DOWNTO 0));
END COMPONENT;
```

Choix attendu		Choix attendu	Réponse
	•	-	n
	0	-	input
	0	-	output
	0	_	component

5. Laquelle des réponses suivantes ne peut pas être implémentée avec des instructions concurrentes seulement? - Copie

Exact

Score: 1/1

Choix Choix attendu Réponse Commentaire Multiplexer

Decoder

- 0 Adder
- Counter

6. Le circuit suivant - Copie

Exact

Score: 1/1

Library IEEE; USE IEEE.STD_LOGIC_1164.ALL;

ENTITY TOTO IS PORT (A,B: IN STD LOGIC; Q:OUT STD_LOGIC); END TOTO;

ARCHITECTURE TITI OF TOTO IS $Q \leq A$ WHEN B='1' ELSE Q; END;

$Choix \frac{Choix}{attendu}$ Commentaire Réponse

- Est synthétisable
- Est non synthétizable
- Est séquentiel synchrone
- Est séquentiel asynchrone
- Est analogique

7. Quel circuit est implémenté par l'architecture suivante? - Copie

Exact

Score: 1/1

ARCHITECTURE my_arch OF my_design IS

BEGIN

PROCESS

BEGIN

IF(clk = '1') THEN

y <= x;

WAIT ON clk;

END IF;

END PROCESS;

END my_arch;

Chair	Choix
Choix	attendu

Réponse

Commentaire

- Latch
- Inverter
- OR gate
- Shift register
- 8. Quand un signal est affecté dans un processus, alors sa valeur est mise à jour _____ Copie

Exact

Score: 1/1

Choix Réponse	Commentaire
---------------	-------------

- Immediately
- After tow delta cycles
- \odot At the end of the corresponding process
- At the end of architecture
- 9. En VHDL, dans une architecture avant le mot-clé BEGIN, on peut trouver Copie

Exact

15/10/2021 19:46 Score: 2 / 2	Grenoble INP - Chamilo - CE312- CE318 - Archi	tecture matérielle
ARCHITECTU	JRE TOTO OF TITI IS	
<===ICI ===	=	
BEGIN		
END		
Choix Choix attendu	Réponse	Commentaire
<u>✓</u> -	Des déclarations de composants	
_	Des instances de composant	
▽	Des déclarations de signaux internes	
-	Des instructions séquentielles et/ou concurrentes	
10. Dans les aff	fectations concurrentes l'ordre des instructions n'import	e pas Copie
Exact		
Score: 1/1		
Choix Choix attendu	Réponse	Commentaire
⊙ -	True	
O -	False	
11. II n'y a pas	de délais pour les affectations de variables Copie	
Exact		
Score: 1/1		
Choix attendu	Réponse	Commentaire
⊙ -	True	
O -	False	
12. Dans un re	gistre SISO, la donnée de est observée par le circ	uit.

$https://chamilo.grenoble-inp.fr/main/exercise/result.php?cidReq=3AMCE312\&id_session=0\&gidReq=0\&gradebook=0\&origin=\&show_headers=1... \\ 6/24$

Exact

15/10/2021 19:46

Score: 1/1

Choi	Choix attend	u	Réponse	Commentaire
•		Last flip-flop		
0	-	First flip-flop		
0	-	All flip-flops		
0	-	No flip-flop		
13. L	'instanci	ation	_ est moins sujette à erreur Copie	
Exac	et			
Score	e:1/1			
Choi	Choix attend	ı U	Réponse	Commentaire
0	-	par port		
0	-	par position		
•	-	par dénomination		
0	-	générique		
14. Q	uelle est	la bonne syntaxo	e pour la déclaration d'un processus? - C	opie
Exac	ct			
Score	e:1/1			
Choi	Choix attend		Réponse	Commentaire
0	-	{Label :} P	ROCESS	
		{process_decla	ration_part};	
		sensitivity_li	st;	
		DECTN		

BEGIN

```
sequential_statements;
END PROCESS {Label};
PROCESS {sensitivity list}
{process_declaration_part}
BEGIN
sequential_statements;
END PROCESS {Label};
{Label :} PROCESS
{process_declaration_part}
BEGIN
sensitivity_list;
sequential_statements;
END PROCESS;
{Label
                             PROCESS
{sensitivity_list}
{process_declaration_part}
BEGIN
sequential_statements;
END PROCESS {Label};
```

15. L'opérateur '&' est l'opérateur . - Copie

Exact

Choix	Choix attendu	Réponse	Commentaire
0	-	Logical AND operator	
0	-	Bitwise AND operator	
0	-	Arithmetic addition operator	

• Concatenation operator

16. Laquelle des réponses ci-dessous utilise une modélisation structurelle? - Copie

Exact

Score: 1/1

Choix	Choix attendu	Réponse	Commentaire
•	-	The structure of circuit	
0	-	Behavior of circuit on different inputs	
0	-	Data flow form input to output	
0	-	Functional structure	

17. Quelle est la bonne syntaxe pour la déclaration de l'entité? - Copie

Exact

```
Choix Choix attendu
                             Réponse
                                                                     Commentaire
              ENTITY entity_name IS
              PORT( signal_names : signal_modes;
\odot
              signal_names : signal_modes);
              END entity_name;
              ENTITY entity_name
              PORT( signal_names : signal_modes;
              signal_names : signal_modes);
              END ENTITY;
              ENTITY entity_name IS
```

```
PORT port_name
     signal_names : signal_modes
signal_type;
signal_names : signal modes
signal type);
END entity_name;
ENTITY entity_name
PORT port_name
(signal_names : signal_modes;
signal_names : signal_modes);
END ENTITY;
```

18. Quelle est la brique de base de la modélisation structurelle? - Copie

Exact

Score: 1/1

 $Choix \frac{Choix}{attendu}$ Réponse Commentaire **Process**

- Component declaration
- Component instantiation
- Block

19. Les types SIGNED et UNSIGNED sont définis dans quel paquetage? - Copie

Exact

Choix Choix attendo	Réponse	Commentaire
O -	std_logic_1164 package	

std		nac	kan	
Siu	ıvu	vac	Nav	

- HUHIEHU SUU DAUKAU	-	numeric	std package
----------------------	---------------------	---------	-------------

standard package

20. Avec un reset synchrone, le reset est actif en fonction de ______ - Copie

Exact

Score: 1/1

Choix	Choix attendu	Réponse	Commentaire
0	-	Enable signal	
0	-	Data input signal	

- Clock signal
- Output signal

21. Un process est une instruction ______. - Copie

Exact

Score: 1/1

Choix	Choix attendu	Réponse	Commentaire
•	-	Concurrent	
0	-	Sequential	
0	-	Delay	
0	_	Both concurrent and sequential	

22. L'instanciation _____ est moins sujette à erreur. - Copie

Exact

15/10/2021 19:46

Score: 1/1

Choix	Choix attendu	Réponse	Commentaire
0	-	par port	
0	-	par position	
•	-	par dénomination	
0	-	générique	

23. Laquelle des réponses ci-dessous est la bonne syntaxe pour la déclaration d'un composant? - Copie

Exact

```
Choix Choix attendu
                            Réponse
                                                                   Commentaire
              COMPONENT component name IS
              PORT ( port_mode : type port_name;
\bigcirc
              port_mode : type port_name;
              ....);
              END component_name;
              COMPONENT component_name IS
              PORT ( port_mode : type port_name;
0
              port_mode : type port_name;
              ....);
              END COMPONENT;
              COMPONENT component name IS
              PORT ( port_name : mode type;
              port_name : mode type;
              ....);
```

```
END component_name;
               COMPONENT component_name IS
               PORT ( port_name : mode type;
\odot
               port_name : mode type;
               ....);
               END COMPONENT;
```

24. La liste de sensibilité contient _____ - Copie

Exact

Score: 1/1

Choix Choix attendu Réponse Commentaire Constants Signals Variables

25. La valeur de y est initialement 1 et passe à 0 après un cycle delta. Combien de cycles delta (en commençant depuis le début) sera nécessaire pour changer la valeur de z dans le processus donné cidessous?? - Copie

Exact

Score: 1/1

Literals

PROCESS (y)

BEGIN

x <=y; $z \leftarrow NOT y$;

END PROCESS

Choix

Réponse

Commentaire

Exact

```
Score: 1/1
```

END my_circuit;

ARCHITECTURE my_circuit OF my_logic IS

```
BEGIN
WITH ab SELECT
y <= x0 WHEN "00";
x1 WHEN "01";
x2 WHEN "10";
x3 WHEN "11";
```

Choix	Choix attendu		Réponse	Commentaire
•	-	4 to 1 MUX		
0	-	1 to 4 DEMUX		
0	-	8 to 1 MUX		
0	-	1 to 8 DEMUX		

28. La boucle FOR n'est pas synthétizable si elle contient une instruction _____. - Copie

Exact

Score: 1/1

Choix	Choix attend	u	Réponse	Commentaire
0	-	WHEN		
0	-	THEN		
•	-	WAIT		
0	_	IF		

29. Quelle réponse suivante donne la bonne syntaxe d'une déclaration d'architecture et de sa définition? - Copie

Exact

C	hoix	Choix attendu	Réponse		Commentaire
C)	-	ARCHITECTURE architecture_type entity_name IS	OF	
			Declarations_for_architecture;		
			BEGIN		
			Code;		

```
END architecture_name;
              ARCHITECTURE
                              architecture_name
              entity_name IS
              BEGIN
              Declarations_for_architecture;
              Code;
              END architecture_name;
              ARCHITECTURE
                              architecture_type
              entity_name IS
              BEGIN
              Declarations_for_architecture;
              Code;
              END architecture_type;
              ARCHITECTURE
                              architecture_name
                                                   OF
              entity_name IS
              Declarations_for_architecture
              BEGIN
\odot
              Code;
              END architecture_name;
```

30. Quel est le défaut de l'instruction IF? - Copie

Exact

Score: 1/1

 $Choix \frac{Choix}{attendu}$ Réponse Commentaire \odot

Overlapping of conditions

- 0 No default value
- The condition can be Boolean only
- Restriction on number of ELSE statement

31. Sur quel aspect, les HDLs diffèrent des langages de programmation? - Copie

Exact

Score: 1/1

Choix attendu	Réponse	Commentaire
O -	No aspect; both are same	
⊙ -	HDLs describe hardware rather than executing a program on a computer	
O -	HDLs describe software and not hardware	
O -	Other computer programming languages have	

32. Quelle est la bonne syntaxe de l'instruction CASE? - Copie

more complexity

Exact

$Choix \\ \frac{Choix}{attendu}$	Réponse	Commentaire
O -	CASE expression IS	
	WHEN choice_1 <=	
	Sequential_statements;	
	WHEN choice_2 <=	
	Sequential_statements;	

```
WHEN OTHERS <=
             Sequential_statements;
             END CASE;
             CASE expression IS
             WHEN choice_1 =>
             Sequential_statements;
             WHEN choice_2 =>
\odot
             Sequential_statements;
             WHEN OTHERS =>
             Sequential_statements;
             END CASE;
             CASE expression IS
             IF choice_1 <=
             Sequential_statements;
             ELSIF choice_2 <=
             Sequential_statements;
             . . . .
             ELSIF OTHERS <=
             Sequential_statements;
             END CASE;
             CASE expression IS
             IF choice_1 =>
             Sequential_statements;
             ELSIF choice_2 =>
             Sequential_statements;
             ELSIF OTHERS =>
```

```
Sequential_statements;
```

END CASE;

33. Quelle réponse est correcte pour définir une boucle FOR? - Copie

Exact

Score: 1/1

```
Choix Choix attendu
                               Réponse
                                                                        Commentaire
               label
                                      FOR
                                                  LO<sub>O</sub>P
               loop specification
               sequential_statements;
               END LOOP label;
               label : FOR loop specification
               sequential_statements;
               END FOR LOOP;
               label
                                      FOR
                                                  LO<sub>O</sub>P
               loop_specification
               sequential_statements;
               END FOR LOOP;
               label : FOR loop_specification
               LO<sub>O</sub>P
               sequential_statements;
\odot
               END LOOP label;
```

34. A quoi servent les cycles delta dans les simulations VHDL? - Copie

Exact

Score: 1/1

Choix	Choix attendu	Réponse	Commentaire
0	-	To create delays in simulation	
0	-	To assign values to signals	
•	-	To order some events	
0	-	Evaluate assignment statements	

35. La boucle FOR n'est pas synthétizable si elle contient une instruction ______ . - Copie

Exact

Score: 1/1

Choix Choix attendu	1	Réponse	Commentaire
O -	WHEN		
O -	THEN		
-	WAIT		
0 -	IF		

36. Quelle est la bonne syntaxe pour la déclaration d'un processus? - Copie

Exact

Choix	Choix attendu	Réponse	Commentaire
0	-	{Label :} PROCESS	
		<pre>{process_declaration_part};</pre>	
		sensitivity list;	

```
BEGIN
sequential_statements;
END PROCESS {Label};
PROCESS {sensitivity_list}
{process_declaration_part}
BEGIN
sequential_statements;
END PROCESS {Label};
{Label :} PROCESS
{process_declaration_part}
BEGIN
sensitivity_list;
sequential_statements;
END PROCESS;
{Label
                 :}
                             PROCESS
{sensitivity_list}
{process_declaration_part}
BEGIN
sequential_statements;
END PROCESS {Label};
```

37. Lequel des codes suivants est juste? - Copie

Exact

```
Choix \frac{Choix}{attendu}
                              Réponse
                                                                       Commentaire
\odot
               label : FOR n IN 7 DOWNTO ∅
               GENERATE
               concurrent_statement;
```

```
END GENERATE;
```

label : FOR n IN 7 DOWNTO 0 **GENERATE**

declarations;

concurrent_statement;

END GENERATE;

label : FOR n IN 7 DOWNTO 0 **GENERATE**

begin

declarations;

concurrent_statement;

END GENERATE;

label : FOR n IN 7 DOWNTO 0 **GENERATE**

begin

concurrent_statement;

END GENERATE label;

38. La description d'une entité contient toujours - Copie

Exact

Choix	Choix attendu	Réponse	Commentaire
•	-	La déclaration des ports contenant la liste des signaux en entrée et en sortie	
0	-	La déclaration des signaux internes et des signaux en entrée et en sortie	
0	-	La déclaration des composants utilisés	
0	-	Les descriptions de processus, d' instances	

de composants et d'instructions concurrentes

39. Quelle sera la valeur de y après l'exécution du code ci-dessous? - Copie

Exact

```
Score: 1/1
Library ieee;
USE ieee.std_logic_1164.all;
USE ieee.numeric_std.all;
SIGNAL m : UNSIGNED (3 DOWNTO 0);
SIGNAL n : UNSIGNED (3 DOWNTO ∅);
SIGNAL y : STD_LOGIC_VECTOR (7 DOWNTO 0);
y <= STD_LOGIC_VECTOR ((m+n), 8);</pre>
```

Choix Choix Réponse Comments

- 8- bit STD_LOGIC_VECTOR m+n
- 8- bit UNSIGNED m+n
- 4- bit STD_LOGIC m+n
- Error

Note : cet exercice est configuré pour ne pas montrer les bonnes réponses.

Votre résultat: 40 / 40

Enseignants: Beroulle Vincent | Achard Francois | Polychronou Nikolaos Foivos | Kchaou Afef Créé avec Chamilo © 2021

×

×

Messagerie (déconnecté)