



Arquitectura FPGAs Xilinx

Objetivos

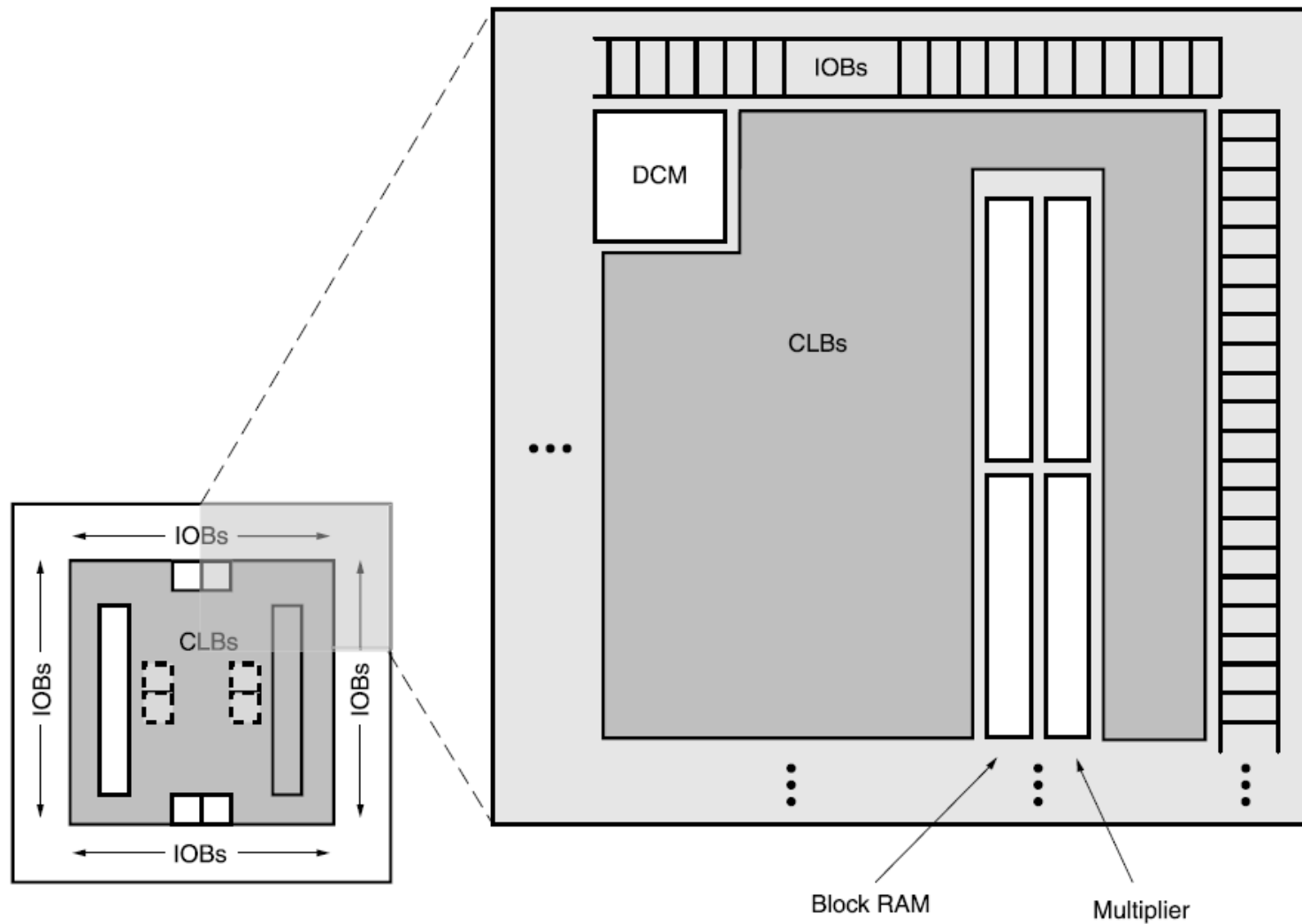
- Entender como se logra implementar el hardware reconfigurable en una FPGA.
- Obtener el conocimiento para entender la arquitectura de una FPGA específica.
- Conocer la arquitectura básica de la FPGA a utilizar en los trabajos prácticos de la materia (SPARTAN 3 – SPARTAN6)

¿Qué vamos a ver?

- Arquitectura básica de las FPGAs de Xilinx.
 - Configurable Logic Blocks (CLBs)
 - Input / Output Blocks (IOBs)
 - Block Ram
 - Multiplier Blocks
 - Digital Clock Manager (DCM)
- Arquitectura básica FPGA Xilinx SPARTAN 3, SPARTAN 6

Arquitectura de FPGA: **Xilinx Spartan 3E**

Bloques básicos



A dark gray rectangular box with a thin white border is positioned in the top right corner of the slide.

Xilinx Spartan 3E

Input/Output Blocks

Spartan 3E: IOBs

Table 6: Single-Ended IOSTANDARD Bank Compatibility

Single-Ended IOSTANDARD	V _{CCO} Supply/Compatibility					Input Requirements	
	1.2V	1.5V	1.8V	2.5V	3.3V	V _{REF}	Board Termination Voltage (V _{TT})
LVTTTL	-	-	-	-	Input/Output	N/R ⁽¹⁾	N/R
LVCNOS33	-	-	-	-	Input/Output	N/R	N/R
LVCNOS25	-	-	-	Input/Output	Input	N/R	N/R
LVCNOS18	-	-	Input/Output	Input	Input	N/R	N/R
LVCNOS15	-	Input/Output	Input	Input	Input	N/R	N/R
LVCNOS12	Input/Output	Input	Input	Input	Input	N/R	N/R
PCI33_3	-	-	-	-	Input/Output	N/R	N/R
PCI66_3	-	-	-	-	Input/Output	N/R	N/R
HSTL_I_18	-	-	Input/Output	Input	Input	0.9	0.9
HSTL_III_18	-	-	Input/Output	Input	Input	1.1	1.8
SSTL18_I	-	-	Input/Output	Input	Input	0.9	0.9
SSTL2_I	-	-	-	Input/Output	Input	1.25	1.25

Notes:

1. N/R - Not required for input operation.

Spartan 3E: IOBs

Table 7: Differential IOSTANDARD Bank Compatibility

Differential IOSTANDARD	V _{CCO} Supply			Input Requirements: V _{REF}	Differential Bank Restriction ⁽¹⁾
	1.8V	2.5V	3.3V		
LVDS_25	Input	Input, On-chip Differential Termination, Output	Input	V _{REF} is not used for these I/O standards	Applies to Outputs Only
RSDS_25	Input	Input, On-chip Differential Termination, Output	Input		Applies to Outputs Only
MINI_LVDS_25	Input	Input, On-chip Differential Termination, Output	Input		Applies to Outputs Only
LVPECL_25	Input	Input	Input		No Differential Bank Restriction (other I/O bank restrictions might apply)
BLVDS_25	Input	Input, Output	Input		
DIFF_HSTL_I_18	Input, Output	Input	Input		
DIFF_HSTL_III_18	Input, Output	Input	Input		
DIFF_SSTL18_I	Input, Output	Input	Input		
DIFF_SSTL2_I	Input	Input, Output	Input		

Notes:

1. Each bank can support any two of the following: LVDS_25 outputs, MINI_LVDS_25 outputs, RSDS_25 outputs.

Spartan 3E: IOBs

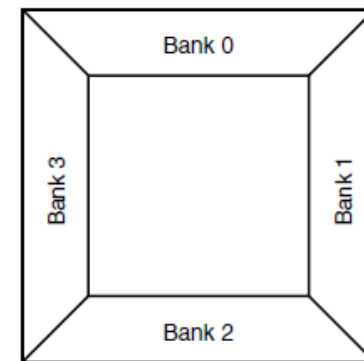
- Slew Rate Control
 - SLOW / FAST
- Drive Strength
- Default:
 - LVCMOS25
 - SLOW slew rate
 - 12 mA
- Usar el MENOR slew rate y Drive Strength que la aplicacion necesite.

Table 8: Programmable Output Drive Current

IOSTANDARD	Output Drive Current (mA)					
	2	4	6	8	12	16
LVTTTL	✓	✓	✓	✓	✓	✓
LVCMOS33	✓	✓	✓	✓	✓	✓
LVCMOS25	✓	✓	✓	✓	✓	-
LVCMOS18	✓	✓	✓	✓	-	-
LVCMOS15	✓	✓	✓	-	-	-
LVCMOS12	✓	-	-	-	-	-

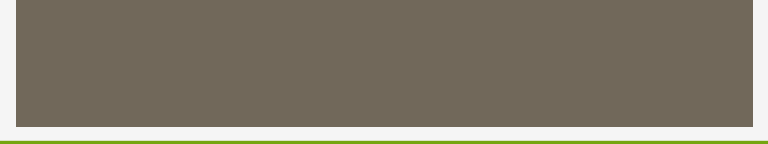
Spartan 3E: IOBs

- I/O Banks:
 - Spartan 3E: 4 Bancos
 - Cada banco tiene su propio Vref y VCCo



DS312-2_26_021205

Figure 13: Spartan-3E I/O Banks (top view)

A dark gray rectangular box with a thin white border is positioned in the top right corner of the slide.

Xilinx Spartan 3E

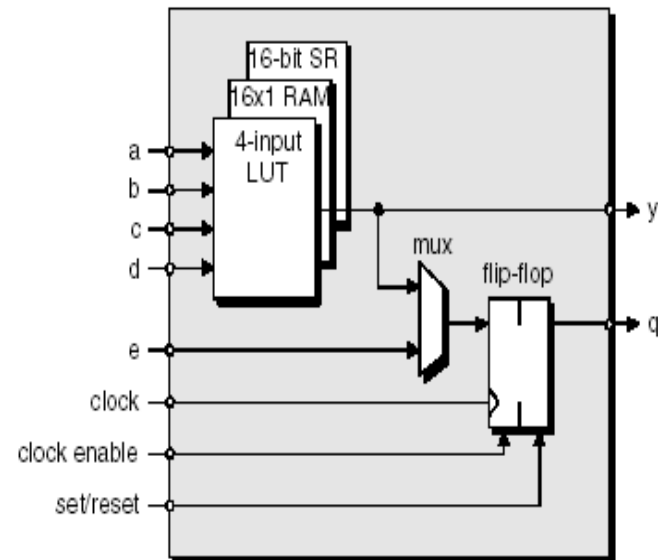
Configurable Logic Blocks

LC (Logic cell)

Xilinx Logic cell (LC):

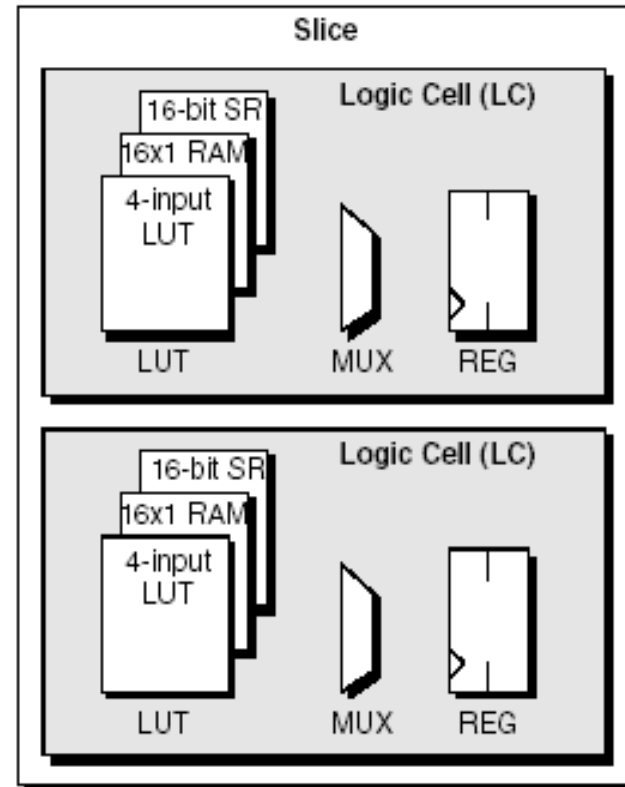
Contiene una LUT de 4 entradas, un multiplexor y un registro.

Se puede configurar la polaridad del clock, el clock enable y la Señal de reset



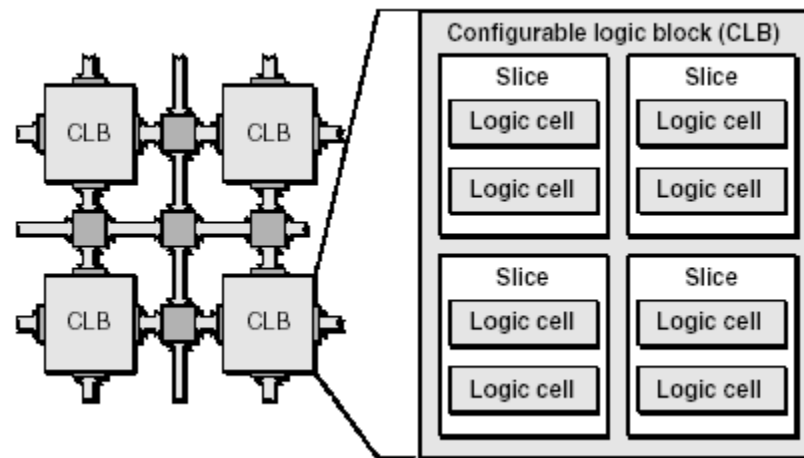
SLICE

- Slice es el elemento que sigue a los LC en la jerarquía de Xilinx.
- Contiene dos logic Cells
 - Hay Slices que contienen mas, dependiendo de la arquitectura de la FPGA



Xilinx CLB

- Configurable Logic Block (CLB)
- CLB es el elemento que sigue en la jerarquia a los slices.



Spartan 3E: CLBs

- Cada CLB contiene 4 Slices
- Cada Slice contiene 2 LUT y 2 elementos de memoria (Flip-Flop o Latch).
- Cada LUT se puede configurar como memoria 16x1 (RAM16) o shift register de 16 bit (SRL16)

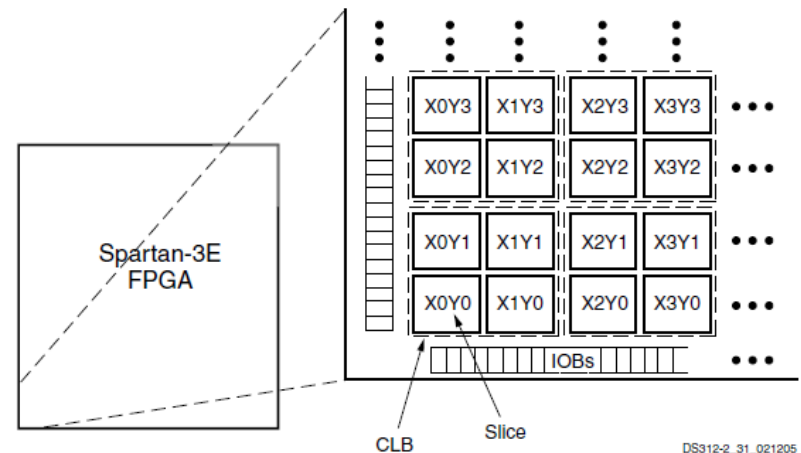
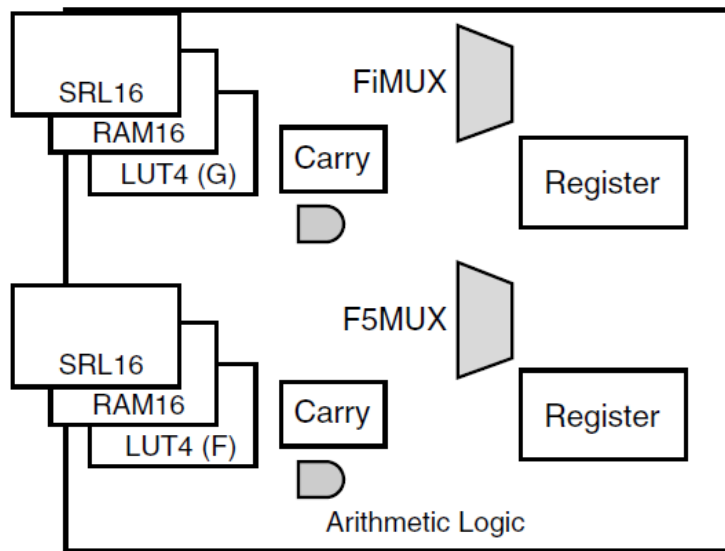


Figure 14: CLB Locations

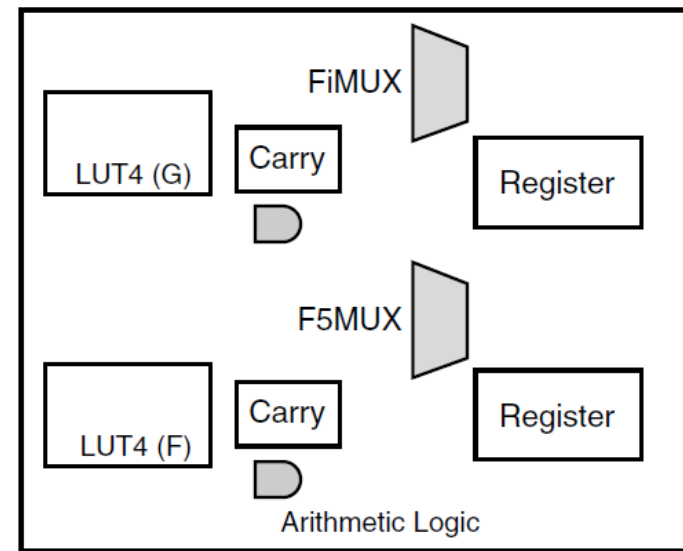
DS312-2_31_021205

Spartan 3E: CLBs

- La combinación de una LUT + Elemento de memoria se llama "Logic Cell"



SLICEM



SLICEL

Distributed RAM and Shift Registers

Cada LUT se puede usar como una 16*1 RAM. Si asumimos 4 slices por CLB, las distintas configuraciones de RAM son:

- Single-port 16 × 8 bit RAM
- Single-port 32 × 4 bit RAM
- Single-port 64 × 2 bit RAM
- Single-port 128 × 1 bit RAM
- Dual-port 16 × 4 bit RAM
- Dual-port 32 × 2 bit RAM
- Dual-port 64 × 1 bit RAM

Además cada LUT se puede usar como un shift register de 16 bit.



Xilinx

Otros recursos

Embedded multipliers, adders and MAC

- Algunas funciones como las multiplicaciones son muy lentas si se implementan mediante la conexión de un gran número de bloques lógicos. Por eso se incorporan bloques multiplicadores hardwired. Estos bloques se encuentran muy cerca de los bloques de RAM embebidos.

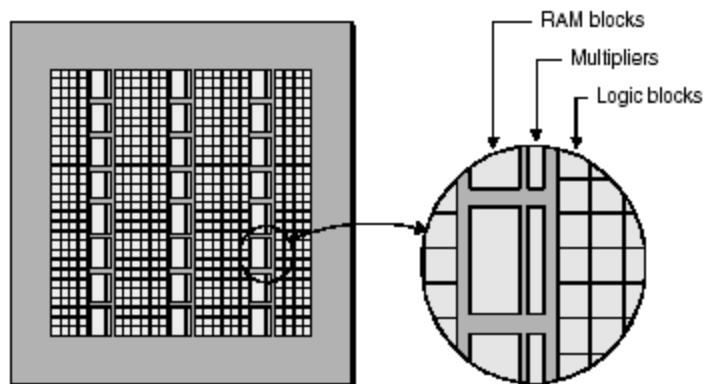


Figure 4-11. Bird's-eye view of chip with columns of embedded multipliers and RAM blocks.

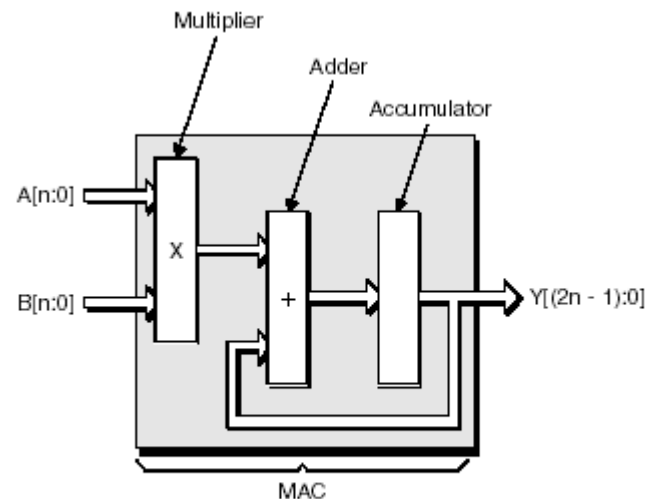
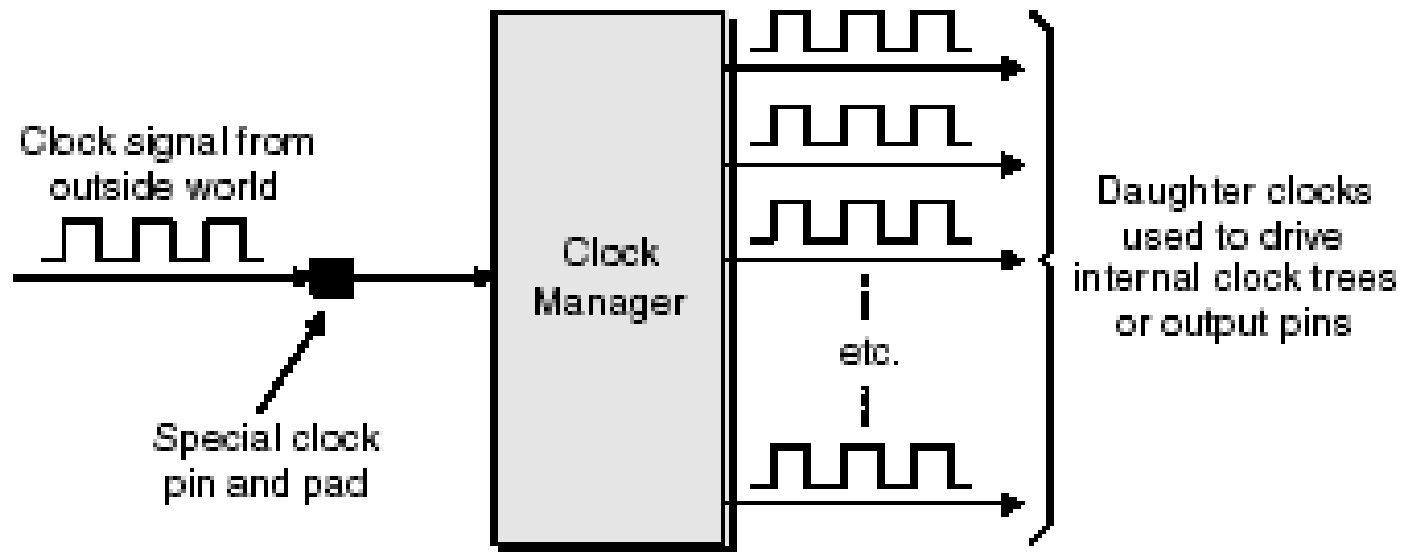


Figure 4-12. The functions forming a MAC.

Digital Clock Managers (DCM)

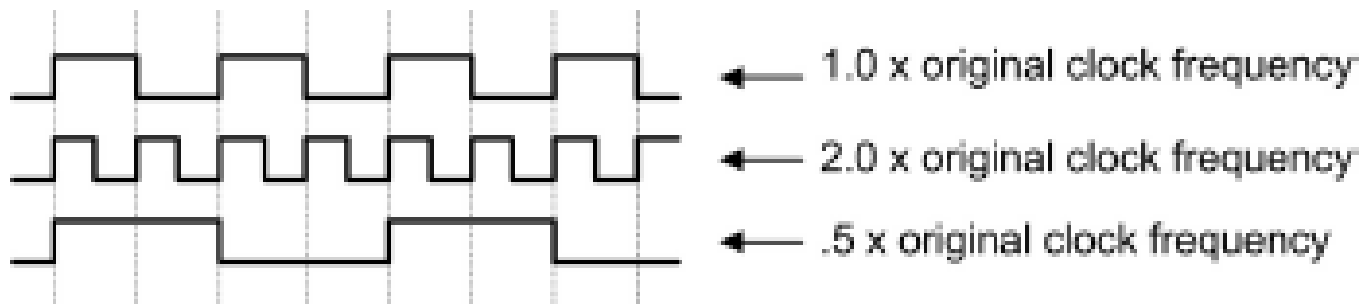
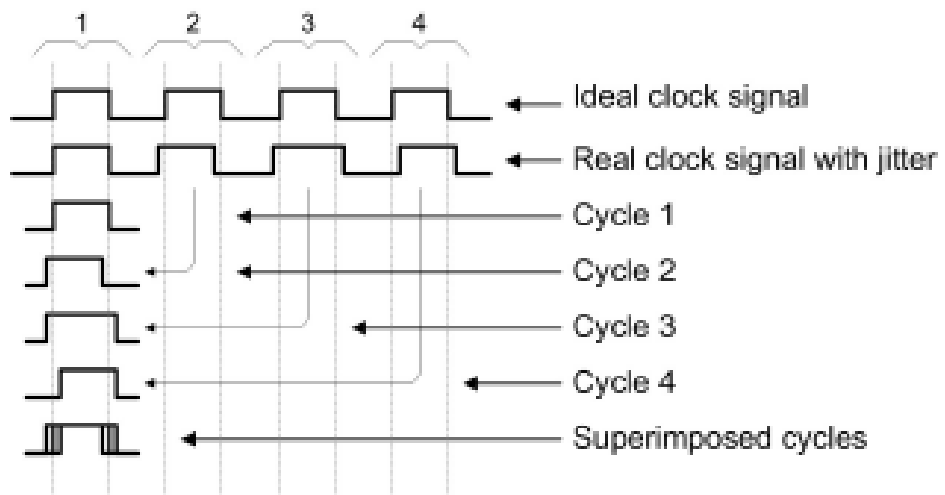
El Digital Clock Manager se usa para generar un número determinado



Digital Clock Manager (DCM)

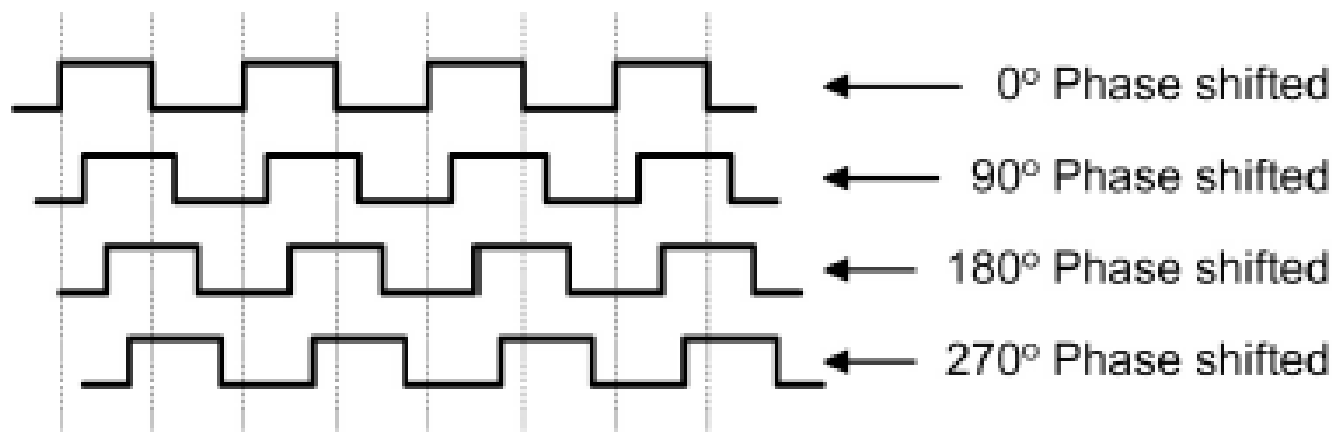
Se usa para:

- Remover el jitter



Clock Manager (DCM)

- Phase shifting: algunos diseños requieren clocks que estén corridos en fase unos con respecto a otros.





Spartan 3E

Spartan 3E

- Fabricado en proceso de 90 nm.
- Capacidades entre 50K y 50M de puertas equivalentes (XC3S50, XC3S200, XC3S400, XC3S1000, XC3S1500 y XC3S4000)
- 1.28Mbits de BlockRAM
- Rango de E/S: desde 124 a 784 pines para cada dispositivo
- Gestión digital del reloj (DCM)
- Multiplicadores de 18x18bits
- Soporte de núcleos procesadores como soft IPs (Xilinx 32-bit MicroBlaze y 8-bit PicoBlaze)

Spartan 3E

- ◆ Frecuencia máxima de reloj de 326 MHz
- ◆ Tres tensiones de alimentación: 1.2V para el core, 1.2V a 3.3 V para E/S, y 2.5 V para las funciones especiales
- ◆ Hasta 376 E/S a 622Mb/s, soporte de E/S (LVDS, DCI, DDR)

- ◆ $CLBs\ total < Rows * Columns$
- ◆ $Slices = CLB * 4$
- ◆ $LUT = Flip-Flop = Slices * 2$
- ◆ $RAM16 = SRL16 = Slices$
- ◆ $Eq\ Logic\ Cell = \sim Slices * 2,25$
- ◆ Cada Slice además de LUTs + Flip-Flops tiene Multiplicadores, Lógica de Carry y compuertas aritméticas

Device	CLB Rows	CLB Columns	CLB Total ⁽¹⁾	Slices	LUTs / Flip-Flops	Equivalent Logic Cells	RAM16 / SRL16	Distributed RAM Bits
XC3S100E	22	16	240	960	1,920	2,160	960	15,360
XC3S250E	34	26	612	2,448	4,896	5,508	2,448	39,168
XC3S500E	46	34	1,164	4,656	9,312	10,476	4,656	74,496
XC3S1200E	60	46	2,168	8,672	17,344	19,512	8,672	138,752
XC3S1600E	76	58	3,688	14,752	29,504	33,192	14,752	236,032

Device	System Gates	Equivalent Logic Cells	CLB Array (One CLB = Four Slices)				Distributed RAM bits ⁽¹⁾	Block RAM bits ⁽¹⁾	Dedicated Multipliers	DCMs	Maximum User I/O	Maximum Differential I/O Pairs
			Rows	Columns	Total CLBs	Total Slices						
XC3S100E	100K	2,160	22	16	240	960	15K	72K	4	2	108	40
XC3S250E	250K	5,508	34	26	612	2,448	38K	216K	12	4	172	68
XC3S500E	500K	10,476	46	34	1,164	4,656	73K	360K	20	4	232	92
XC3S1200E	1200K	19,512	60	46	2,168	8,672	136K	504K	28	8	304	124
XC3S1600E	1600K	33,192	76	58	3,688	14,752	231K	648K	36	8	376	156



Spartan 6

Spartan 6: CLBs

- Cada CLB tiene 2 Slices
- Hay 3 tipos de Slices
 - SLICEM
 - SLICEL
 - SLICEX
- Cada Slice tiene 4 LUTs, 8 Flip-Flops y otros elementos.

Spartan 6: CLB_s - SLICEM

- 25% de los Slices son de este tipo.
- Cada una de las 4 LUT_s se puede configurar como,
 - 6 entradas – 1 salida
 - 5 entradas – 2 salidas
 - 64x1 o 32x2 RAM
 - 32 bit o 2x 16 bits Shift Register

Spartan 6: CLBs - SLICEL

- 25% de los Slices son de este tipo.
- Todo lo de la SLICEM menos las funciones de Memoria / Shift

Spartan 6: CLBs - SLICEX

- 50% de los Slices son de este tipo.
- Todo lo de la SLICEL menos las funciones de Carry

Spartan 6: Otros recursos

- Memory Controller Block
 - Controlador de DDR, DDR2, DDR3 – 800 Mb/s
- DSP48A1 Slice
 - Multiplicador 18*18 bits @390 MHz
 - Acumulador 48 bits @390 MHz



Spartan 6

Device	Logic Cells ⁽¹⁾	Configurable Logic Blocks (CLBs)			DSP48A1 Slices ⁽³⁾	Block RAM Blocks		CMTs ⁽⁵⁾	Memory Controller Blocks (Max) ⁽⁶⁾	Endpoint Blocks for PCI Express	Maximum GTP Transceivers	Total I/O Banks	Max User I/O
		Slices ⁽²⁾	Flip-Flops	Max Distributed RAM (Kb)		18 Kb ⁽⁴⁾	Max (Kb)						
XC6SLX4	3,840	600	4,800	75	8	12	216	2	0	0	0	4	132
XC6SLX9	9,152	1,430	11,440	90	16	32	576	2	2	0	0	4	200
XC6SLX16	14,579	2,278	18,224	136	32	32	576	2	2	0	0	4	232
XC6SLX25	24,051	3,758	30,064	229	38	52	936	2	2	0	0	4	266
XC6SLX45	43,661	6,822	54,576	401	58	116	2,088	4	2	0	0	4	358
XC6SLX75	74,637	11,662	93,296	692	132	172	3,096	6	4	0	0	6	408
XC6SLX100	101,261	15,822	126,576	976	180	268	4,824	6	4	0	0	6	480
XC6SLX150	147,443	23,038	184,304	1,355	180	268	4,824	6	4	0	0	6	576
XC6SLX25T	24,051	3,758	30,064	229	38	52	936	2	2	1	2	4	250
XC6SLX45T	43,661	6,822	54,576	401	58	116	2,088	4	2	1	4	4	296
XC6SLX75T	74,637	11,662	93,296	692	132	172	3,096	6	4	1	8	6	348
XC6SLX100T	101,261	15,822	126,576	976	180	268	4,824	6	4	1	8	6	498
XC6SLX150T	147,443	23,038	184,304	1,355	180	268	4,824	6	4	1	8	6	540



Links

www.xilinx.com

