

UNIVERSIDAD TÉCNICA FEDERICO SANTA MARÍA

DEPARTAMENTO DE ELECTRÓNICA

VALPARAÍSO-CHILE



**SISTEMA DE ADQUISICIÓN DE DATOS PARA
DETECTORES DE MUONES**

JAIRO ESTEBAN GONZÁLEZ CABEZAS

**MEMORIA DE TITULACIÓN PARA OPTAR AL TÍTULO DE INGENIERO
CIVIL ELECTRÓNICO**

**PROFESOR GUÍA
DR. GONZALO CARVAJAL**

**PROFESOR CO-REFERENTE
DR. HAYK HAKOBYAN**

DICIEMBRE, 2020

AGRADECIMIENTOS

MUCHAS GRACIAS JEJ

RESUMEN

resumen jdjd

Palabras claves: Procesamiento analógico de señales, Muones.

ABSTRACT

abstract

Keywords: MPPC, Scintillators, Analog signal processing, Muons.

ÍNDICE DE FIGURAS

2.1. Diagrama de bloques del sistema de adquisición de datos para Lab-PET II [1]	7
2.2. Diagrama de bloques del sistema de adquisición de datos para Detector PET 4D [2]	8
2.3. Diagrama de la interfaz de lectura para detectores de muones [3]. Los muones se representan con el símbolo μ . Existen 3 capas de detectores, por lo tanto se observan 3 bloques que incluyen retardos, selección y captura de los pulsos. La información capturada formará parte de la señal de disparo del primer nivel (Lever 1 Trigger).	9
2.4. Diagrama del sistema de disparo y adquisición de datos en el experimento ATLAS. [4]	10
2.5. Diagrama de la tarjeta de lectura ROBIN en ATLAS [5].	10
2.6. Diagrama de bloques de la FPGA en ROBIN [5].	11
3.1. Diagrama de bloques del sistema. En azul se presentan las etapas previas al proyecto que ya se encuentran desarrolladas y sobre las cuales no se tiene control. En verde se ilustran las etapas pendientes y que pueden ser desarrolladas en este proyecto. El disparo corresponde a la señal digital que indica si la partícula detectada es un muón y el ASD es un acondicionador de señal que genera pulsos digitales a partir de los pulsos analógicos captados.	13
3.2. Diagrama de conexiones utilizando un digitalizador CAEN DT7540 y un solo detector de muones. La señal de disparo se encuentra disponible en formato LVDS y TTL.	17

- 3.3. Diagrama de bloques del software, utilizando un digitalizador CAEN DT7540. El módulo de control se encuentra implementado y disponible, basado en librerías del fabricante. Las entradas y salidas de estos bloques son arreglos de datos relacionando la señal con su información. Para el manejo de estos datos se utiliza el framework ROOT [?]. El bloque de formateo ajusta la estructura de datos original para facilitar el procesamiento. El bloque de procesamiento lee los datos determinando el ancho de ellos y asociándolo al canal correspondiente. El bloque de análisis se encarga de estimar la coordenada y eventualmente la energía asociada a cada evento. 18
- 3.4. Diagrama de bloques utilizando microcontroladores como alternativa de solución con un solo detector. Dado que el número de puertos es bajo, puede ser necesario utilizar dos microcontroladores por cada detector. Además, se hace necesario un microcontrolador adicional para captar y relacionar los eventos de las etapas anteriores, unificándolos en un solo evento. 21
- 3.5. Representación en diagramas de bloques de los elementos internos de uno de los microcontroladores iniciales. Se encarga de captar la mitad de los pulsos originados por un detector. El bloque ADC muestrea los pulsos en el tiempo, almacenándolos en una cola de datos FIFO. Un controlador de esta cola determina el avance o descarte de datos en función de las señales de disparo captadas. El bloque sincronizador apoya la operación de dos microcontroladores simultáneos, asegurándose que ambos capten los mismos eventos. El estructurador de datos da forma a la información, asociando duración de pulso a cada uno de los canales captados, para luego enviarlo a la siguiente etapa mediante comunicación serial. 21
- 3.6. Representación en diagramas de bloques de los elementos internos del microcontrolador final. Se encarga de unificar eventos de dos microcontroladores distintos, incluso pudiendo escalarse a unificar eventos procedentes de más detectores. Aquí existe un segundo bloque estructurador, encargado de unificar, entregando una estructura de igual notación pero mayor tamaño. El bloque de análisis de coordenadas permite la estimación de la coordenada por la cual ha pasado la partícula y eventualmente la energía asociada, para luego enviar esta información a una etapa siguiente de análisis profundo mediante comunicación serial. 22

-
- 3.7. Diagrama de bloques utilizando una CPLD como alternativa de solución. 24
- 3.8. Diagrama de bloques de la lógica interna descrita para la CPLD. Similar a la estructura interna propuesta para los microcontroladores iniciales de la figura 3.5. Aquí no existe sincronización explícita con una segunda CPLD ya que solo se utiliza una por detector. El estructurador de datos cumple la misma función de asociar duración de pulso a cada canal medido del evento. Las etapas de análisis no se realizan y se delegan a una etapa posterior. 24
- 3.9. Representación del software presente en un computador de apoyo. Su estructura y funcionamiento cumple la misma idea de lo planteado para la primera alternativa de solución, como ilustra la figura 3.3. 25
- 3.10. Diagrama de bloques utilizando una FPGA como alternativa de solución. Se indica una salida serial para transmitir los resultados del análisis básico a algún procesador o memoria de alguna etapa posterior. La señal de sincronización, inspirada en la alternativa 3.1.2 tiene como objetivo sincronizar la recolección y procesamiento de eventos, para que estos sean consistentes entre detectores. 28
- 3.11. Representación de la lógica interna de la FPGA. Se agrega una cola de datos para las señales de disparo y una memoria de almacenamiento temporal para los eventos ya estructurados. Ambas implementaciones permiten tener mejor control del flujo de datos, evitando pérdidas y asegurando sincronía a pesar de que la lectura de la información sea eventualmente más lenta que la captura de pulsos. Los bloques controlador, estructurador y análisis cumplen las mismas funciones mencionadas en alternativas anteriores: aceptar o descartar pulsos, cuantificar anchos de pulso a los canales asociados y determinar coordenada del cruce de un muón respectivamente. 28
- 4.1. Placa de desarrollo y módulo FPGA a utilizar. A la izquierda se ilustra la placa de desarrollo Trenz TR0703 [?] y a su derecha se ilustra el módulo que va montado en ella: Trenz TR0712 [?] que contiene una FPGA Artix 7 [?]. 40

-
- 4.2. Esquema de los canales provenientes de un detector Mini sTGC. Posee 8 tiras adyacentes de 15cm de largo por 1cm de ancho para cada eje coordinado. Cada tira emitirá un pulso analógico si una partícula cargada pasa través de ella. Se emitirán también pulsos de menor amplitud para el caso en que la partícula pase por una tira adyacente del mismo eje coordinado dentro de un radio específico. Este detector se posiciona perpendicularmente respecto a la fuente de radiación y en paralelo a (por debajo o por sobre) el sistema de disparo que indicará si la partícula captada corresponde o no a un muón. 40
- 4.3. Placa ASD [?] (Amplificator Shaper Discriminator), encargada de captar los 16 pulsos provenientes de un detector y entregar pulsos digitales asociados a ellos en su salida. El detector se conecta en sus entradas DIP ubicadas en su extremo inferior, mientras que las señales LVDS de salida se ubican en el conector de 40 puertos para cable plano en su extremo superior. 40
- 4.4. Diagrama de bloques utilizando una FPGA como alternativa de solución. Se indica una salida serial para transmitir los resultados del análisis básico a algún procesador o memoria de alguna etapa posterior. La señal de sincronización “Sync” tiene como objetivo sincronizar la recolección y procesamiento de eventos, para que estos sean consistentes entre detectores. 41
- 4.5. Representación de la lógica interna de la FPGA. Se incluye una cola de datos para las señales de disparo, para los pulsos digitales provenientes de la ASD y una memoria de almacenamiento temporal para los eventos ya estructurados. Los bloques controlador, estructurador y análisis cumplen las funciones de aceptar o descartar pulsos, cuantificar anchos de pulso a los canales asociados y determinar coordenada del cruce de un muón respectivamente. 41

ÍNDICE DE TABLAS

4.1. Porcentaje de relevancia para cada criterio.	32
4.2. Tabla de puntajes para criterios de evaluación.	33
4.3. Comparación entre evaluaciones de cada alternativa propuesta.	39

CONTENIDO

AGRADECIMIENTOS	I
RESUMEN	III
ABSTRACT	IV
ÍNDICE DE FIGURAS	V
ÍNDICE DE TABLAS	IX
1. INTRODUCCIÓN	1
1.1. Contextualización	1
1.2. Objetivos del proyecto	1
1.3. Trabajo a Desarrollar	2
1.4. Evaluaciones a Realizar	2
1.5. Resultados Esperados	3
2. ESTADO DEL ARTE	4
2.1. Estado del Arte	4
2.2. Estructura esencial y arquitectura propuesta	4
2.3. Sistemas para la Adquisición de Datos en Física de Partículas	6
2.3.1. LabPet II	6
2.3.2. PET 4D	8
2.3.3. ATLAS	9
2.4. Conclusiones	12
2.5. Arquitectura propuesta para el proyecto	12
2.5.1. Disposición del detector	12
3. ALTERNATIVAS DE SOLUCIÓN	13
3.1. Alternativas de Solución	14

3.1.1. Digitizer	17
3.1.2. Microcontrolador	20
3.1.3. CPLD	24
3.1.4. FPGA	26
3.2. Conclusiones	30
4. SELECCIÓN DE ALTERNATIVA	31
4.1. Criterios de Selección	31
4.2. Evaluación de Alternativas	36
4.2.1. Digitizer	36
4.2.2. Microcontrolador	36
4.2.3. CPLD	38
4.2.4. FPGA	38
4.3. Alternativa Seleccionada	39
4.4. Conclusión	42
REFERENCIAS	43

INTRODUCCIÓN

1.1. Contextualización

El proyecto “Sistema de adquisición de datos para detectores de muones” nace como un requerimiento del Centro Científico Tecnológico de Valparaíso (CCTVal) para aplicaciones de física de partículas, en el marco del proyecto “sTGC Minería”.

Uno de los objetivos principales de “sTGC Minería” es realizar tomografías muónicas de terreno minero mediante detectores de partículas provenientes de radiación cósmica, idea similar a la que se utiliza para encontrar criptas y cavernas en pirámides egipcias. La detección de estos muones implica una serie de etapas y detectores desarrollados con tecnologías que se utilizan en experimentos tales como ATLAS, en CERN. Particularmente en “sTGC Minería”, se requiere un sistema que sea capaz de captar las señales generadas por los detectores y que determine de manera fiable y precisa aquellas zonas del detector por las cuales ha pasado un muón.

El proyecto “Sistema de adquisición de datos para detectores de muones” cumplirá con las funciones de adquirir, discriminar y procesar la información captada desde el detector, para así contribuir a la tomografía muónica del terreno.

1.2. Objetivos del proyecto

El presente proyecto tiene como objetivo principal detectar la posición del paso de muones en un detector de configuración matricial, indicando el o los cuadrantes que han sido excitados por el paso de las partículas de manera fiable y eficiente, logrando captar gran cantidad de señales de manera íntegra en el tiempo apropiado para ello.

Es requisito del proyecto que este sistema sea concebido como una herramienta adaptada para operar con detectores de mayor tamaño o con arreglos de detectores individuales, permitiendo el análisis de zonas de mayor área o el estudio de trayec-

torias de partículas con detectores superpuestos. Esto implica que el sistema debe ser de naturaleza modular y expandible, sobre todo en la cantidad de señales que es capaz de procesar.

Como objetivos secundarios, se espera que este proyecto sea una herramienta replicable y esté disponible para ser utilizado en nuevos proyectos y experimentos del centro de investigación. Se espera también que sea un aporte al conocimiento sobre la implementación de sistemas electrónicos para la detección y análisis de partículas utilizando estas tecnologías, ya que será uno de los primeros en ser desarrollados y probados por el centro.

1.3. Trabajo a Desarrollar

Como primeras labores, será necesario aprender sobre la tecnología y el funcionamiento del detector para así asegurar que los datos están siendo tratados de manera adecuada. Esto implica conocer su resolución, la naturaleza de las señales y las restricciones de tiempo propias del sistema.

Posteriormente, se procederá a investigar sobre técnicas para la captación y procesamiento de estas señales, definiendo así las alternativas disponibles para realizar el proyecto. Es sabido que las tomografías por rayos cósmicos son tecnología existente, y se cuenta también con la existencia de aplicaciones que se han desarrollado en laboratorios de física de partículas europeos, como el CERN. Estas últimas tienen como preferencia la utilización de FPGA para el desarrollo de este tipo de sistemas.

Una vez que se tengan claras la herramientas y requisitos, se definirá y planificará en detalle la solución a implementar de acuerdo a los objetivos del proyecto. Se estima que la implementación se llevará a cabo en una FPGA, lo que implicará definir los módulos que compondrán cada etapa del sistema antes de implementarlo como tal. En principio, estas etapas corresponderán a las de discriminación, procesamiento y análisis, como se ilustra en la figura 3.1.

Finalmente, se realizarán pruebas de manera incremental con cada una de las etapas a desarrollar. Estas pruebas se podrán realizar con partículas intencionalmente dirigidas hacia la superficie del detector y posteriormente con rayos cósmicos, para así comprobar y observar el correcto funcionamiento del sistema.

1.4. Evaluaciones a Realizar

En primera instancia, se evaluará la capacidad del sistema de adquirir señales provenientes del detector, con apoyo de partículas dirigidas a él mediante fuentes radioactivas. Luego, se podrá probar que las señales detectadas correspondan solo

a muones, utilizando como referencia la señal de disparo existente para dicho fin, comprobando que no hayan falsos positivos y que no se pierdan señales que debieron ser consideradas por el sistema. Una vez que se tenga certeza del funcionamiento de la adquisición y discriminación de señales, se probará que el sistema sea capaz de identificar la posición de partículas por cuadrantes específicos del detector, también con apoyo de fuentes radioactivas. Finalmente, se pondrá a prueba la capacidad del sistema para entregar información completa sobre el paso de partículas en la superficie del detector.

1.5. Resultados Esperados

Se espera que este sistema sea capaz de generar información suficiente para representar la ubicación del paso de las partículas en la superficie del detector según la resolución de este.

El sistema deberá ser capaz de captar cantidades pares arbitrarias de canales, discriminando partículas mediante la utilización de las señales de disparo disponibles.

La información generada pasará a etapas siguientes de análisis detallado o de representación gráfica, por lo que se espera que el sistema sea capaz de entregar información pertinentemente ordenada, procesada y seleccionada para dichos fines.

ESTADO DEL ARTE

2.1. Estado del Arte

En física de alta energía, los detectores de partículas cumplen un rol fundamental. A través de ellos se puede observar y medir la naturaleza de diferentes partículas fundamentales. Para que esto sea posible, es necesario implementar sistemas de adquisición de datos (DAQ, por su sigla en inglés), capaces de tomar la información captada por los detectores, haciéndola procesable y comprensible.

El sistema a desarrollar en este proyecto de titulación está pensado para acompañar a detectores de muones provenientes de rayos cósmicos, basados en tecnología desarrollada en CERN para el estudio de física de partículas. Este sistema será el encargado de filtrar las señales emitidas por el detector y entregar información sobre el paso de muones en él.

Previo al desarrollo y diseño de este sistema, es pertinente conocer el estado del arte de sistemas de adquisición de datos para física de partículas, especialmente los utilizados en CERN, para así contrastar y rescatar las diferentes estrategias y tecnologías empleadas actualmente en esta área del conocimiento.

En las siguientes páginas se mencionan distintos sistemas relacionados a esta temática, destacando ideas sobre el esquema general de adquisición de datos, tecnologías que se utilizan actualmente para construirlos y métodos para adquirir y procesar las señales captadas.

2.2. Estructura esencial y arquitectura propuesta

¿Cuáles son las etapas esenciales que un DAQ debe poseer? En esencia se requiere de una primera etapa de interfaz de lectura directamente de los detectores (Readout), las cuales suelen poseer amplificadores, modeladores de pulsos, memorias y digitalizadores. Una segunda etapa suele consistir en el preprocesamiento de las señales, extrayendo la información básica y formando estructuras de datos pertinentes. Finalmente, está la etapa de procesamiento fuera del detector, donde se realiza

el análisis e interpretación de los datos.

En este proyecto de titulación, la primera etapa la lleva a cabo la tarjeta acondicionadora ASD (Amplifier Shaper Discriminator), diseñada para detectores del proyecto ATLAS. Las etapas restantes serán diseñadas pensando en la aplicación específica de este proyecto.

2.3. Sistemas para la Adquisición de Datos en Física de Partículas

2.3.1. LabPet II

Como referencia para el diseño del sistema de adquisición, se han investigado detectores como los descritos en [6] y [7], enfocados a detección de partículas en diferentes rubros y condiciones.

Dentro de la variedad de detectores estudiados, el LabPet II de Larissa Njeimana [1] presenta una estructura clara e interesante. Este detector posee un DAQ distribuido en tres FPGAs, contando con etapas para recolectar, procesar y transmitir la información obtenida. Una primera etapa consiste en registrar el tiempo, la energía y la posición de las partículas sensadas; una segunda etapa ordena cronológicamente los eventos capturados y una tercera etapa que agrupa eventos coincidentes, calculando además la tasa de eventos aleatorios ocurridos. La figura 2.1 ilustra este sistema.

Si bien dicho detector está diseñado para otro tipo de partículas (positrones), la naturaleza de las señales es muy similar, y por lo tanto la lógica para su adquisición y procesamiento es comparable. Aún así, la cantidad de señales que es capaz de manejar dicho dispositivo ronda las 64 señales por módulo, a tasas cercanas a los 2 millones de eventos por segundo, las que comparativamente sobrepasarían las necesidades del sistema a desarrollar en este proyecto de titulación. Por ejemplo, los rayos cósmicos cruzan el planeta tierra a aproximadamente 1 rayo cósmico por minuto en un área de un centímetro cuadrado, muy por debajo de lo que se espera en el LabPET II.

Del sistema de adquisición para el detector anteriormente mencionado, se destaca la utilización de multiplexores, serializadores/deserializadores y memorias de almacenamiento temporal (buffer). Dada la naturaleza y cantidad de eventos, se hace necesario serializar la información, ya que de otro modo sería necesario construir dispositivos con muchos puertos de entrada o incluir varios del mismo tipo. Además, debido a la frecuencia de aparición de eventos, se hace obligatoria la existencia de buffers para el almacenamiento de la información, para así procesarlos y transmitirlos a etapas siguientes a tasas menores. Es destacable también la utilización de métodos para ordenar cronológicamente los eventos y la utilización del método TOT (Time-over-threshold) para el cálculo de energía y datos temporales de pulsos analógicos.

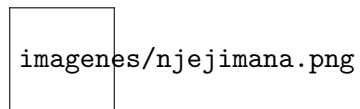
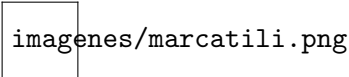


Figura 2.1: Diagrama de bloques del sistema de adquisición de datos para LabPET II [1]

2.3.2. PET 4D

Otro sistema de referencia es el DAQ para un detector PET 4D [2], similar al LabPET II. Este dispositivo permite capturar gran cantidad de señales provenientes de arreglos matriciales de fotomultiplicadores. Se caracteriza principalmente por poseer una tarjeta madre central en la cual es posible conectar hasta 18 tarjetas de adquisición. Cada una de estas últimas cuenta con 8 o hasta 32 canales para la adquisición de pulsos provenientes del detector, encargándose de capturar, procesar y enviar información a la placa madre. Las señales son capturadas por ASICs (Application Specific Integrated Circuits), muestreadas por conversores análogo-digitales, procesadas por una FPGA y controladas por otra FPGA (etiquetada como la placa madre). El procesamiento se encarga de calcular energía y datos temporales, mientras que el control final relaciona los eventos que hayan sido temporalmente coincidentes y calcula el tiempo de vuelo de las partículas con apoyo de un conversor de tiempo a digital (TDC).

Este sistema destaca por su modularidad, la cual permite escalamiento. En contraste con LabPET II, se sustituye la serialización de datos con la presencia de varias placas adquisidoras de datos, preprocesando la información antes de llegar a la FPGA principal. Cabe destacar que esta arquitectura está relacionada con la necesidad de encontrar múltiples eventos simultáneos en distintas ubicaciones físicas, requerimiento que no está presente en el sistema que se planea diseñar para este proyecto de titulación. La figura 2.2 ilustra la arquitectura de este sistema.



imagenes/marcatili.png

Figura 2.2: Diagrama de bloques del sistema de adquisición de datos para Detector PET 4D [2]

2.3.3. ATLAS

Finalmente, la referencia más importante corresponde a la del experimento ATLAS, donde se utiliza la misma tecnología de detectores y la misma interfaz de adquisición (ASD) en una de sus etapas, como se mencionada en [3].

Este experimento intercepta grupos de partículas provenientes de haces de protones acelerados en el Gran Colisionador de Hadrones (LHC) en CERN. Estos grupos de partículas producen colisiones espaciadas en el tiempo en aproximadamente $25\mu s$ entre si, cada una produciendo cerca de 23 interacciones con el detector, que junto a otros factores implica cerca de 10^9 eventos cada segundo [5]. La magnitud, tasa de aparición y nivel de energía de estos eventos son las principales razones de la complejidad tecnológica de este detector.

Este detector posee dos etapas previas de selección de eventos, donde la primera etapa involucra detectores de muones y calorímetros, mientras que la segunda involucra algoritmos distribuidos en varios computadores. La figura 2.3 ilustra la interfaz para la captura de los pulsos generados por muones en los detectores (TGC).

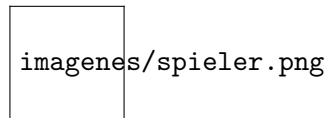


Figura 2.3: Diagrama de la interfaz de lectura para detectores de muones [3]. Los muones se representan con el símbolo μ . Existen 3 capas de detectores, por lo tanto se observan 3 bloques que incluyen retardos, selección y captura de los pulsos. La información capturada formará parte de la señal de disparo del primer nivel (Lever 1 Trigger).

Luego de generarse la primera señal de disparo, se da paso a la adquisición de datos en la tarjeta de lectura del detector (Readout System), enviando paralelamente información sobre regiones de interés a analizar, con el fin de llevar a cabo la segunda etapa de selección de eventos mediante el disparo de alto nivel (High-Level Trigger). Esta segunda señal de disparo utiliza software distribuido en cerca de 2000 computadores conectados a una red Ethernet y filtra eventos en función a muestras de datos pertenecientes a las regiones de interés calculadas por la etapa de disparo anterior, como se describe en [4]. Finalmente, los eventos seleccionados son transferidos y almacenados en los bancos de datos del centro de investigación. La figura 2.4 ilustra las etapas mencionadas.

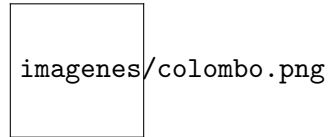


Figura 2.4: Diagrama del sistema de disparo y adquisición de datos en el experimento ATLAS. [4]

Entrando en detalle, según se indica en [5], el verdadero sistema de adquisición de datos para este experimento es el software distribuido en red, capaz de discriminar, procesar y transferir los eventos seleccionados a los bancos de datos. El sistema lectura (Readout System) en conjunto con el disparo de primer nivel solo serían un equivalente a una interfaz de captura muy sofisticada, más que las observadas en otros detectores, pero para el caso de este proyecto de titulación es comparable al sistema de adquisición que se desea diseñar.

El sistema de lectura consiste en una tarjeta llamada ROBIN, compuesta de buffers, chips de comunicación, memoria flash, procesador y una FPGA, como se ilustra en la figura 2.5

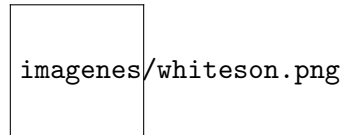


Figura 2.5: Diagrama de la tarjeta de lectura ROBIN en ATLAS [5].

La lógica descrita al interior de dicha FPGA se ilustra en la figura 2.6. Se observa que su labor es principalmente controlar los buffers de datos, traspasar los eventos captados hacia la siguiente etapa y eliminar los datos descartados por la señal de disparo de alto nivel.

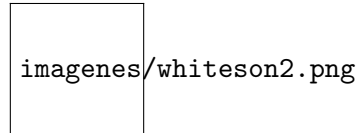


Figura 2.6: Diagrama de bloques de la FPGA en ROBIN [5].

Si bien este detector es comparativamente más complejo que los anteriores, presenta elementos comunes en su composición, sobretodo en la utilización de ASICs y FPGA para captura y control de los datos adquiridos. Se asemeja funcionalmente al PET 4D, en el sentido de implementar múltiples instancias de hardware equivalente, para así lograr manejar mayores cantidades de datos, brindando también mayor control e independencia en cada uno de ellos. El fuerte de este detector radica en su conectividad en red y sistemas distribuidos, necesarios para la gran cantidad de datos simultáneos que deben ser procesados.

2.4. Conclusiones

Habiendo comparado y estudiado diferentes estilos de detectores y sistemas de adquisición, es claro que la tendencia es la utilización de ASICs en etapas de primera lectura y de FPGAs en etapas de manejo de datos y preprocesamiento, principalmente debido a la magnitud temporal de las señales, a la alta necesidad de precisión en su sincronización, y a la gran cantidad de señales de entrada que deben ser atendidas.

Los elementos más utilizados y recomendados a implementar son los buffers de almacenamiento, principalmente para ajustar la tasa de transmisión de datos de la captura hacia las siguientes etapas de procesamiento, que suelen ser más lentas. En el sistema que se planea diseñar esto no sería un problema, ya que la tasa de eventos es muy baja en comparación a los detectores estudiados. Aún así, pueden ser útiles para el escalamiento de los detectores.

El concepto de serialización de datos estuvo principalmente presente en el detector LabPET II. Es pertinente considerarlo, sobretodo para el escalamiento del detector de muones. En caso de requerir cubrir un área mayor o con varias capas superpuestas de detectores, será necesario captar mayor cantidad de señales. Es allí donde se debe decidir si es recomendable comenzar con serialización de datos o con paralelismo de hardware. Además, dado que es necesario tener noción del tiempo de ocurrencia de los eventos, podría asociarse este dato a cada pulso, facilitando la implementación de serialización de datos. Esto no sería una desventaja, ya que no existe real necesidad de procesar datos de manera rápida y simultanea, reduciendo costos en hardware, pero aumentando esfuerzos de ingeniería.

Para el caso de preprocesamiento, selección, formateo y transmisión de datos puede se considerar agregar procesadores dedicados en conjunto con la FPGA principal, que si bien no fueron encontrados textualmente en los ejemplos indicados, sí pueden ser de utilidad, sobretodo dada la existencias de chips que incluyen FPGA en conjunto con procesadores, como los SoC (System on Chip) Zynq.

Finalmente, puede ser interesante incluir métodos de TDC para conversión de la señal digital generada por la placa acondicionadora ASD. La duración de esta señal tiene relación con la amplitud y la energía de los pulsos analógicos captados, lo que podría ser muestreado con una implementación similar a la indicada en [8].

2.5. Arquitectura propuesta para el proyecto

2.5.1. Disposición del detector

ALTERNATIVAS DE SOLUCIÓN

En el documento Estado del Arte para Proyecto de Titulación [?] se compararon tres sistemas diferentes para la implementación de adquisición de datos para física de partículas. En ellos destacan aspectos comunes de implementación: etapas de detección de eventos, memorias para almacenamiento temporal, procesamiento de los datos y la utilización de FPGA como herramienta principal para la implementación del hardware.

En el presente documento se detallan diferentes opciones basadas en los ejemplos mencionados y en los requerimientos del proyecto, con el objetivo de comparar sus características y escoger la alternativa más adecuada. Se compararan aquí aspectos como el costo, simplicidad, desempeño y disponibilidad de las herramientas y equipos necesarios para su implementación.

Se incluyen también los requisitos mínimos que deben cumplir las alternativas propuestas y el esquema básico que el proyecto tiene como objetivo para su funcionamiento.

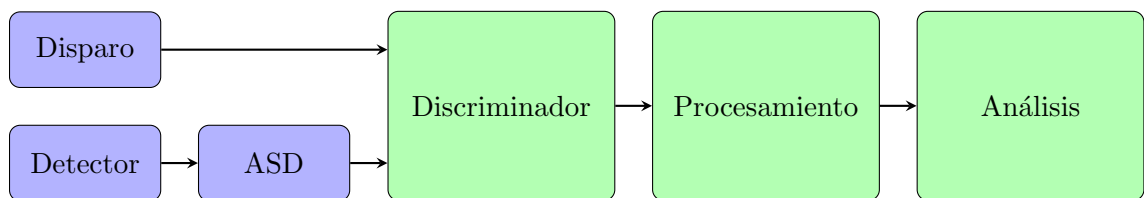


Figura 3.1: Diagrama de bloques del sistema. En azul se presentan las etapas previas al proyecto que ya se encuentran desarrolladas y sobre las cuales no se tiene control. En verde se ilustran las etapas pendientes y que pueden ser desarrolladas en este proyecto. El disparo corresponde a la señal digital que indica si la partícula detectada es un muón y el ASD es un acondicionador de señal que genera pulsos digitales a partir de los pulsos analógicos captados.

3.1. Alternativas de Solución

Esquema General

Tal como se ha planteado en informes anteriores, el esquema básico a implementar es el indicado en la figura 3.1. Se requieren al menos tres etapas esenciales: discriminar, procesar y analizar. Discriminar se refiere a distinguir entre aquellos eventos que corresponden un muón de aquellos que no, descartando estos últimos. Procesar implica utilizar los pulsos escogidos, formar una estructura que los relacione como un solo evento y posiblemente incluir información de ellos, como una marca temporal y la duración de los pulsos captados en dicho evento.

La etapa de análisis implica mayor complejidad y puede extenderse para abarcar distintos niveles. El análisis más básico implica leer un evento e inferir la región del detector que fue excitada por el paso del muón. Niveles siguientes implicarían estimar la energía del muón, incluir mayor precisión espacial, correlacionar con eventos anteriores o incluso trazar la trayectoria del paso de la partícula al superponer los datos de eventos originados en otros detectores.

Requisitos

Las alternativas aquí propuestas deberán cumplir con las especificaciones mínimas necesarias para captar los pulsos digitales provenientes del detector de muones. Estos requisitos son los siguientes:

- Se debe contar con al menos 32 pares de entradas bajo el estándar LVDS, con el fin de conectar al menos 2 tarjetas ASD (Amplificator Shaper Discriminator) utilizadas cada una como la interfaz de detectores de 16 canales.
- Es importante contar con un reloj presente o sintetizable de una frecuencia mayor a 100[MHz], lo más cercano a 1[GHz] posible, con el fin de captar la duración de los pulsos y el momento de aparición de un evento con la mayor precisión disponible.
- Se debe considerar que la señal de disparo que entrará al sistema estará desfasada cerca de 100[ns] respecto al paso real de los muones por el detector, siendo necesaria la implementación de delays para las señales capturadas o un sistema capaz de distinguir la ocurrencia de eventos y disparos en el tiempo.
- Se debe tener la capacidad de mantener señales sincronizadas, guardar información en memorias temporales y llevar cuenta del transcurso del tiempo entre eventos.
- Es requisito que la implementación de la alternativa permita escalamiento para agregar nuevos detectores adyacentes con el fin de aumentar el área de prueba, así como también sincronizarse con detectores paralelos para trazar trayectorias de las partículas captadas.

En cuanto a los requisitos de tiempo y reloj de operación anteriormente indicados, estos se deben esencialmente a que la duración de un pulso digital proveniente de un detector podría estar entre 1[ns] y 40[ns] [?]. Este ancho de pulso tiene correlación con la amplitud del pulso análogo original y el error en su medición implicará menor precisión en la estimación de esta variable.

Respecto a la tasa de aparición de pulsos consecutivos, es poco probable que ocurran eventos simultáneos o cercanos. Se espera que la tasa de muones por centímetro cuadrado sea de un muón por minuto, lo que en los 15[cm²] representados por una señal de detector implicaría cerca de 15 muones por minuto o $2,5 \times 10^{10}$ muones cada 100 [ns], lo que se traduce a una muy baja probabilidad de eventos simultáneos o incluso cercanos. De hecho, la tasa de detección de muones puede disminuir estando bajo tierra y se planea que la toma de una muongrafía conlleve un tiempo prolongado de exposición a rayos cósmicos. Esto conduce a la conclusión de que ignorar

posibles eventos simultáneos o adyacentes no tendrá implicancias significativas en los resultados de la muongrafía final.

Dicho lo anterior y planteadas las bases para el desarrollo de alternativas, se presentan a continuación 4 opciones para desarrollar el proyecto de titulación "Sistema de Adquisición de Datos para Detectores de Muones".

3.1.1. Digitizer

Como primera alternativa, se propone la utilización de Digitizers. Estos aparatos son equipos digitalizadores de múltiples canales que permiten guardar en un computador la información de los pulsos captados.

El laboratorio en el cual se desarrolla este proyecto cuenta con digitalizadores CAEN modelo DT5730 (8 canales, 500[MS/s] y 2Vpp de rango de entrada) y modelo DT5740 (32 canales, 62,5[MS/s] y 2Vpp de rango de entrada).

De los dos equipos considerados, es razonable utilizar el DT5740. Este es capaz de leer al menos 32 canales, suficiente para trabajar con dos detectores de 16 señales. Dada su baja tasa de muestreo, se dificulta la opción de cuantificar el ancho de los pulsos captados, por lo que solo sería fiable la detección posición de muones. Aún así, podría existir error en la sincronización del disparo respecto a los pulsos captados en máximo 17[ns] debido a la baja tasa de muestreo.

Adicionalmente a la utilización del equipo digitalizador, se hace necesaria la confección de una interfaz que adapte las señales de tipo LVDS provenientes del acondicionador de señales (ASD) hacia un voltaje legible por el digitizer, el cual podría ser en standard TTL 3.3[V] o CMOS. Tendrá que incluir también líneas o circuitos integrados de retardo para cada una de las señales captadas, del orden de 100[ns] para ser sincrónica con la señal de disparo. La salida de esta nueva tarjeta tendrá que conectarse al digitalizador con cable coaxial de 50[Ω], idealmente de conector LEMO a conector MCX, existentes en el laboratorio y exigido por el digitalizador. La interconexión de esta placa con el resto de los equipos se ilustra en la figura 3.2.

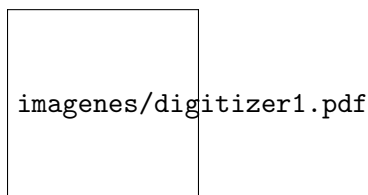


Figura 3.2: Diagrama de conexiones utilizando un digitalizador CAEN DT7540 y un solo detector de muones. La señal de disparo se encuentra disponible en formato LVDS y TTL.

Lo descrito anteriormente correspondería a la etapa de captura y discriminación. Para la etapa de procesamiento será necesaria la utilización de software programado en un computador para generar estructuras de datos con información pertinente para el análisis y luego para la implementación del análisis de los eventos captados. La estructura base para este software se ilustra en la figura 3.3

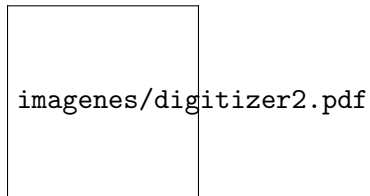


Figura 3.3: Diagrama de bloques del software, utilizando un digitalizador CAEN DT7540. El módulo de control se encuentra implementado y disponible, basado en librerías del fabricante. Las entradas y salidas de estos bloques son arreglos de datos relacionando la señal con su información. Para el manejo de estos datos se utiliza el framework ROOT [?]. El bloque de formateo ajusta la estructura de datos original para facilitar el procesamiento. El bloque de procesamiento lee los datos determinando el ancho de ellos y asociándolo al canal correspondiente. El bloque de análisis se encarga de estimar la coordenada y eventualmente la energía asociada a cada evento.

El sistema actualmente descrito es muy similar al procedimiento y configuración circuital utilizados para estudios previos a este proyecto. Se han realizado pruebas al detector en crudo con señales analógicas captadas por digitalizadores de pocos canales, procesando y analizando posteriormente los pulsos para comprobar calidad y factibilidad.

Atributos

- **Simplicidad:** Media. Requiere la fabricación de una PCB de interfaz y la integración de 3 aparatos distintos (Digitalizador, interfaz y computador).
- **Desempeño:** Bajo. Baja tasa de muestreo.
- **Disponibilidad:** Media. Se cuenta con un digitalizador, pero no está disponible una interfaz LVDS a TTL.
- **Economía:** Baja. El costo de digitalizadores adicionales podría superar los US\$1000.

Ventajas

- Planificación simplificada.
- Etapas claras.
- Adaptable en etapa de software.

Desventajas

- Baja tasa de muestreo.
- Alto costo.
- Poco práctico.
- Difícil escalamiento.
- Requiere fabricación de hardware adicional.

3.1.2. Microcontrolador

Una alternativa común en el rubro de la electrónica es el uso de microcontroladores. Destacan por su versatilidad pero no son aplicables a todos los casos. Para esta alternativa de solución se buscaron placas de desarrollo con microcontroladores con un número de entradas y frecuencia de reloj razonable, pero no fue posible encontrar uno que cumpliera con todo lo necesario.

En afán de utilizar un microcontrolador como alternativa comparativa, se plantea la posibilidad de utilizar múltiples unidades de manera paralela, logrando satisfacer el requisito de cantidad de señales.

Dado que se requiere trabajar con señales LVDS, se vuelve necesario incluir conversores LVDS-TTL en esta alternativa de solución. Para captarlas y medirlas sería necesaria la existencia de conversores análogo-digitales (ADC) para muestrear las señales. Si bien son originalmente de naturaleza digital, no es posible captarlas y muestrearlas con facilidad sin la utilización de ADCs.

Para trabajar con la señal de disparo desfasada, se pueden utilizar memorias incluidas en las placas de desarrollo para almacenar los pulsos en orden de llegada mientras se espera por una señal de disparo. En el momento de su llegada, es posible buscar en memoria los pulsos que hayan sido muestreados en un tiempo atrás equivalente al desfase del disparo y estructurar la información como un nuevo evento válido.

Dada la baja frecuencia de reloj que se encuentra comúnmente en las tarjetas de desarrollo de microcontroladores, se dificulta la operación y precisión del sistema. Si bien esto puede mejorar con la frecuencia de muestreo de los ADC, sigue siendo difícil y costoso acercarse a 1[GSPS].

Finalmente, las etapas de procesamiento se pueden ver facilitadas en esta alternativa. La implementación de ellas en un microcontrolador suele ser más intuitiva y óptima dada su naturaleza para trabajar operaciones matemáticas. Por otro lado, sincronizar los eventos y los datos entre microcontroladores adyacentes puede ser un desafío considerable. En las figuras 3.4, 3.5, y 3.6 se ilustra esta propuesta en base a un microcontrolador.

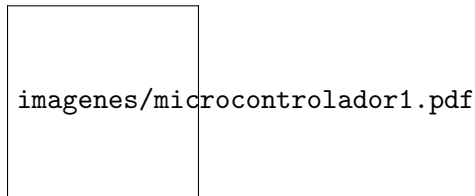


Figura 3.4: Diagrama de bloques utilizando microcontroladores como alternativa de solución con un solo detector. Dado que el numero de puertos es bajo, puede ser necesario utilizar dos microcontroladores por cada detector. Además, se hace necesario un microcontrolador adicional para captar y relacionar los eventos de las etapas anteriores, unificándolos en un solo evento.

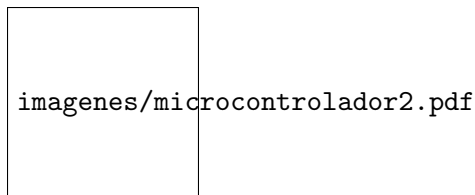


Figura 3.5: Representación en diagramas de bloques de los elementos internos de uno de los microcontroladores iniciales. Se encarga de captar la mitad de los pulsos originados por un detector. El bloque ADC muestrea los pulso en el tiempo, almacenándolos en una cola de datos FIFO. Un controlador de esta cola determina el avance o descarte de datos en función de las señales de disparo captadas. El bloque sincronizador apoya la operación de dos microcontroladores simultáneos, asegurándose que ambos capten los mismos eventos. El estructurador de datos da forma a la información, asociando duración de pulso a cada uno de los canales captados, para luego enviarlo a la siguiente etapa mediante comunicación serial.

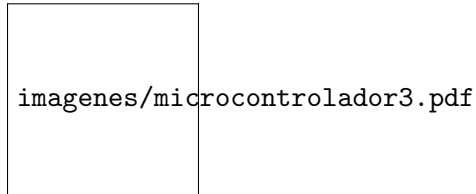


Figura 3.6: Representación en diagramas de bloques de los elementos internos del microcontrolador final. Se encarga de unificar eventos de dos microcontroladores distintos, incluso pudiendo escalarse a unificar eventos procedentes de más detectores. Aquí existe un segundo bloque estructurador, encargado de unificar, entregando una estructura de igual notación pero mayor tamaño. El bloque de análisis de coordenadas permite la estimación de la coordenada por la cual ha pasado la partícula y eventualmente la energía asociada, para luego enviar esta información a una etapa siguiente de análisis profundo mediante comunicación serial.

Atributos

- **Simplicidad:** Baja. Gran cantidad de dispositivos.
- **Desempeño:** Bajo. Bajas tasas de muestreo y operación.
- **Disponibilidad:** Baja. Todos los materiales tendrían que ser adquiridos.
- **Economía:** Baja, poco económico. Si bien las tarjetas de desarrollo pueden ser de bajo costo, se necesitan varias y se agregan componentes extra que aumentan el costo considerablemente.

Ventajas

- Escalable.
- Tecnologías muy conocidas.
- Facilita el análisis y operaciones matemáticas.

Desventajas

- Costoso.
- Bajo desempeño.
- Varias fuentes de error, dada su complejidad.
- Poca disponibilidad de los materiales y hardware necesario.

3.1.3. CPLD

Otra alternativa de solución consiste en describir módulos de hardware en una CPLD (Complex Programmable Logic Device). Estos dispositivos tienen la ventaja de ser de bajo costo, pero con la condición de contar con pocos recursos lógicos para su operación.

Contar con la posibilidad de describir el hardware en su interior facilita la implementación del sistema, logrando resultados mejor adaptados al problema real.

Una tarjeta de desarrollo para CPLD es la Lattice MACH X02 [?]. Esta tarjeta cuenta con cerca de 7000 LUTs (Look-up tables), cerca de 250kb de memoria RAM, relojes sintetizables de hasta 400MHz y particularmente 114 puertos LVDS, suficientes para conectar al menos dos detectores sin tarjetas intermedias con hardware adicional. Esto no quita que se requiera de una tarjeta o adaptador para conectar las señales del detector a la tarjeta de desarrollo.

Las grandes desventajas de esta tarjeta son sus escasos recursos disponibles y nulos periféricos. Si bien sus frecuencias de reloj son destacables, aún pueden ser mejores en otras alternativas.

La implementación propuesta para esta alternativa rescata elementos de alternativas anteriores, en especial para el tratamiento del desfase de la señal de disparo, rescatando eventos anteriormente guardados en memoria. Su mayor frecuencia de reloj permite el tratamiento de las señales con una precisión mayor y más razonable, teniendo errores de cerca de 2.5[ns] en el arribo de señales y en la medición de anchos de pulso. Las figuras 3.7, 3.8, 3.9 reflejan la solución propuesta.

Para la etapa de análisis se hace necesario el apoyo de un computador que tome los paquetes de eventos procesados por la CPLD y sea capaz de extraer la información de interés.

Figura 3.7: Diagrama de bloques utilizando una CPLD como alternativa de solución.

Figura 3.8: Diagrama de bloques de la lógica interna descrita para la CPLD. Similar a la estructura interna propuesta para los microcontroladores iniciales de la figura 3.5. Aquí no existe sincronización explícita con una segunda CPLD ya que solo se utiliza una por detector. El estructurador de datos cumple la misma función de asociar duración de pulso a cada canal medido del evento. Las etapas de análisis no se realizan y se delegan a una etapa posterior.

Figura 3.9: Representación del software presente en un computador de apoyo. Su estructura y funcionamiento cumple la misma idea de lo planteado para la primera alternativa de solución, como ilustra la figura 3.3.

En cuanto al escalamiento, sería factible utilizar una CPLD cada dos detectores. Aún así, se debería tener la precaución de optimizar el hardware a un nivel tal que los recursos sean suficientes para la implementación.

Atributos

- **Simplicidad:** Alta. Pocos dispositivos involucrados.
- **Desempeño:** Medio. Escasos recursos lógicos y periféricos.
- **Disponibilidad:** Alta. Se cuenta con una de estas tarjetas en el laboratorio.
- **Economía:** Alta. Una de estas tarjetas tiene un valor cercano a los US\$30.

Ventajas

- Muy económica.
- Alta frecuencia de reloj comparada con alternativas anteriores.
- Cuenta con puertos LVDS.
- Escalable.

Desventajas

- Pocos recursos lógicos disponibles.
- Escasa memoria para almacenar pulsos y eventos
- Pocos periféricos, prácticamente solo cuenta con comunicación serial.
- Se requiere confeccionar un adaptador para conectar el detector con la tarjeta de desarrollo.

3.1.4. FPGA

La alternativa más utilizada en el rubro es la FPGA. Esta ha sido la herramienta que se ha visto con mayor frecuencia en proyectos relativos a física de partículas y adquisición de datos [?].

En comparación a las CPLD, las FPGA cuentan con una cantidad significativa de recursos y periféricos. Incluyen además hardware dedicado para comunicación, serialización y almacenamiento de datos. Incluso suelen incluir CPLDs en las placas que las albergan. Una desventaja conocida corresponde a que se basan en memorias volátiles, por lo que el hardware descrito se debe reconfigurar cada vez que se enciende, y los datos importantes deben ser almacenados en memorias externas.

Para esta alternativa se propone el uso de la tarjeta de desarrollo Trenz TR0712 [?] montada en una placa TR0703 [?]. Esta tarjeta en su conjunto se basa en una FPGA Xilinx Artix 7 [?] de cerca de 16.000 celdas lógicas, incluyendo además chips de memoria RAM, reloj de 20[Mhz] con hasta 600[Mhz] sintetizables, comunicación Ethernet y por supuesto puertos LVDS suficientes para conectar al menos 2 detectores. Incluye coincidentemente una CPLD MACH X02 para fines de controlar el sistema de la FPGA.

Si bien esta tarjeta cuenta con puertos LVDS, será necesario confeccionar un adaptador para conectar las señales del detector hacia la placa Trenz.

En esta alternativa se rescatan los diseños de hardware mencionados con anterioridad, con la holgura de que existen recursos suficientes para implementar los bloques indicados. Incluso se evalúa incluir parte del análisis dentro de la FPGA y no destinarla a un computador en su totalidad.

La frecuencia de reloj que puede alcanzar esta tarjeta es mucho mayor que cualquiera de las anteriores, siendo entonces la que permite tener mayor precisión en términos de tiempo, sobretodo para determinar el tiempo de duración de los pulsos provenientes del detector.

La idea en esta alternativa de solución es guardar los datos en memoria temporal hasta la llegada de una señal de disparo. Un módulo que maneja la memoria será el encargado de tomar los pulsos correspondientes al disparo recibido y liberar la memoria de aquellos datos ya leídos u obsoletos, entregando la información útil a una siguiente etapa. Los pulsos aceptados serán entonces relacionados como parte de un mismo eventos y se estimará la duración de estos, generando y guardando así un arreglo de datos con identificador de pulso y duración. La última etapa se encargará de efectuar una operación capaz de determinar la posición del evento a partir de las duraciones medidas y los pulsos detectados, comunicando así un arreglo básico y preprocesado que incluya posición y magnitud aproximada.

Se espera que para lograr el escalamiento se incluya una señal para mantener la

lectura de eventos sincronizada entre distintas FPGA. Además, se deberá incluir un modulo de comunicación para entregar la información captada a una etapa posterior con un análisis más detallado, encargado de reunir todos los eventos de diferentes FPGAs.

Las figuras 4.4 4.5 ilustran las conexiones y bloques a implementar en esta alternativa de solución.

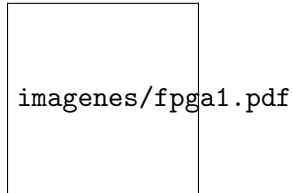


Figura 3.10: Diagrama de bloques utilizando una FPGA como alternativa de solución. Se indica una salida serial para transmitir los resultados del análisis básico a algún procesador o memoria de alguna etapa posterior. La señal de sincronización, inspirada en la alternativa 3.1.2 tiene como objetivo sincronizar la recolección y procesamiento de eventos, para que estos sean consistentes entre detectores.

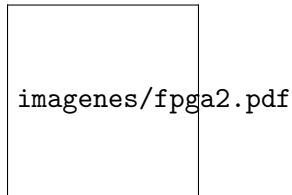


Figura 3.11: Representación de la lógica interna de la FPGA. Se agrega una cola de datos para las señales de disparo y una memoria de almacenamiento temporal para los eventos ya estructurados. Ambas implementaciones permiten tener mejor control del flujo de datos, evitando pérdidas y asegurando sincronía a pesar de que la lectura de la información sea eventualmente más lenta que la captura de pulsos. Los bloques controlador, estructurador y análisis cumplen las mismas funciones mencionadas en alternativas anteriores: aceptar o descartar pulsos, cuantificar anchos de pulso a los canales asociados y determinar coordenada del cruce de un muón respectivamente.

Atributos

- **Simplicidad:** Media. Gran cantidad del sistema concentrado en una sola placa, pero aumenta la dificultad en la descripción de hardware.
- **Desempeño:** Alto. Gran cantidad de recursos lógicos, de almacenamiento y de frecuencia de operación.
- **Disponibilidad:** Alta. Se cuenta con una en el laboratorio.
- **Economía:** Media. Una tarjeta de desarrollo de este estilo tiene un costo de aproximadamente US\$400.

Ventajas

- Gran cantidad del sistema concentrado en una sola placa.
- Escalable
- Cuenta con puertos LVDS
- Alta densidad de recursos lógicos
- Dispone de memoria suficiente para almacenar eventos
- Posee una alta frecuencia de reloj sintetizable, mejorando precisión temporal.
- Placa con muy buena documentación.

Desventajas

- Se requiere confeccionar un adaptador para conectar el detector con la tarjeta de desarrollo.
- Se complica el diseño y la implementación del hardware.

3.2. Conclusiones

Luego de estudiar cuatro alternativas de solución, es posible aseverar que una FPGA cuenta con la mayor capacidad para cumplir con los objetivos de este proyecto.

Si bien otras alternativas pueden tener ventajas en cuanto a precio, una FPGA simplifica algunas labores y da la holgura necesaria para implementar el sistema descrito.

Una quinta alternativa muy interesante es la utilización de una FPGA en conjunto con un procesador, como es el caso de las Zynq, mencionadas en informes anteriores. Estos dispositivos no fueron considerados ya que en el laboratorio no se encuentran disponibles tarjetas de desarrollo que cumplan con las especificaciones planteadas, particularmente con el número de puertos LVDS accesibles y necesarios para la confección del detector.

Otra alternativa descartada ha sido la aplicación de TDC (Time to Digital Converter) [8], que si bien permitiría mejorar la resolución temporal del sistema, implica un desafío ingenieril de recursos a una escala un tanto mayor.

Estas dos últimas propuestas quedan disponibles para ser implementadas en iteraciones posteriores, una vez que se tenga certeza del funcionamiento básico requerido que el actual proyecto plantea.

SELECCIÓN DE ALTERNATIVA

En el documento “Alternativas de Solución de Proyecto de Titulación” [?] se presentaron 4 posibles alternativas para la implementación de un sistema de adquisición de datos para detectores de muones. En cada una de ellas se proponen distintas tecnologías para llevar acabo el mismo fin: Digitizers, Microcontroladores, CPLDs y FPGAs. La figura 3.1 ilustra la estructura general del sistema de adquisición de datos.

En el actual documento se presenta el contraste entre las 4 alternativas discutidas con anterioridad, asignando puntuaciones a cada una de ellas en base a criterios clave asociados a las características y el diseño del sistema. Los criterios a evaluar son: simplicidad, desempeño, disponibilidad, economía, flexibilidad y documentación. La comparativa que se desarrolla aquí tiene como objetivo definir cuál de las 4 opciones es la mejor alternativa a desarrollar, cumpliendo además con los requisitos principales del proyecto.

La alternativa seleccionada se presenta y detalla a continuación de la comparación de alternativas, planteando sus características principales y justificando la elección realizada.

4.1. Criterios de Selección

Para seleccionar la alternativa más adecuada se definieron seis distintos criterios de evaluación, cada uno de los cuales puede obtener un puntaje entre 1 y 10. Los criterios tienen distinta relevancia dentro del proyecto, resultando en que algunos de ellos tengan mayor ponderación respecto a otros. La tabla 4.1 indica el porcentaje de relevancia correspondiente cada criterio de selección.

Criterio de Selección	Porcentaje de Relevancia
Simplicidad	10 %
Desempeño	35 %
Disponibilidad	25 %
Economía	10 %
Flexibilidad	10 %
Documentación	10 %
<i>Total</i>	<i>100 %</i>

Tabla 4.1: Porcentaje de relevancia para cada criterio.

Se considera como criterio de mayor importancia al *desempeño* estimado de la alternativa, ya que será el aspecto que defina la calidad y funcionamiento del sistema. En segundo lugar de relevancia se ubica la *disponibilidad* de recursos, ya que sin ellos no es posible construir el dispositivo. Los criterios restantes se consideraron menor con ponderación ya que son importantes, pero no cruciales para llevar a cabo el proyecto en su primera versión.

Cada criterio es evaluado con un puntaje de 1 a 10 puntos en una escala indicada en la tabla 4.2. A continuación se detalla cada criterio, incluyendo su descripción y explicando la interpretación de puntaje según la escala mencionada.

Muy Baja	Baja	Media	Alta	Muy Alta
1 - 2	3 - 4	5 - 6	7 - 8	9 - 10

Tabla 4.2: Tabla de puntajes para criterios de evaluación.

Simplicidad

El criterio de simplicidad se refiere a la dificultad de diseñar, programar, fabricar y ensamblar el sistema descrito en la alternativa evaluada. La máxima simplicidad está indicada con un puntaje 10 y la mínima simplicidad con un puntaje 1. Máxima simplicidad implica conectar elementos sin mayor esfuerzo, prácticamente no programar software y prácticamente no diseñar ni implementar hardware. Mínima simplicidad implicaría dificultad de interconexión entre elementos componentes, debido a sus estándares o cantidad de conexiones presentes, incluyendo software de alta complejidad y prácticamente el desarrollo completo del hardware.

Desempeño

La evaluación por desempeño tiene directa relación con los requisitos de diseño asociados al sistema a desarrollar. Estos requisitos son los siguientes:

- Se debe contar con al menos 32 pares de entradas bajo el estándar LVDS, con el fin de conectar al menos 2 tarjetas ASD (Amplificator Shaper Discriminator) utilizadas cada una como la interfaz de detectores de 16 canales.
- Es importante contar con un reloj presente o sintetizable de una frecuencia mayor a 100[MHz], lo más cercano a 1[GHz] posible, con el fin de captar la duración de los pulsos y el momento de aparición de un evento con la mayor precisión disponible.
- Se debe considerar que la señal de disparo que entrará al sistema estará desfasada cerca de 100[ns] respecto al paso real de los muones por el detector,

siendo necesaria la implementación de retardos para las señales capturadas o un sistema capaz de distinguir la ocurrencia de eventos y disparos en el tiempo.

- Se debe tener la capacidad de mantener señales sincronizadas, guardar información en memorias temporales y llevar cuenta del transcurso del tiempo entre eventos.
- Es requisito que la implementación de la alternativa permita escalamiento para agregar nuevos detectores adyacentes con el fin de aumentar el área de prueba, así como también sincronizarse con detectores paralelos para trazar trayectorias de las partículas captadas.

Sintetizando estos requisitos, es posible acotarlos a 5 elementos esenciales: número de canales, disponibilidad de puertos LVDS, frecuencia de reloj, implementación o manejo de retardos y recursos de almacenamientos o procesamiento disponibles. La escalabilidad queda implícitamente evaluada con los criterios de simplicidad, economía y flexibilidad.

Considerando lo anterior, se le asignará puntaje a este criterio en función de la cantidad de requisitos que cumpla y la calidad con la que sean satisfechos, considerando 10 puntos en caso de cumplir a cabalidad con todos ellos, y asignándole 1 punto en caso de cumplir ninguno.

Disponibilidad

El criterio de disponibilidad evalúa la presencia inmediata de los materiales necesarios para la implementación del sistema. Pondera la cantidad de elementos necesarios como un total de 10 puntos repartidos en cada uno de los elementos componentes para construir un sistema de adquisición de 32 canales. Si un sistema requiere de 5 elementos discretos, tendrá entonces 10 puntos en caso de contar con la disponibilidad de los 5 elementos necesarios. Si alguno no está disponible y requiere ser adquirido, entonces implicaría un descuento de 2 puntos en dicho ejemplo.

Economía

El criterio de economía evalúa el precio total de construcción del dispositivo, incluyendo todo el hardware necesario para la discriminación, procesamiento y análisis, sin considerar un computador en las etapas finales de análisis o recolección de información. Este criterio es útil para contrastar la factibilidad de escalamiento. Un sistema muy costoso implicará dificultades para replicarlo.

Su puntaje se asigna considerando cero puntos para un sistema que supere los US\$1000 para implementar 32 canales. Se otorga un máximo de 10 puntos si el sistema tiene un costo menor o igual a US\$60.

Flexibilidad

La flexibilidad es un criterio que representa qué tan adaptable es el sistema en caso de requerir modificaciones. Puede separarse en tres elementos constitutivos: adquisición, procesamiento y análisis. El puntaje se asigna cualitativamente en función de la flexibilidad de la tecnología involucrada en dicha etapa.

El puntaje máximo del criterio de flexibilidad son 10 puntos, considerando aproximadamente 3.3 puntos como máximo para cada elemento constitutivo.

Documentación

El criterio de documentación evalúa la disponibilidad de material bibliográfico, tutoriales y ejemplos para la utilización del software y el hardware propio del sistema, así como de las herramientas necesarias para su implementación. Su puntaje se asigna cualitativamente según la misma tabla 4.2.

4.2. Evaluación de Alternativas

A continuación se detallan las evaluaciones para cada una de las 4 alternativas propuestas, incluyendo una breve descripción por cada criterio.

4.2.1. Digitizer

- **Simplicidad:** 5 - *Media*. Requiere la fabricación de una PCB de interfaz y la integración de 3 aparatos distintos (Digitalizador, interfaz y computador).
- **Desempeño:** 4 - *Bajo*. Baja tasa de muestreo, 62.5[MS/s].
- **Disponibilidad:** 2 - *Muy Baja*. Se cuenta con un digitalizador, pero no está disponible una interfaz LVDS a TTL ni los retardos necesarios.
- **Economía:** 1 - *Muy Baja*. El costo de un digitalizador podría superar los US\$1000.
- **Flexibilidad:** 5 - *Media*. Alta flexibilidad en análisis ya que se realiza en un computador. También existe flexibilidad en la manera de procesar y estructurar los datos obtenidos. No existe suficiente flexibilidad en la manera de tomar muestras.
- **Documentación:** 6 - *Media*. Existe documentación, librerías y programas para operar el digitalizador, pero no son las suficientes para tener el dominio total del dispositivo.

4.2.2. Microcontrolador

- **Simplicidad:** 2 - *Baja*. Gran cantidad de dispositivos, al ser necesario al menos dos microcontroladores por canal y un tercero para unificar datos provenientes de un mismo detector.
- **Desempeño:** 4 - *Bajo*. Bajas tasas de muestreo y operación. Requiere conversores LVDS-TTL y retardos.
- **Disponibilidad:** 1 - *Baja*. Todos los materiales tendrían que ser adquiridos.
- **Economía:** 6 - *Media*, medianamente económico. Si bien las tarjetas de desarrollo pueden ser de bajo costo, se necesitan varias y se agregan componentes extra que aumentan el costo considerablemente. Mejorar la frecuencia de muestreo también incrementa el costo.

- **Flexibilidad:** *5 - Media.* Alta flexibilidad en análisis y en la manera de procesar y estructurar los datos obtenidos. No existe suficiente flexibilidad en la manera de tomar muestras.
- **Documentación:** *6 - Media* Existe documentación, librerías y programas de ejemplo, pero queda sujeto a los microcontroladores que eventualmente se escojan.

4.2.3. CPLD

- **Simplicidad:** 7 - *Alta*. Pocos dispositivos involucrados, solo una CPLD por detector.
- **Desempeño:** 7 - *Alto*. Escasos recursos lógicos y periféricos, pero alta velocidad de reloj (400MHz máximo), opciones para manejar ratardos y cuenta con puertos LVDS.
- **Disponibilidad:** 9 - *Alta*. Se cuenta con una de estas tarjetas en el laboratorio.
- **Economía:** 10 - *Alta*. Una de estas tarjetas tiene un valor cercano a los US\$30.
- **Flexibilidad:** 10 - *Alta*. Alta flexibilidad en análisis, procesamiento y adquisición.
- **Documentación:** 4 - *Baja*. Existe documentación, pero es poca y no es simple. Existen pocos ejemplos en internet dado que es un fabricante menos conocido y poco aplicado en este tipo de desarrollos. La herramienta de descripción de hardware es similar a las conocidas, pero propia del fabricante.

4.2.4. FPGA

- **Simplicidad:** 6 - *Media*. Gran cantidad del sistema concentrado en una sola placa, pero aumenta la dificultad en la descripción de hardware.
- **Desempeño:** 9 - *Alto*. Gran cantidad de recursos lógicos, de almacenamiento y con alta frecuencia de operación (600MHz máximo).
- **Disponibilidad:** 9 - *Alta*. Se cuenta con una en el laboratorio, pero se necesitarán un par de elementos para interconectarla con la placa ASD.
- **Economía:** 6 - *Media*. Una tarjeta de desarrollo de este estilo tiene un costo de aproximadamente US\$400.
- **Flexibilidad:** 10 - *Alta*. Alta flexibilidad en análisis, procesamiento y adquisición.
- **Documentación:** 8 - *Alta*. Existe gran cantidad de documentación del fabricante. Además, cuenta con una FPGA Artix 7 ampliamente conocida.

Finalmente, se resumen en la tabla 4.3 los puntajes obtenidos por las alternativas propuestas en cada uno de los criterio de selección, acompañados de su puntaje final

ponderado. De esta tabla se concluye que la alternativa a seleccionar será la FPGA, la cual obtuvo 8.4 puntos, superando a todas las demás alternativas. Esta alternativa destaca por su desempeño, disponibilidad y documentación.

Criterio de Selección	Digitizer	Microcontrolador	CPLD	FPGA
Simplicidad (10 %)	5	2	7	6
Desempeño (35 %)	4	4	7	9
Disponibilidad (25 %)	2	1	9	9
Economía (10 %)	1	6	10	6
Flexibilidad (10 %)	5	5	10	10
Documentación (10 %)	6	6	4	8
<i>Total</i>	<i>3.6</i>	<i>3.55</i>	<i>7.8</i>	<i>8.4</i>

Tabla 4.3: Comparación entre evaluaciones de cada alternativa propuesta.

4.3. Alternativa Seleccionada

A partir de las evaluaciones indicadas en la sección 4.2 y sus comparaciones en la tabla 4.3, se concluye que la mejor alternativa corresponde a un sistema de adquisición de datos implementado en una FPGA (Artix 7 [?]).

Esta alternativa fue seleccionada por sobre las demás debido a su destacado desempeño, ya que cuenta con mayor frecuencia de reloj disponible, gran cantidad de recursos y suficientes puertos LVDS. Este último requerimiento es necesario para recibir los pulsos digitales capturados por la interfaz ASD [?] provenientes del detector, los cuales se emiten bajo el estándar LVDS para transmisión de señales diferenciales.

Destaca también esta alternativa al ser una plataforma flexible, en sentido de brindar las posibilidades de adaptar el diseño propuesto sin tener que adquirir nuevo equipamiento. Esta versatilidad es intrínseca de las FPGAs, las cuales se caracterizan por permitir un gran control en el diseño del hardware a bajo nivel.

Por último, destaca por la información disponible que existe para operarla. Esta FPGA es ampliamente conocida y además está incluida en un módulo Trenz TR0712 [?] montada en una tarjeta Trenz TR0703 [?] que da acceso a la mayoría de sus puertos y recursos. Ambos elementos cuentan con buena documentación, incluyendo diagramas de conexiones detallados, los cuales facilitarán la descripción del hardware y la interconexión con el detector de muones.

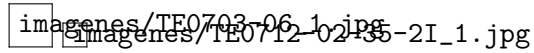


Figura 4.1: Placa de desarrollo y módulo FPGA a utilizar. A la izquierda se ilustra la placa de desarrollo Trenz TR0703 [?] y a su derecha se ilustra el módulo que va montado en ella: Trenz TR0712 [?] que contiene una FPGA Artix 7 [?].

Para esta alternativa de solución se consideran 32 canales de entrada LVDS ya que en el futuro será necesario conectar al menos 2 detectores de 16 canales en una misma FPGA. Para este proyecto en particular se probará el sistema con un solo detector de muones, por lo que la prueba e integración de un segundo detector queda pendiente y no se implementará en esta etapa. La figura 4.2 ilustra los canales que posee un solo detector de muones de 15cm^2 .

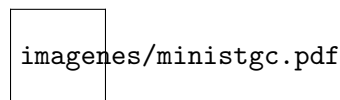


Figura 4.2: Esquema de los canales provenientes de un detector Mini sTGC. Posee 8 tiras adyacentes de 15cm de largo por 1cm de ancho para cada eje coordenado. Cada tira emitirá un pulso analógico si una partícula cargada pasa través de ella. Se emitirán también pulsos de menor amplitud para el caso en que la partícula pase por una tira adyacente del mismo eje coordenado dentro de un radio específico. Este detector se posiciona perpendicularmente respecto a la fuente de radiación y en paralelo a (por debajo o por sobre) el sistema de disparo que indicará si la partícula captada corresponde o no a un muón.

Las señales generadas por un detector son adaptadas por una tarjeta de interfaz ASD [?], ilustrada en la figura 4.3. Esta tarjeta es capaz de capturar 16 señales simultaneas, por lo que es hardware suficiente para captar las señales de ambos ejes de un solo detector de muones.

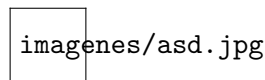


Figura 4.3: Placa ASD [?] (Amplificator Shaper Discriminator), encargada de captar los 16 pulsos provenientes de un detector y entregar pulsos digitales asociados a ellos en su salida. El detector se conecta en sus entradas DIP ubicadas en su extremo inferior, mientras que las señales LVDS de salida se ubican en el conector de 40 puertos para cable plano en su extremo superior.

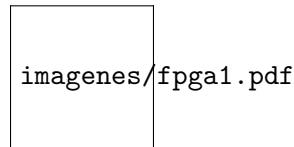


Figura 4.4: Diagrama de bloques utilizando una FPGA como alternativa de solución. Se indica una salida serial para transmitir los resultados del análisis básico a algún procesador o memoria de alguna etapa posterior. La señal de sincronización “Sync” tiene como objetivo sincronizar la recolección y procesamiento de eventos, para que estos sean consistentes entre detectores.

La idea en esta alternativa de solución es guardar los pulsos provenientes de la placa ASD en memoria temporal hasta la llegada de una señal de disparo. Un módulo que maneja la memoria será el encargado de tomar los pulsos correspondientes al disparo recibido y liberar la memoria de aquellos datos ya leídos u obsoletos, entregando la información útil a una siguiente etapa. Los pulsos aceptados serán entonces relacionados como parte de un mismo eventos y se estimará la duración de estos, generando y guardando así un arreglo de datos con identificador de pulso y duración. La última etapa se encargará de efectuar una operación capaz de determinar la posición del evento a partir de las duraciones medidas y los pulsos detectados, comunicando así un arreglo básico y preprocesado que incluya posición espacial y magnitud aproximada.

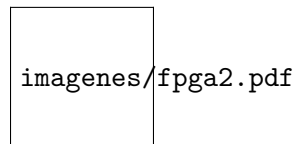


Figura 4.5: Representación de la lógica interna de la FPGA. Se incluye una cola de datos para las señales de disparo, para los pulsos digitales provenientes de la ASD y una memoria de almacenamiento temporal para los eventos ya estructurados. Los bloques controlador, estructurador y análisis cumplen las funciones de aceptar o descartar pulsos, cuantificar anchos de pulso a los canales asociados y determinar coordenada del cruce de un muón respectivamente.

Se espera que para lograr el escalamiento se incluya una señal para mantener la lectura de eventos sincronizada entre distintas FPGA. Además, se deberá incluir un modulo de comunicación para entregar la información captada a una etapa posterior con un análisis más detallado, encargado de reunir todos los eventos de diferentes FGAs.

4.4. Conclusión

Luego de presentar y evaluar diferentes alternativas de solución, el análisis indica que la mejor solución corresponde a implementar el sistema en una FPGA, obteniendo un resultado de 8.4 puntos según los criterios de selección. Esta alternativa fue precisamente la que se ha considerado desde un principio y coincide con ser la tecnología más utilizada dentro del desarrollo de sistemas de adquisición para física de partículas [6] [7].

Esta alternativa fue seleccionada por sobre las demás debido a su destacado desempeño, ya que cuenta con mayor frecuencia de reloj disponible, gran cantidad de recursos y suficientes puertos LVDS. Este último requerimiento es necesario para recibir los pulsos digitales capturados por la interfaz ASD provenientes del detector, los cuales se emiten bajo el estándar LVDS para transmisión de señales diferenciales.

Destaca también esta alternativa al ser una plataforma flexible, en sentido de brindar las posibilidades de adaptar el diseño propuesto sin tener que adquirir nuevo equipamiento. Esta versatilidad es intrínseca de las FPGAs, las cuales se caracterizan por permitir un gran control en el diseño del hardware a bajo nivel.

Luego de este trabajo de selección y detalle de la solución, ya se encuentran definidos los objetivos principales del proyecto y los esquemas generales del diseño a implementar para cumplir con ellos. Con la información presentada en la sección 4.3 es posible comenzar las etapas de planificación y posterior ejecución del proyecto, para desarrollar así un sistema de adquisición de datos para detectores de muones escalable basado en FPGA.

REFERENCIAS

- [1] L. Njejjimana, M. A. Tetrault, L. Arpin, A. Burghgraeve, P. Maille, J. C. Lavoie, C. Paulin, K. C. Koua, H. Bouziri, S. Panier, M. W. Attouch, M. Abidi, J. Cadorette, J. F. Pratte, R. Lecomte, and R. Fontaine, “Design of a real-time fpga-based data acquisition architecture for the labpet ii: An apd-based scanner dedicated to small animal pet imaging,” *IEEE Transactions on Nuclear Science*, vol. 60, no. 5, pp. 3633–3638, 2013.
- [2] S. Marcatili, N. Belcari, M. G. Bisogni, G. Collazuol, G. Ambrosi, F. Corsi, M. Foresta, C. Marzocca, G. Matarrese, G. Sportelli, P. Guerra, A. Santos, and A. Del Guerra, “Development and characterization of a modular acquisition system for a 4D PET block detector,” *Nuclear Instruments and Methods in Physics Research, Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 659, no. 1, pp. 494–498, 12 2011.
- [3] H. Spieler, “Electronics and data acquisition,” pp. 197–222, 2 2012.
- [4] T. Colombo, “Data-flow performance optimisation on unreliable networks: The ATLAS data-acquisition case,” in *Journal of Physics: Conference Series*, vol. 608, no. 1. Institute of Physics Publishing, 5 2015.
- [5] D. Whiteson, F. J. Wickens, W. Wiedenmann, M. Wielers, P. A. Wijeratne, F. Winklmeier, K. S. Woods, S. L. Wu, X. Wu, B. Wynne, S. Xella, A. Yakovlev, Y. Yamazaki, U. Yang, L. Yao, Y. Yasu, L. Yuan, A. Zaitsev, L. Zanello, H. Zhang, J. Zhang, L. Zhao, N. Zhou, H. Zobernig, and N. M. Zur, “The ATLAS Data acquisition and high level trigger system,” 6 2016.
- [6] S. G. Basiladze, “Methods for data readout, acquisition, and transfer in experimental nuclear physics setups (A Review, Part 1),” *Instruments and Experimental Techniques*, vol. 60, no. 4, pp. 463–521, 7 2017.
- [7] —, “Methods for data readout, acquisition, and transfer in experimental nuclear physics setups (A review, part 2),” pp. 615–678, 9 2017.

-
- [8] L. Arpin, M. Bergeron, M. A. Tétrault, R. Lecomte, and R. Fontaine, “A sub-nanosecond time interval detection system using FPGA embedded I/O resources,” in *IEEE Transactions on Nuclear Science*, vol. 57, no. 2 PART 1, 4 2010, pp. 519–524.