

Nume: Cireș Estera  
Grupa: 2121

# Sisteme cu Circuite Integrate Digitale

## PROIECT LABORATOR

**NUME: CIREȘ ESTERA**

**GRUPA: 2121**

## Cuprinsul proiectului:

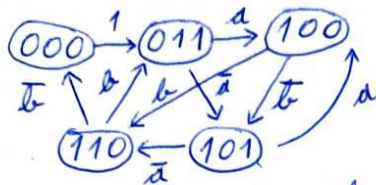
1. Rezolvarea temei de proiect pe hârtie.....	3
2. Inversorul CMOS .....	4
a) Schema electrică la nivel de tranzistor a inversorului CMOS .....	4
b) Circuitul de test cu verificarea funcționării .....	5
c) Măsurarea timpilor de tranziție și a timpului de propagare.....	7
3. Circuitul combinațional.....	9
a) Schemă electrică .....	9
b) Circuitul de test cu verificarea funcționării .....	11
4. Circuitul secvențial.....	15
a) Schema electrică .....	15
b) Circuitul de test cu verificarea funcționării .....	15
5. Implementarea finală.....	17
a) Schema finală a automatului .....	17
b) Verificarea funcționalității circuitului .....	17

1. Rezolvarea temei de proiect pe hârtie.

Cireș, Estera - Gr. 1

Automatul secvențial:

①



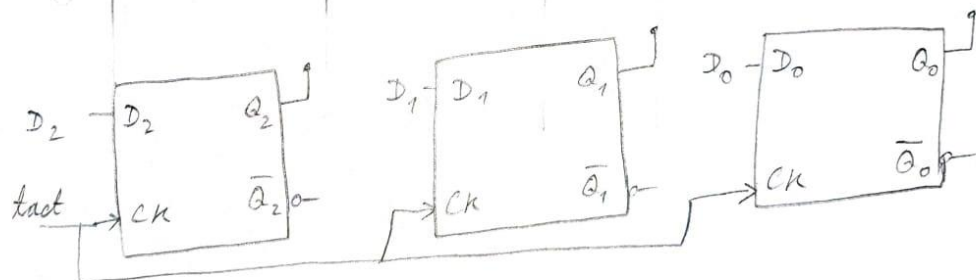
Circuit combinational

MUX 4:1 și Porti ③

Circuit secvențial

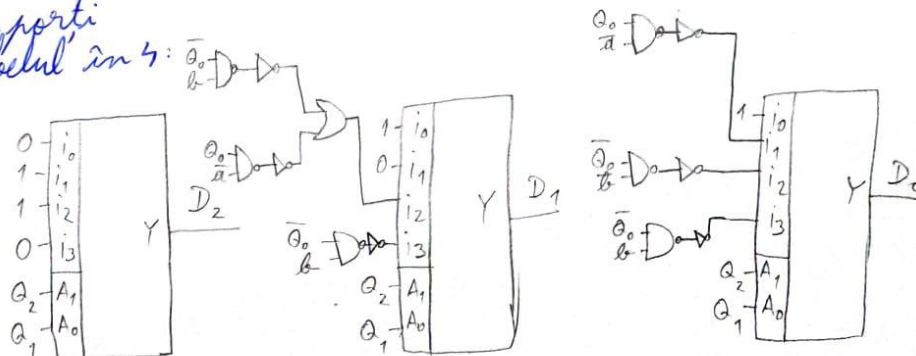
Bistabil D ②

			var=0			var=1			var	D <sub>2</sub> D <sub>1</sub> D <sub>0</sub>		
Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	Q <sub>21</sub>	Q <sub>11</sub>	Q <sub>01</sub>	Q <sub>21</sub>	Q <sub>11</sub>	Q <sub>01</sub>		Q <sub>2</sub> <sup>+</sup>	Q <sub>1</sub> <sup>+</sup>	Q <sub>0</sub> <sup>+</sup>
0	0	0	x	x	x	0	1	1	x	0	1	1
0	0	1	x	x	x	x	x	x	x	x	x	x
0	1	0	x	x	x	x	x	x	a	1	0	a
0	1	1	1	0	1	1	0	0	b	1	b	b
1	0	0	1	0	1	1	1	0	a	1	a	0
1	0	1	1	1	0	1	0	0	b	0	b	b
1	1	0	0	0	0	0	1	1	x	x	x	x
1	1	1	x	x	x	x	x	x	x	x	x	x



MUX 4:1 și porti

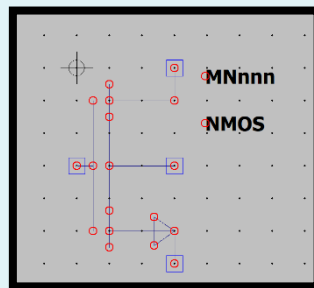
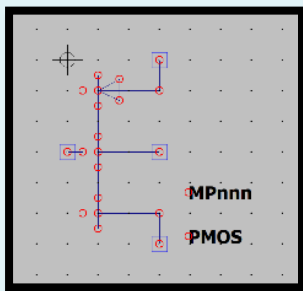
Împart tabelul în 4:



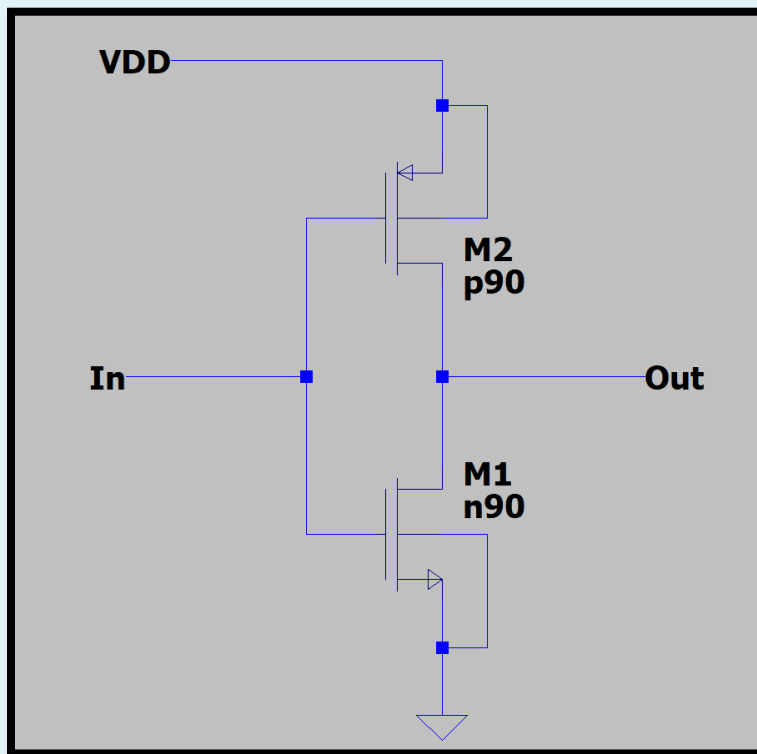
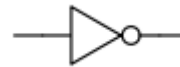
$\begin{array}{c c} Q_0 & f \\ \hline 0 & b \\ 1 & \bar{a} \end{array} \quad f = \bar{Q}_0 \cdot b + Q_0 \cdot \bar{a}$	$\begin{array}{c c} Q_0 & f \\ \hline 0 & 0 \\ 1 & \bar{a} \end{array} \quad f = Q_0 \cdot \bar{a}$	$\begin{array}{c c} Q_0 & f \\ \hline 0 & b \\ 1 & 0 \end{array} \quad f = \bar{Q}_0 \cdot b$
$\begin{array}{c c} Q_0 & f \\ \hline 0 & b \\ 1 & 0 \end{array} \quad f = \bar{Q}_0 \cdot b$	$\begin{array}{c c} Q_0 & f \\ \hline 0 & \bar{b} \\ 1 & 0 \end{array} \quad f = \bar{Q}_0 \cdot \bar{b}$	

## 2. Inversorul CMOS

a) Schema electrică la nivel de tranzistor a inversorului CMOS



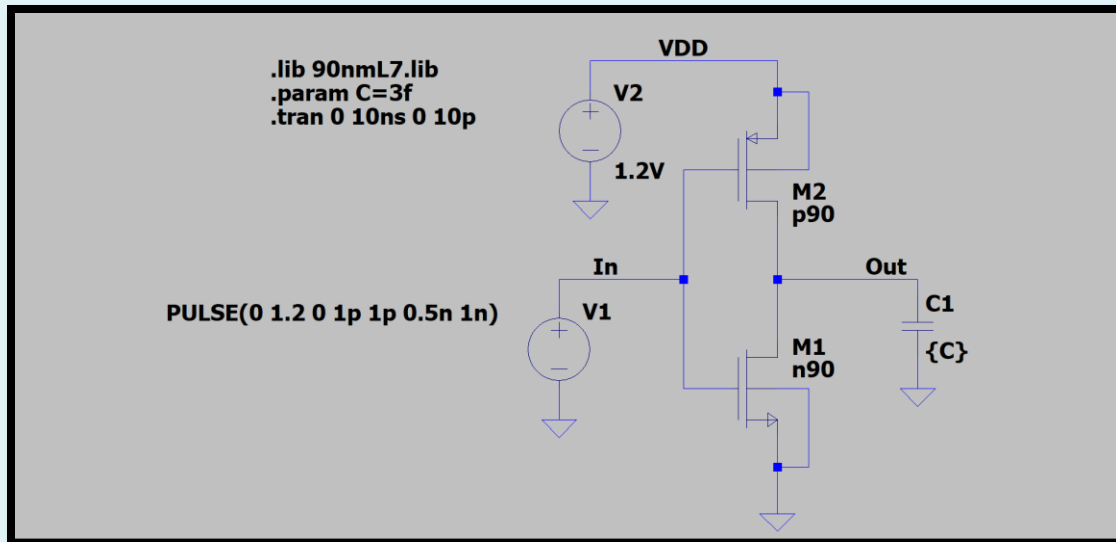
Inversorul CMOS este circuitul integrat digital, reprezentat cu simbolul:



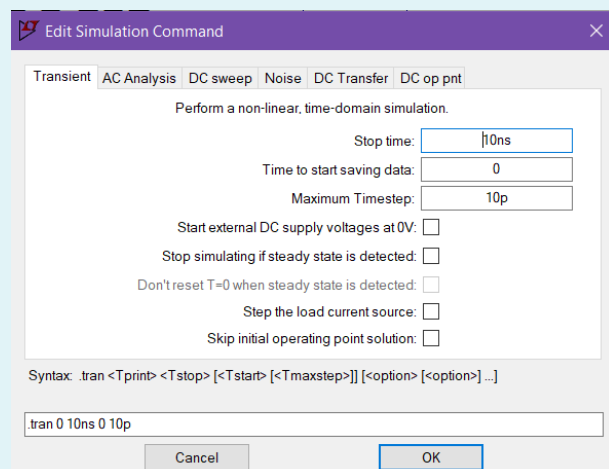
**Parametrii tranzistoarelor (L, W, AD, AS, PD, PS, m)**

Monolithic MOFSET – M1		Monolithic MOFSET – M2	
Model Name:	n90	Model Name:	p90
Length(L):	0.1u	Length(L):	0.1u
Width(W):	0.1u	Width(W):	0.2u
Drain Area(AD):	20f	Drain Area(AD):	40f
Source Area(AS):	20f	Source Area(AS):	40f
Drain Perimeter(PD):	0.6u	Drain Perimeter(PD):	0.8u
Source Perimeter(PS):	0.6u	Source Perimeter(PS):	0.8u
No. Parallel Devices(M):	1	No. Parallel Devices(M):	1

**b) Circuitul de test cu verificarea functionarii**



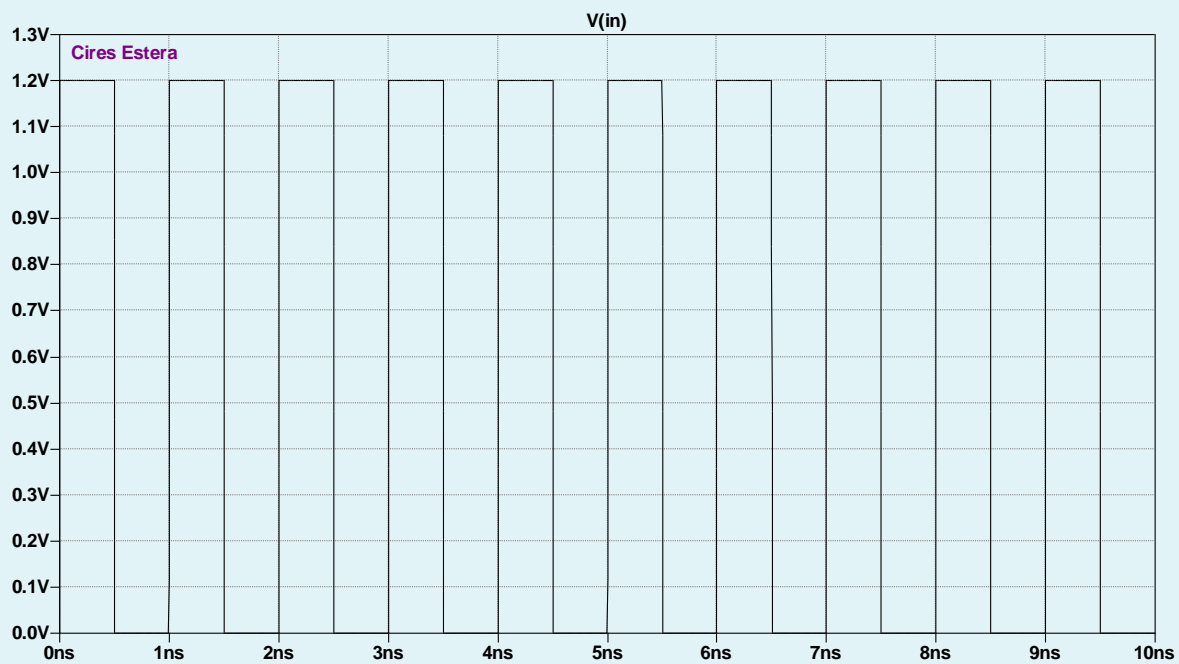
**Profilul de simulare:**



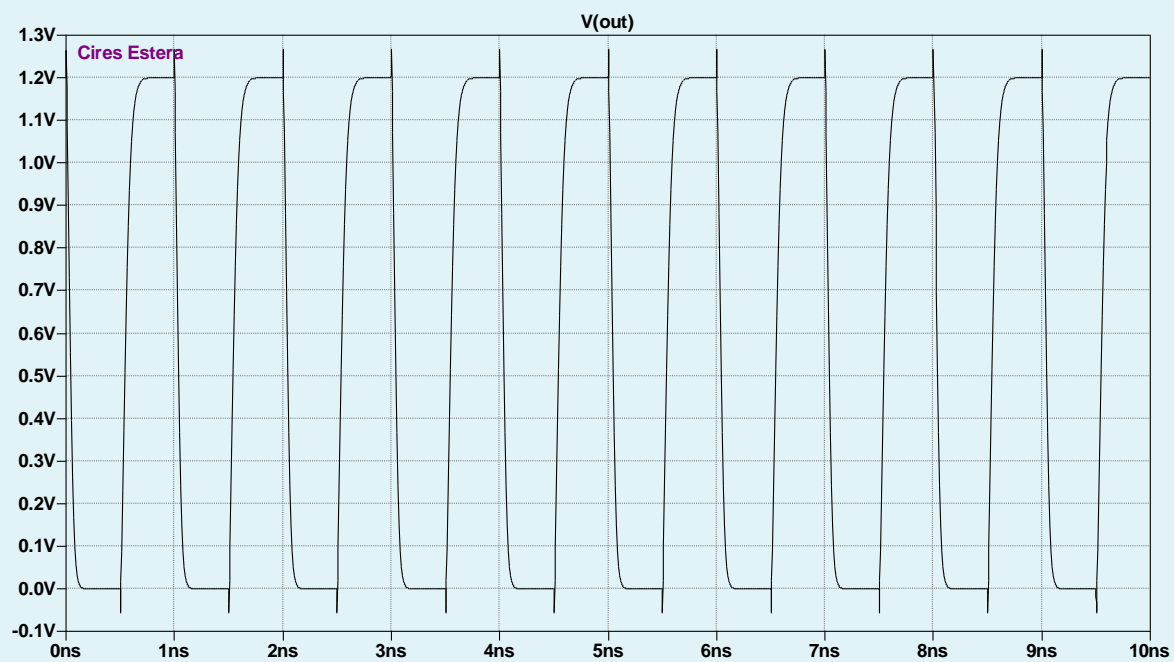
Nume: Cireș Estera

Grupa: 2121

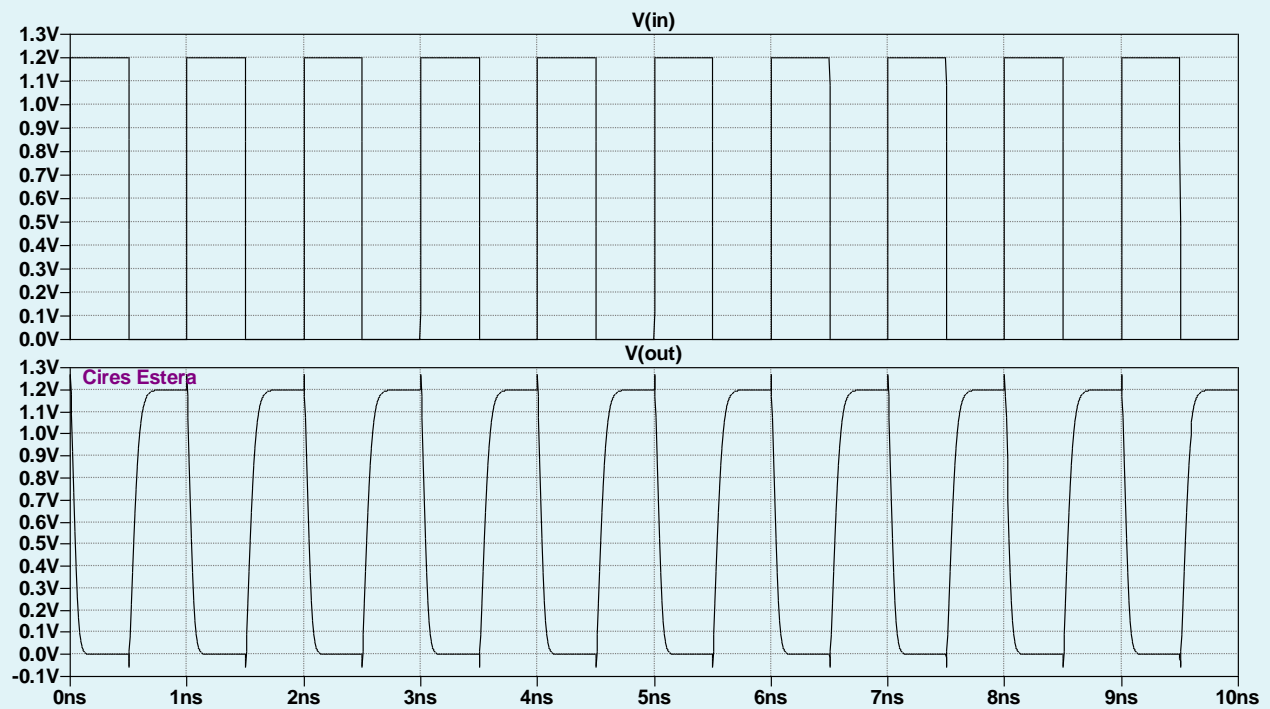
## Semnalul de intrare



## Semnalul de iesire



## Semnal de intrare+iesire



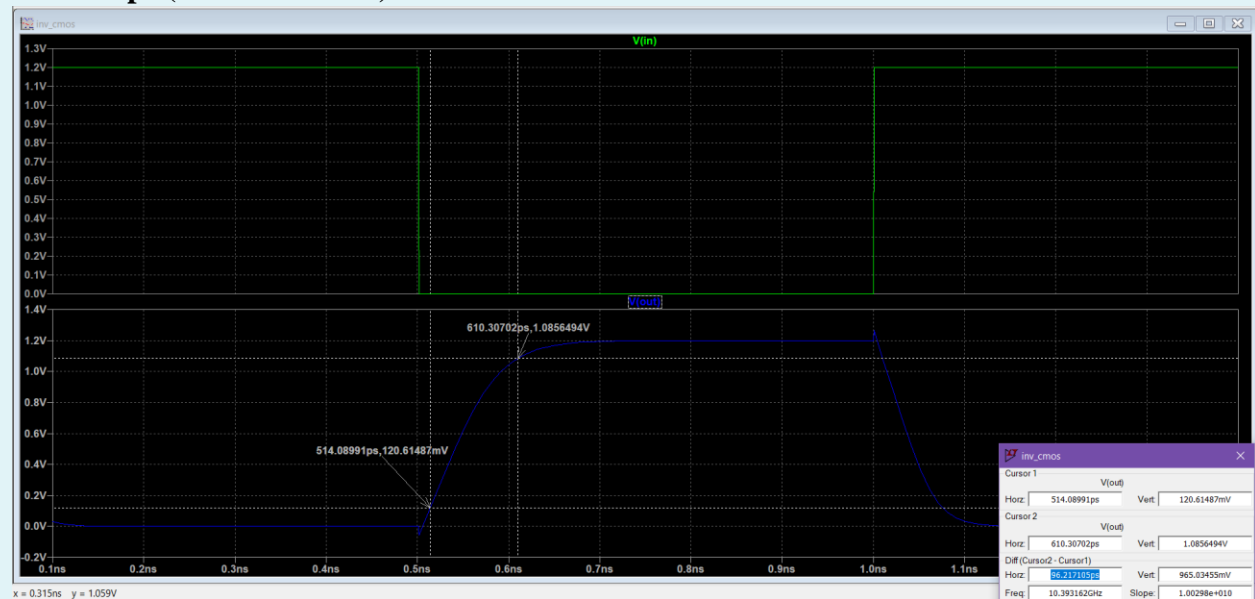
c) Măsurarea timpilor de tranziție și a timpului de propagare

**Timpul de tranziție** este intervalul de timp necesar ca semnalul de ieșire să schimbe starea, și se măsoară între nivelele de 10% și 90% din valoarea maximă. Se disting timpii de tranziție la creștere  $t_{LH}$  și descreștere  $t_{HL}$  a semnalului de ieșire.

$$10\% * 1.2V = 120mV$$

$$90\% * 1.2V = 108V$$

$t_{HL} = 96ps$  (front crescator)



Nume: Cireș Estera

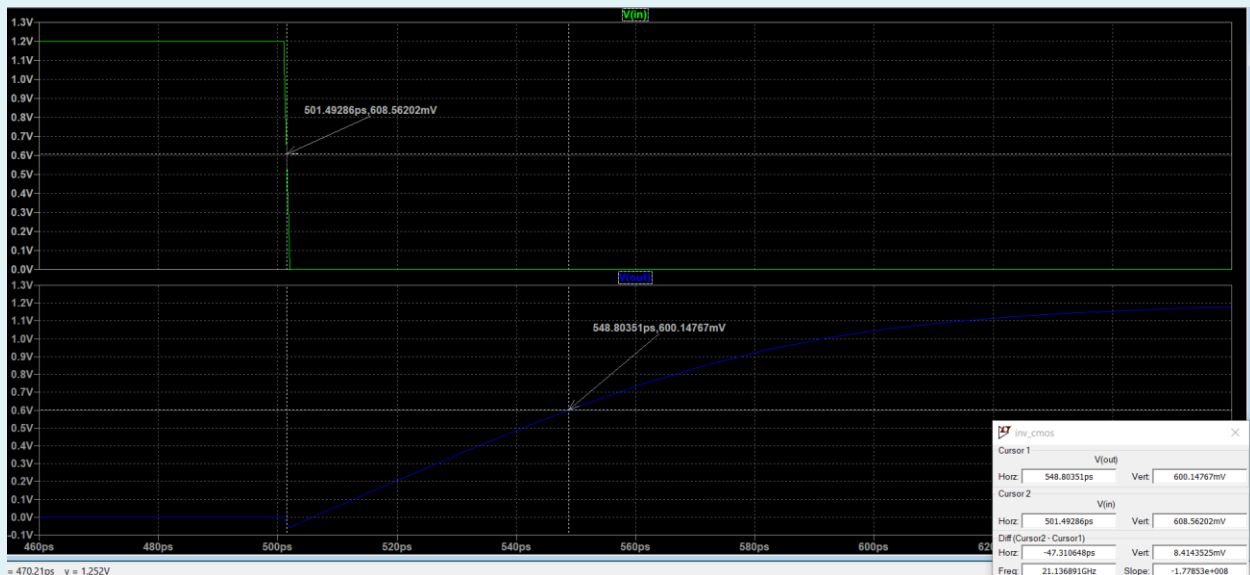
Grupa: 2121

$t_{LH} = 65\text{ps}$  (front descrescator)



**Timpul de propagare** este intervalul de timp necesar ca o variație a semnalului de intrare să producă o variație a semnalului de ieșire, și se măsoară între nivelele de 50% din valoarea maximă ale semnalelor de intrare și ieșire. Se disting timpii de propagare HIGH-LOW  $t_{pHL}$  și LOW-HIGH  $t_{pLH}$ .

$t_{pLH} = 548.8\text{ps} - 501.4\text{ps} = 47.3\text{ps}$

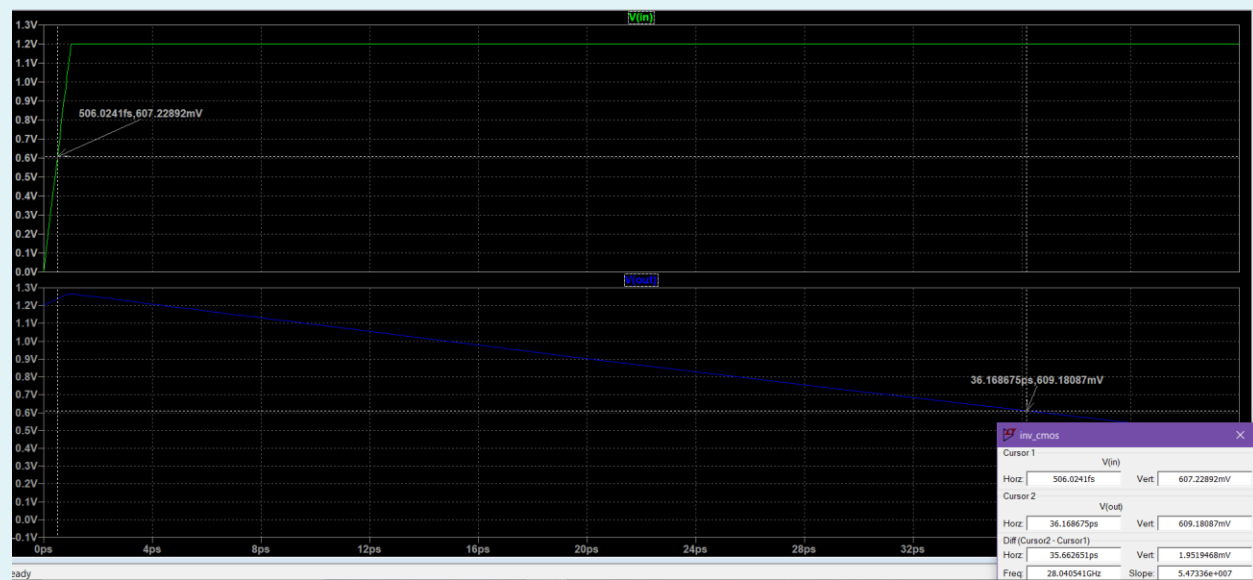




Nume: Cireș Estera

Grupa: 2121

$t_{pHL}=35ps$

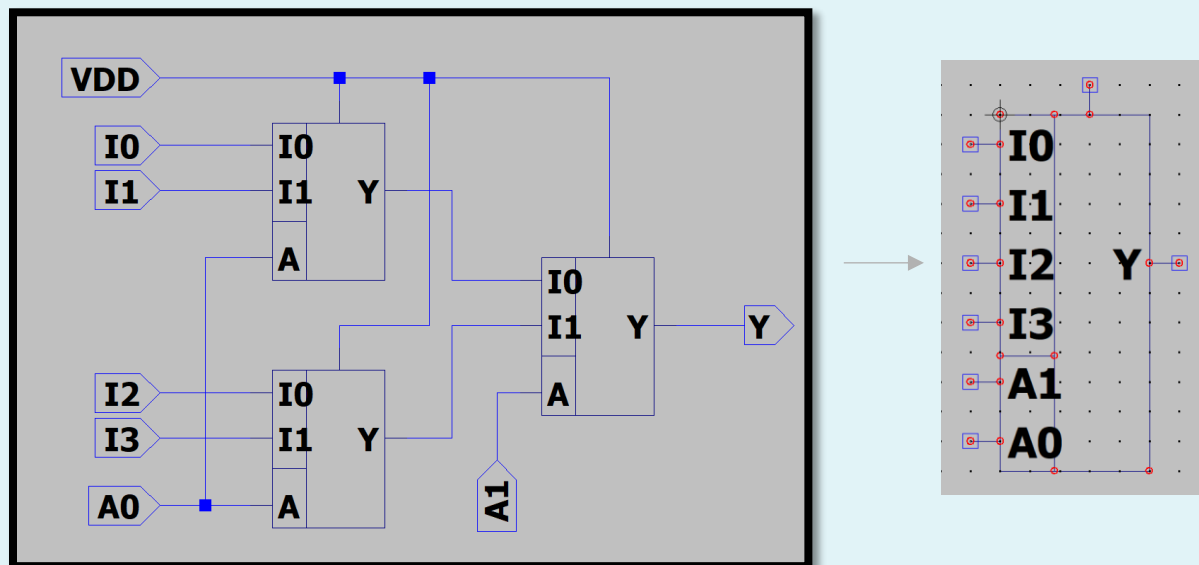


Timpul mediu de propagare, sau timpul de întârziere, este media timpilor de propagare:  
 $t_p=41.5ps$ .

### 3. Circuitul combinațional

a) Schemă electrică

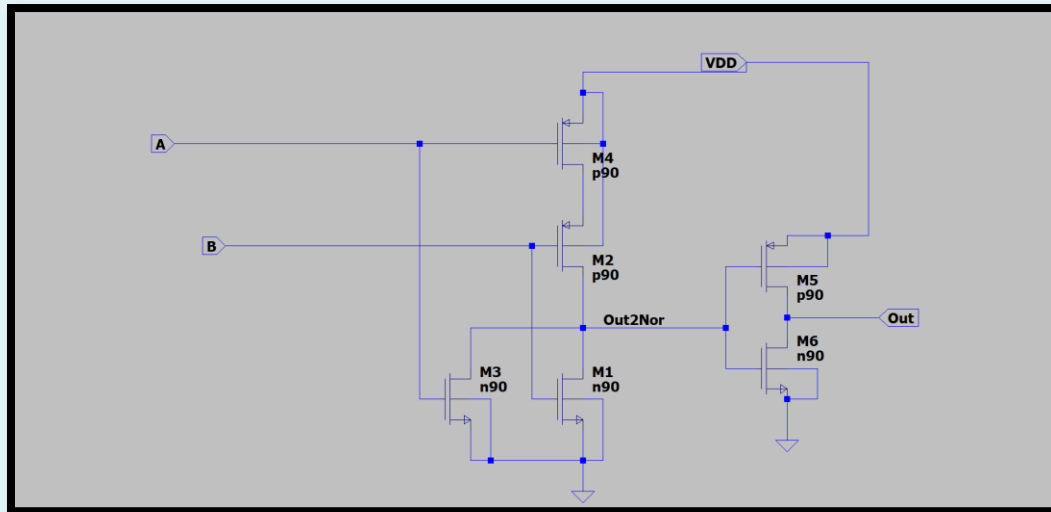
**MUX 4:1 (Circuitul combinational)**



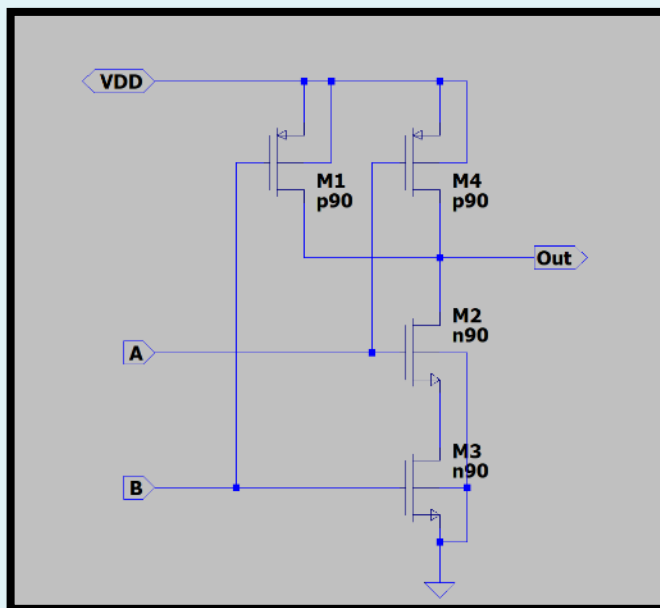
Nume: Cireş Estera

Grupa: 2121

Poarta OR



NAND2

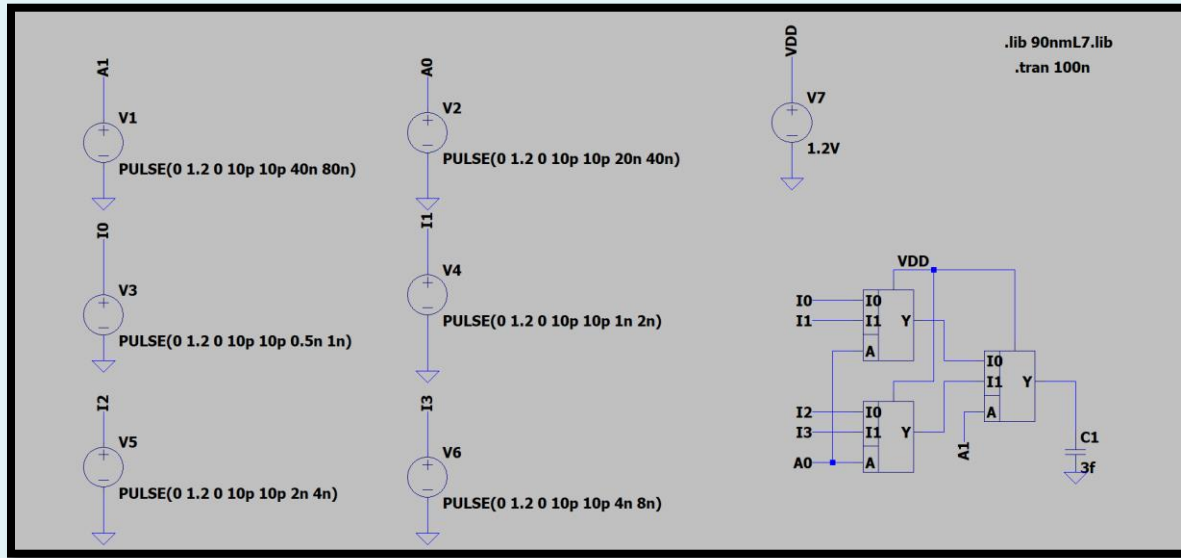


#### Monolithic MOFSET – M1,M2,M3,M4

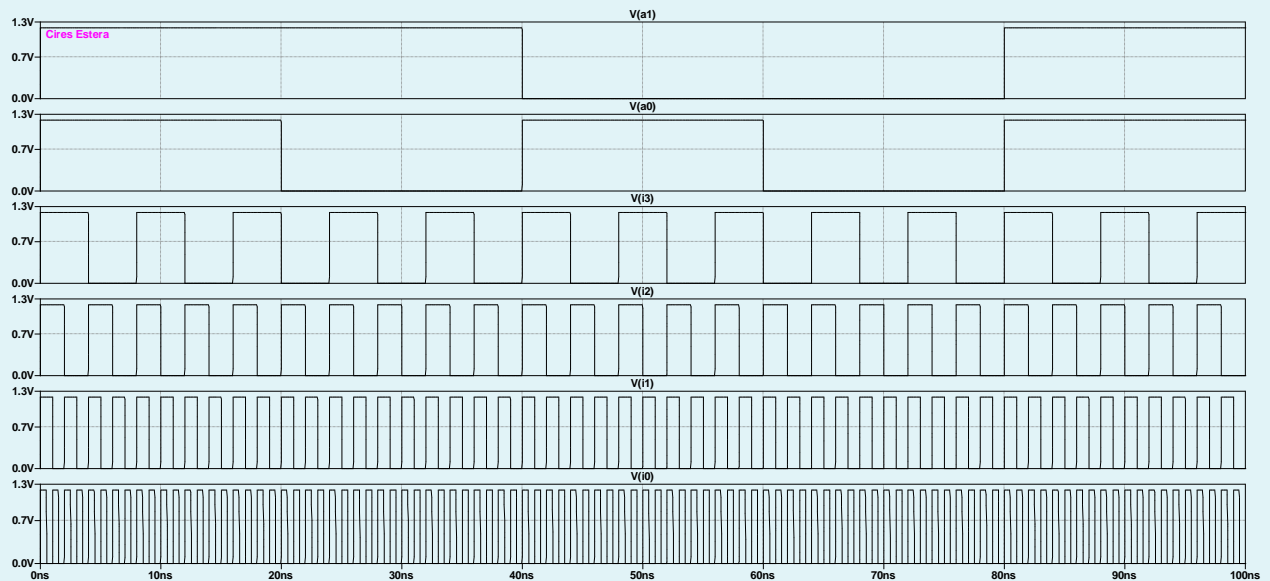
Model Name:	p90
Length(L):	0.1u
Width(W):	0.2u
Drain Area(AD):	40f
Source Area(AS):	40f
Drain Perimeter(PD):	0.8u
Source Perimeter(PS):	0.8u
No. Parallel Devices(M):	1

b) Circuitul de test cu verificarea funcționării

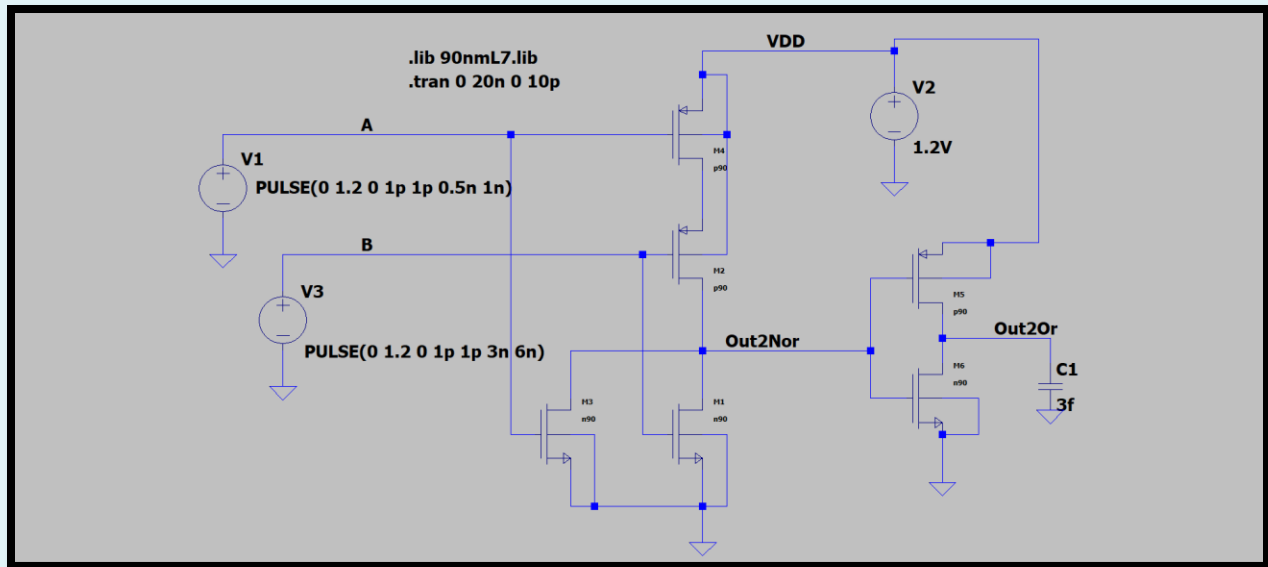
### Circuitul de test cu verificarea functionalitatii pentru MUX 4:1



Multiplexorul selectează una dintre mai multe intrări și o conectează la ieșirea sa, în funcție de starea codului binar.



## Poarta OR- Verificare



## Parametrii Tranzistorilor

### Monolithic MOFSET – M1,M3

Model Name:	n90
Length(L):	0.1u
Width(W):	0.1u
Drain Area(AD):	20f
Source Area(AS):	20f
Drain Perimeter(PD):	0.6u
Source Perimeter(PS):	0.6u
No. Parallel Devices(M):	1

### Monolithic MOFSET – M2,M4

Model Name:	p90
Length(L):	0.1u
Width(W):	0.4u
Drain Area(AD):	80f
Source Area(AS):	80f
Drain Perimeter(PD):	1.2u
Source Perimeter(PS):	1.2u
No. Parallel Devices(M):	1

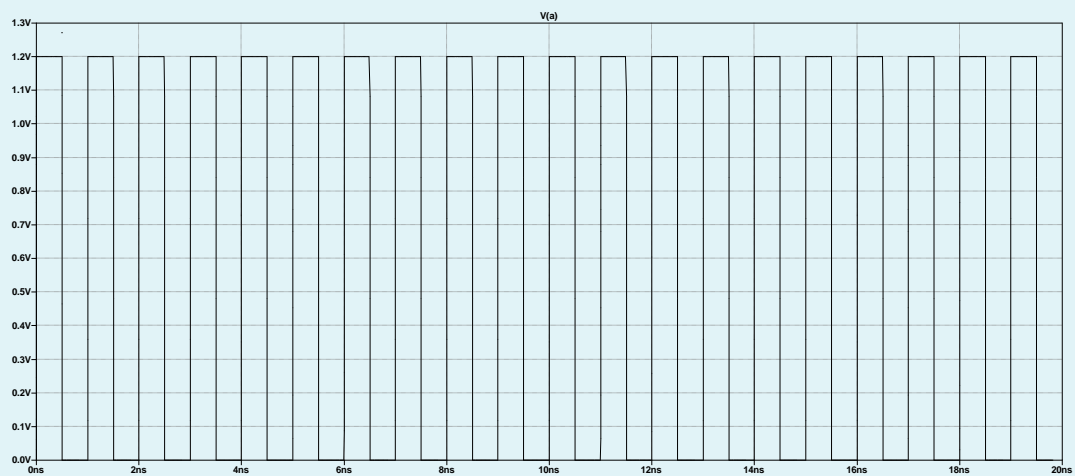
### Monolithic MOFSET – M5

Model Name:	p90
Length(L):	0.1u
Width(W):	0.2u
Drain Area(AD):	40f
Source Area(AS):	40f
Drain Perimeter(PD):	0.8u
Source Perimeter(PS):	0.8u
No. Parallel Devices(M):	1

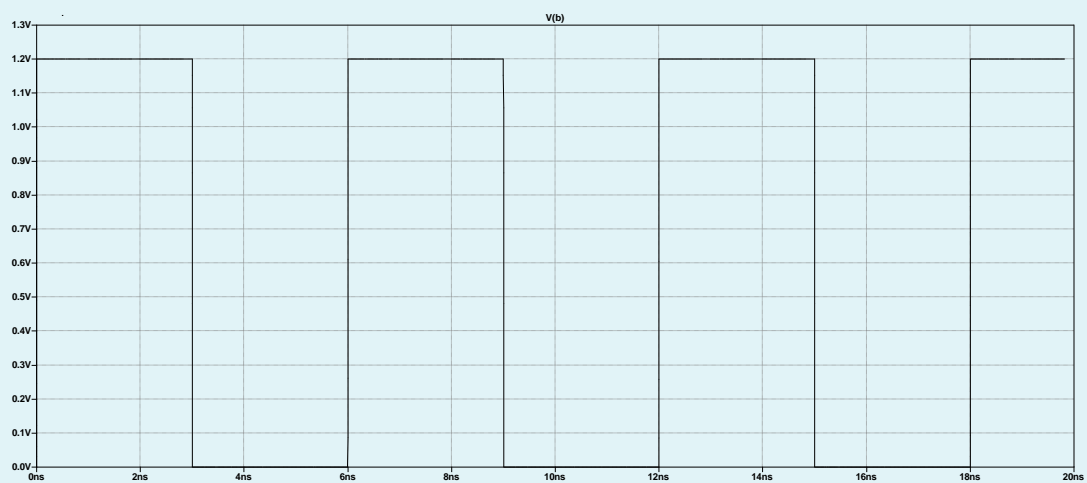
### Monolithic MOFSET – M6

Model Name:	n90
Length(L):	0.1u
Width(W):	0.1u
Drain Area(AD):	20f
Source Area(AS):	20f
Drain Perimeter(PD):	0.6u
Source Perimeter(PS):	0.6u
No. Parallel Devices(M):	1

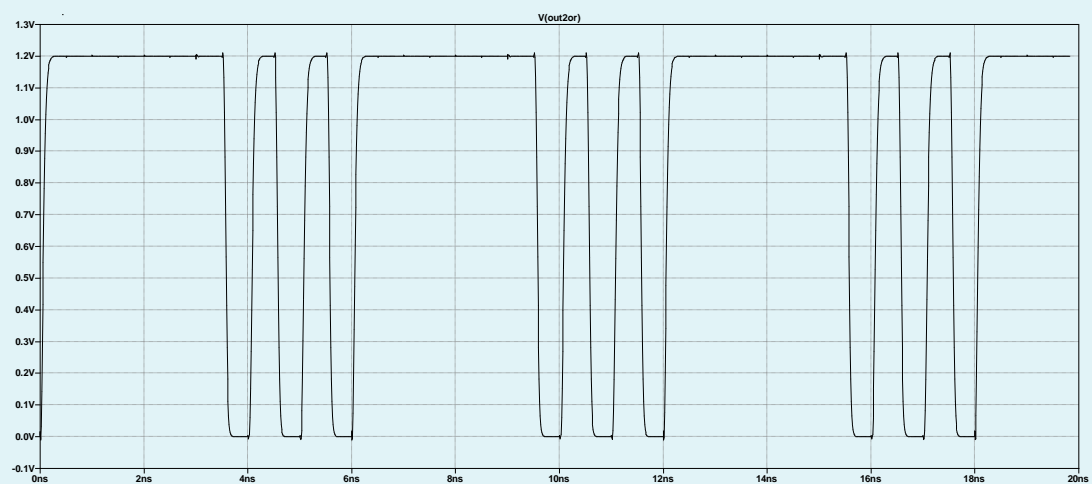
### V(a)-semnalul de la sursa V1



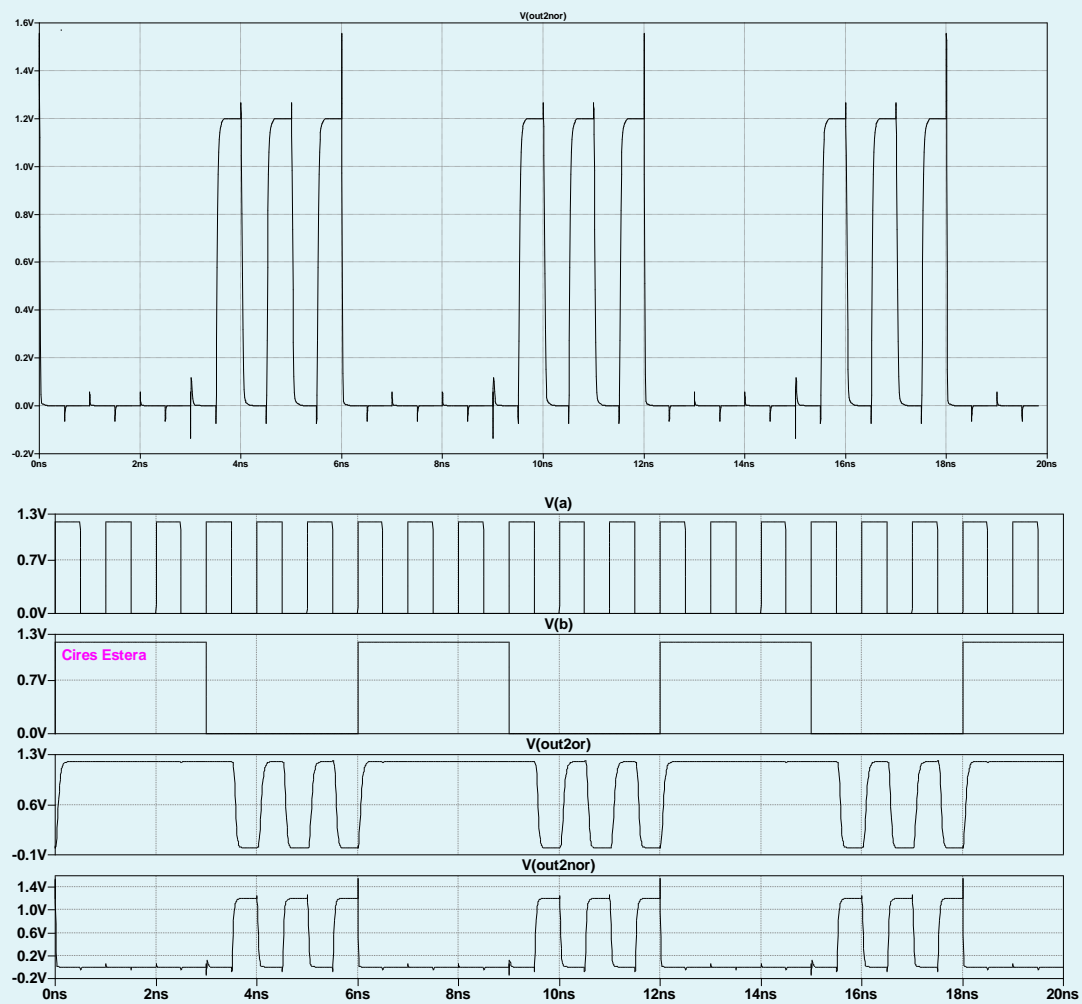
### V(b)-semnalul de la sursa V3



### V(out2or)- semnalul de ieşirea circuitului combinational OR

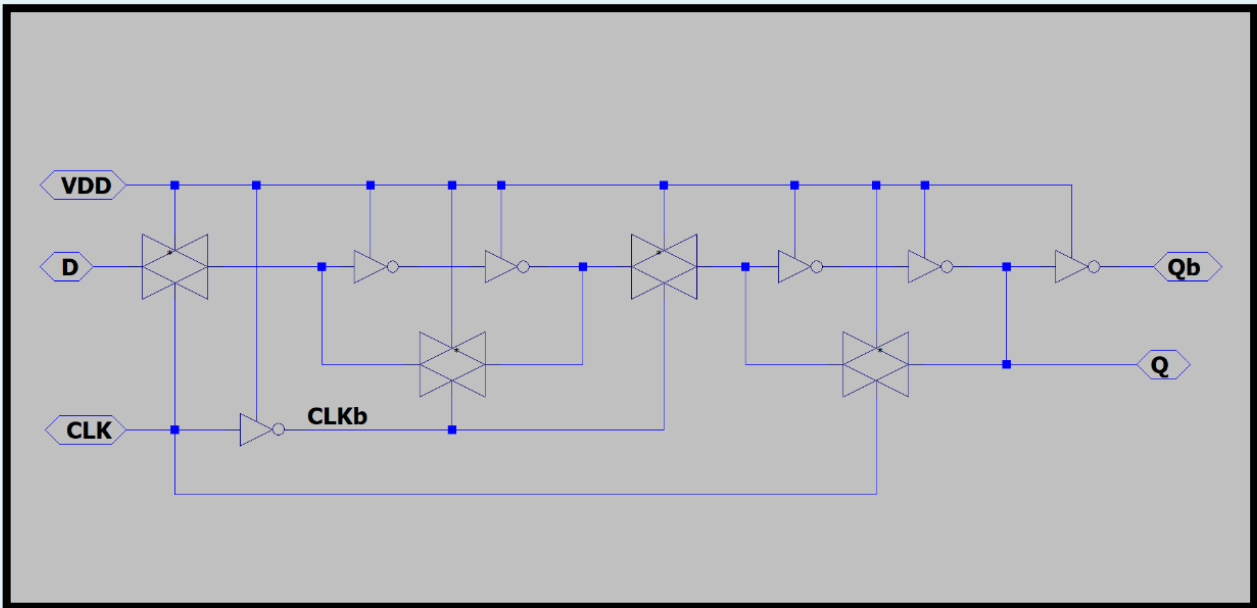


### V(out2nor)- semnalul de ieşirea circuitului combinational NOR

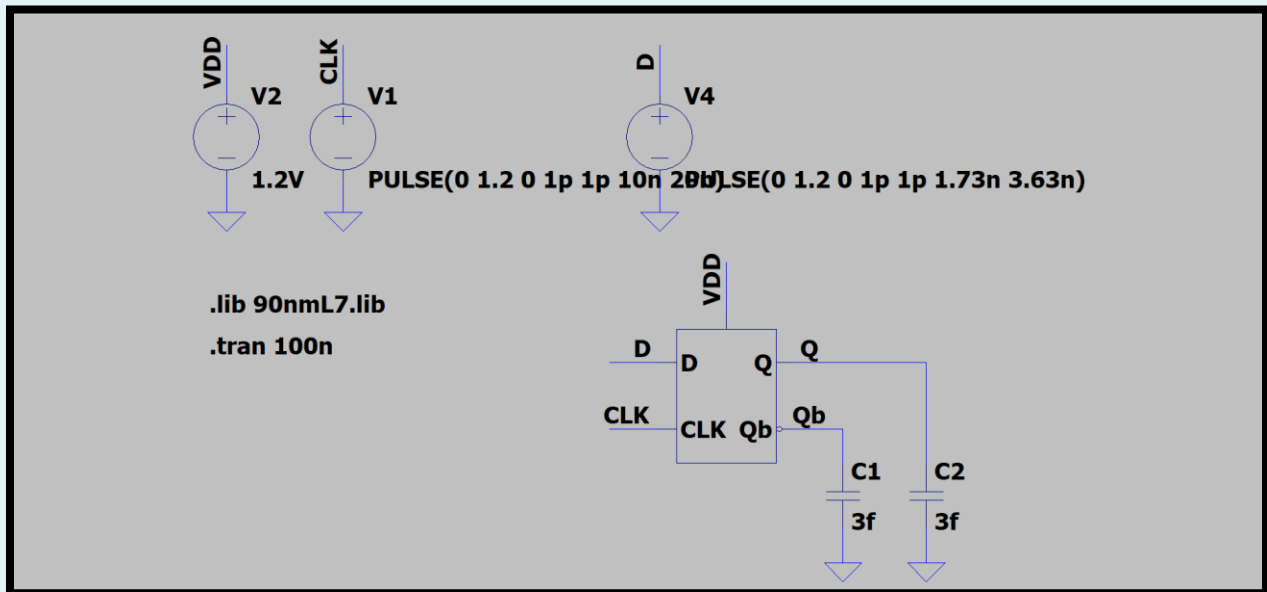


#### 4. Circuitul secvential

a) Schema electrica



b) Circuitul de test cu verificarea funcționării

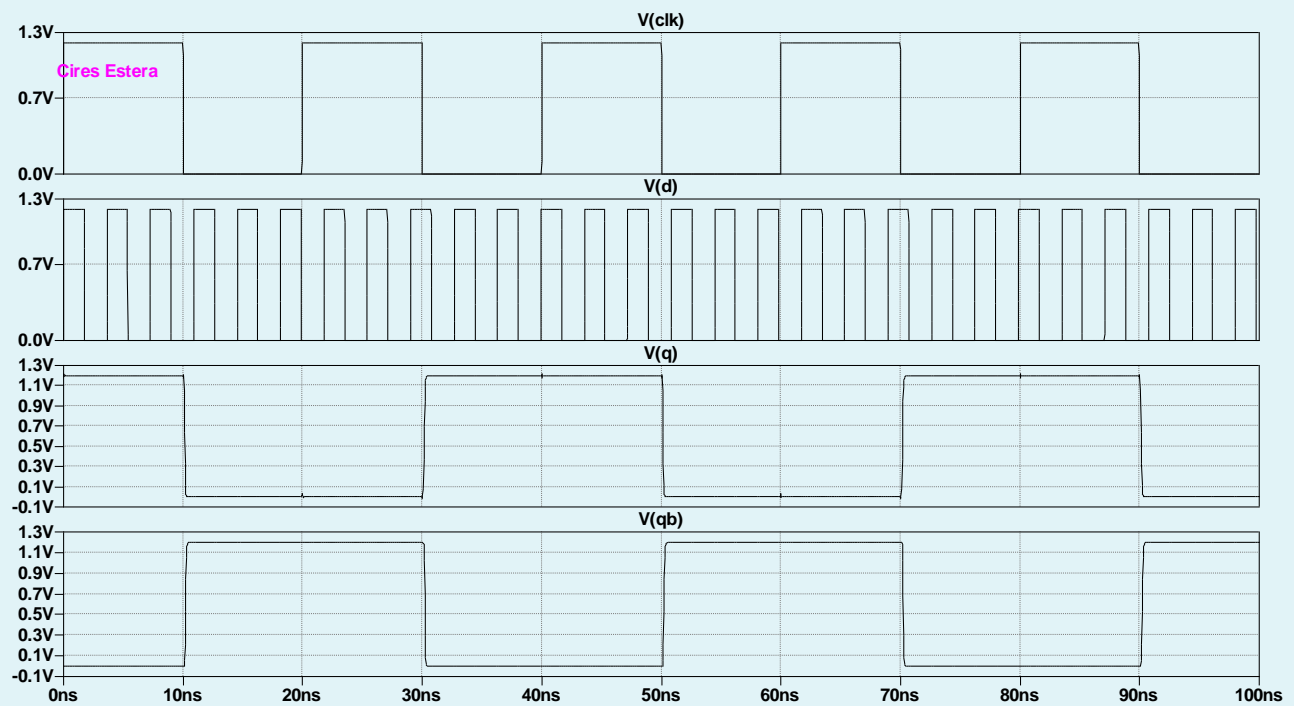


**Observatii:**

Bistabil D format din 2 latch-uri D.

Latch-ul D e activ pe palier

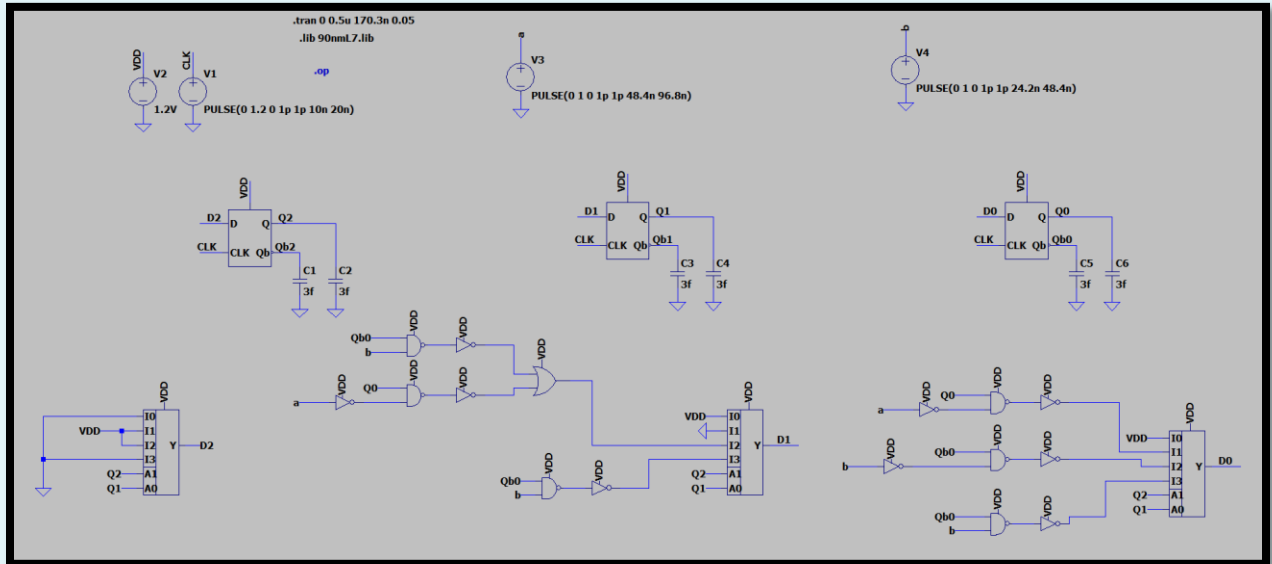
Circuitul secvential este activ pe palierul tactului.





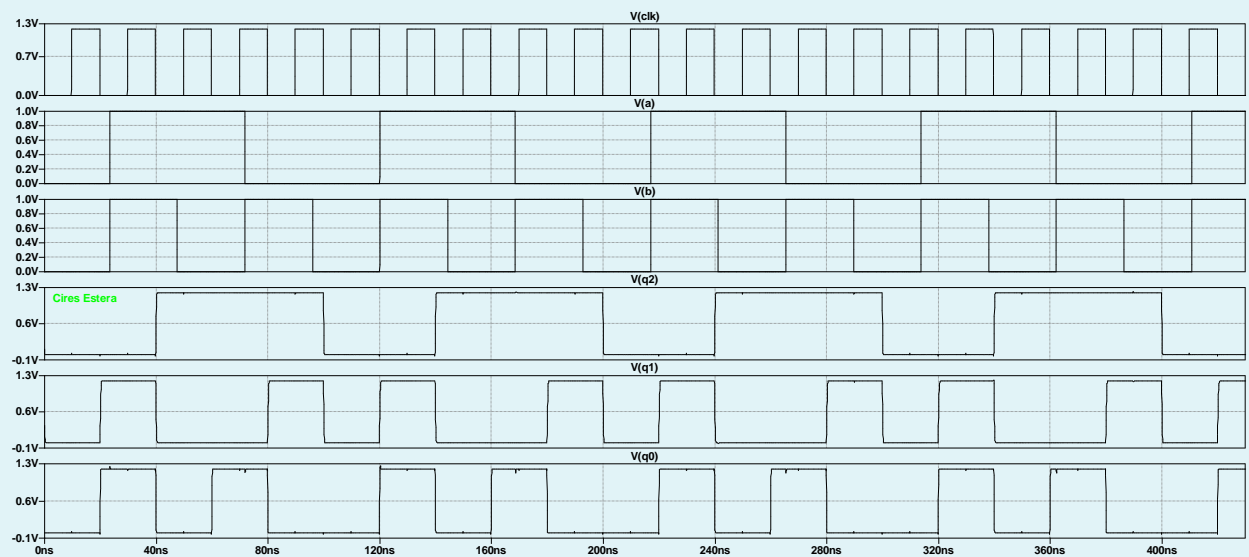
## 5. Implementarea finală

### a) Schema finală a automatului



### b) Verificarea funcționalității circuitului

#### Metoda 1 de verificare:



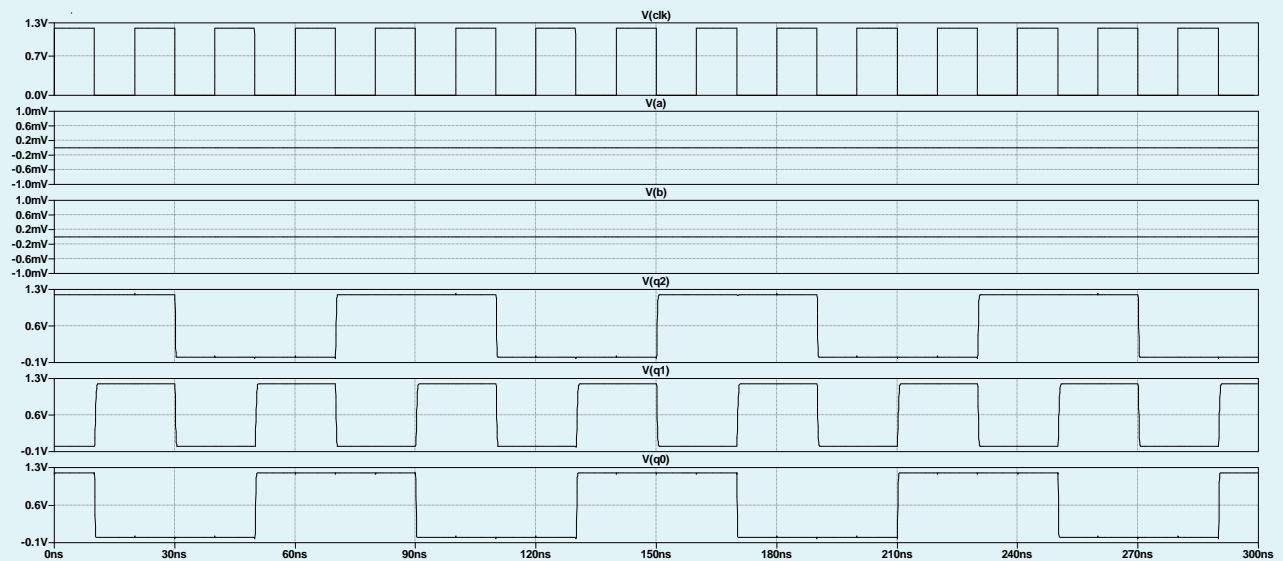
**Concluzie: Automatul trece prin toate starile.**

**Metoda 2 de verificare: (optionala)**

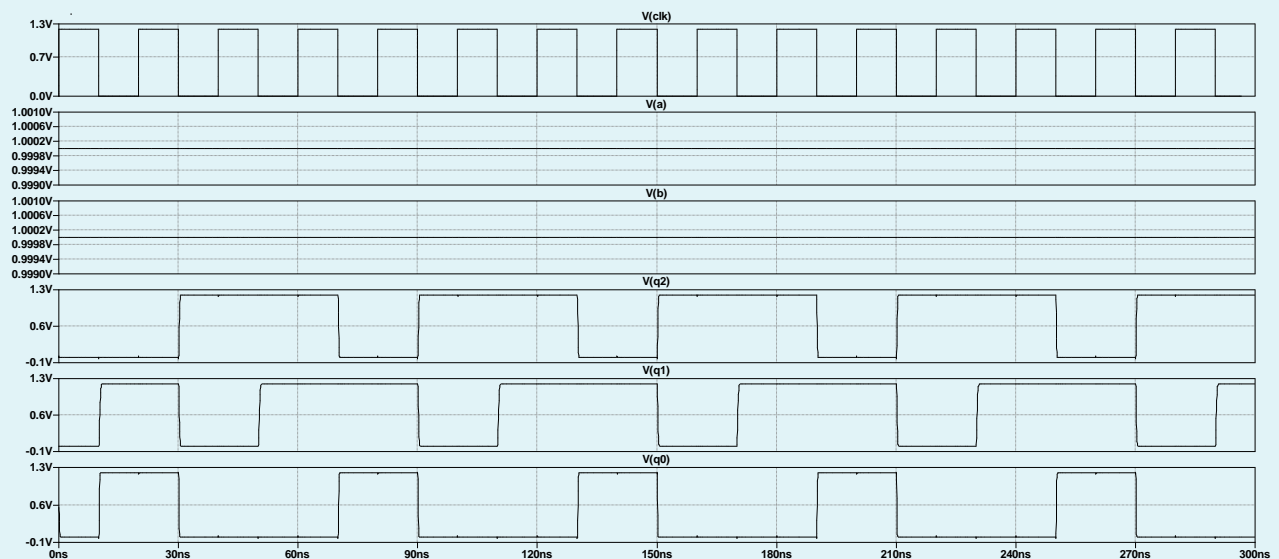
Pentru a verifica toate stările automatului este necesar să luăm 4 cazuri ( $a=0, b=0$ ;  $a=1, b=1$ ;  $a=1, b=0$ ;  $a=0, b=1$ ) în care vom analiza formele de undă (în timp) din care să rezulte funcționarea corectă a circuitului pe fiecare dintre bucle.

**I) Primul caz:  $a=0$  și  $b=0$** 

Bucula: 000-011-101-110

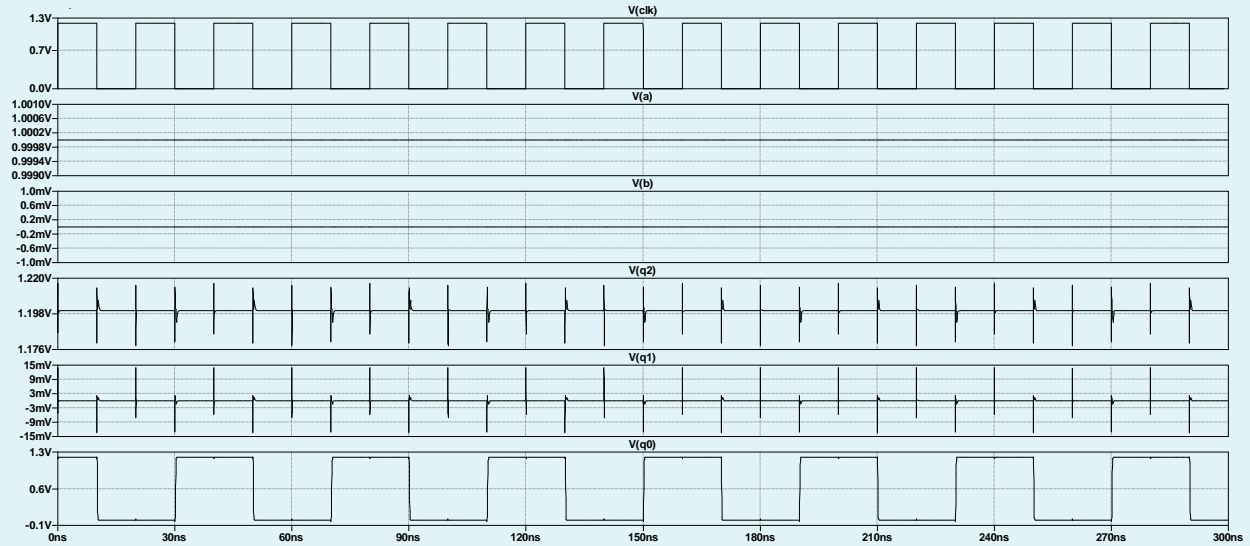
**II) Al doilea caz:  $a=1$  și  $b=1$** 

Bucula: 000-011-100-110



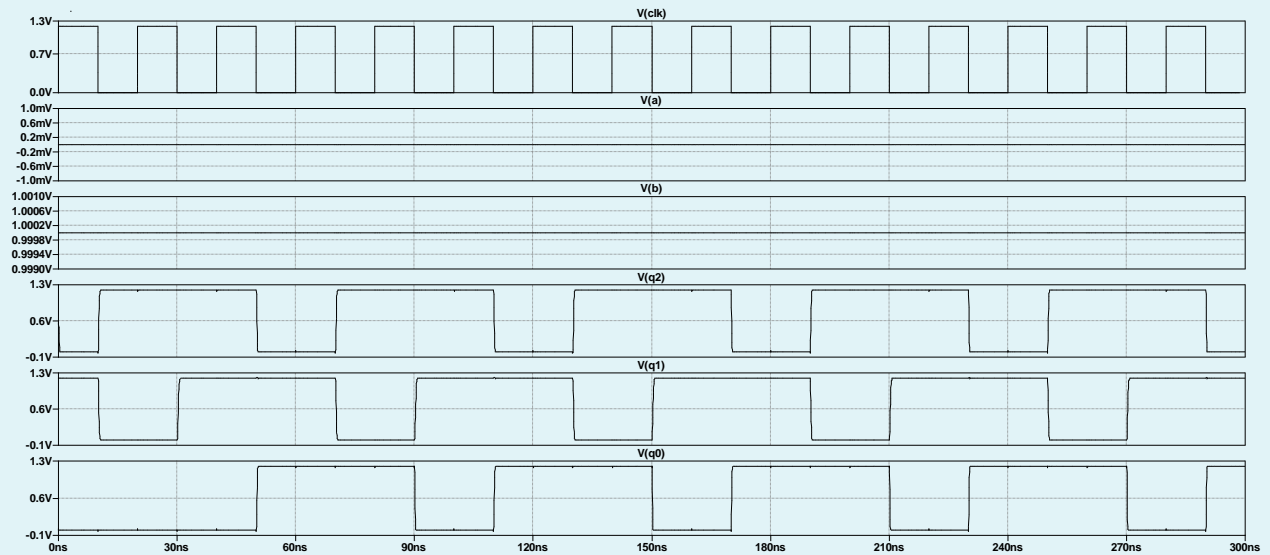
### III) Al treilea caz: $a=1$ și $b=0$

Bucula: 000-011-100-101-110



### IV) Al patrulea caz: $a=0$ și $b=1$

Bucula: 000-011-101-110-011



**Concluzie:** Automatul functioneaza corespunzator pentru oricare dintre cele 4 cazuri prezentate mai sus.