

INGENIERÍA DE COMPUTADORES 3

Trabajo Práctico - Septiembre 2012

INSTRUCCIONES

- El trabajo práctico debe realizarse de manera individual. No puede realizarse en grupo. Por ello, se penalizará cualquier uso compartido de las soluciones propuestas y de los códigos programados.
- El trabajo debe entregarse a través del curso virtual de la asignatura en la plataforma Alf.
- La fecha límite de entrega es el día 10 de septiembre.
- El alumno debe entregar un fichero comprimido, en formato zip o tar, que contenga:
 - Una memoria en la cual explique la solución a los ejercicios, incluyendo los listados documentados del código VHDL desarrollado. Este documento deberá estar en formato pdf.
 - Los ficheros del código VHDL solución a los ejercicios.

El nombre del fichero comprimido debe ser la concatenación del nombre y apellidos del alumno. Por ejemplo, LuisaGomezMartin.zip

CRITERIOS DE EVALUACIÓN DEL TRABAJO

- Para que el trabajo pueda ser corregido, es imprescindible que el alumno entregue dentro del plazo establecido un fichero comprimido que contenga tanto la memoria en formato pdf, como el código VHDL de los ejercicios que haya realizado.
- El trabajo se compone de 2 ejercicios con varios apartados. En el enunciado se indica la puntuación de cada apartado.
- Para aprobar el trabajo es necesario que la suma de la nota obtenida en los dos ejercicios sea igual o mayor que 5.
- Si el código VHDL solución de un apartado tiene uno o varios errores de compilación, o no tiene la funcionalidad pedida, dicho apartado se valorará con cero puntos.
- Si el código solución de un apartado compila sin errores y tiene la funcionalidad pedida, la puntuación en dicho apartado será al menos el 80 % de la nota del apartado.
- Se valorará positivamente la eficiencia y la adecuada documentación del código, así como la presentación y calidad de las explicaciones proporcionadas en la memoria.

PROCEDIMIENTO DE EVALUACIÓN EN ESTA ASIGNATURA

Para aprobar la asignatura es necesario aprobar el trabajo y aprobar el examen.

Plantearemos un trabajo para la convocatoria ordinaria (junio) y otro diferente para la convocatoria extraordinaria (septiembre). Este trabajo que está leyendo corresponde a la convocatoria extraordinaria de 2012.

La nota obtenida en la convocatoria ordinaria en el trabajo y en el examen se guarda para la convocatoria extraordinaria. Es decir:

- Si un alumno aprueba el trabajo de la convocatoria ordinaria y no aprueba el examen, se le guarda la nota del trabajo para la convocatoria extraordinaria. Es decir, no debe hacer el trabajo de la convocatoria extraordinaria.
- Si un alumno no entrega o suspende el trabajo en convocatoria ordinaria, pero sí aprueba el examen en convocatoria ordinaria, entonces se le guarda la nota del examen para la convocatoria extraordinaria, debiendo aprobar el trabajo de la convocatoria extraordinaria para superar la asignatura.

La nota del trabajo y del examen no se guarda de un curso para otro.

EJERCICIO 1

- 1.a) (0.5 puntos) Escriba en VHDL la **entity** de un circuito multiplexor de dos señales de 1 bit. Como se muestra en la Figura 1.1, el circuito debe tener dos entradas de datos de un bit, llamadas x_0 y x_1 , una entrada de selección de un bit, llamada s , y una salida de un bit, llamada y .

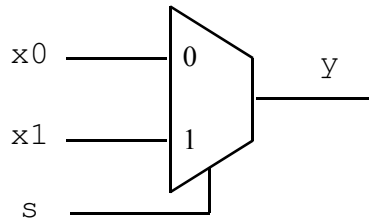


Figura 1.1: Multiplexor de 2 entradas de 1 bit.

- 1.b) (1 punto) Escriba la tabla de la verdad del circuito multiplexor de dos señales de 1 bit. A partir de dicha tabla de la verdad, obtenga la función lógica que describe la salida (y) en función de las entradas (x_0 , x_1 , s). A continuación, escriba en VHDL una **architecture** que describa el *comportamiento* de un circuito que implemente dicha función lógica.
- 1.c) (0.5 puntos) Dibuje el diagrama al nivel de puertas lógicas de un circuito que implemente esta función. Emplee para ello puertas lógicas AND y OR de dos entradas, y puerta NOT. A continuación, escriba en VHDL la **entity** y la **architecture** de cada una de las puertas lógicas que componen el diagrama que acaba de dibujar.
- 1.d) (1 punto) Escriba en VHDL una **architecture** que describa la *estructura* del circuito que ha dibujado, instanciando y conectando las puertas lógicas que ha diseñado anteriormente.
- 1.e) (1 punto) Escriba en VHDL un banco de pruebas que permita visualizar, para todos los posibles valores de las entradas, la salida de los circuitos diseñados en los Apartados 1.b y 1.d. Compruebe mediante inspección visual que los dos diseños funcionan correctamente.

EJERCICIO 2

En la Figura 1.2 se muestra la estructura de un circuito combinacional desplazador denominado *barrel shifter*. Obsérvese que está compuesto por la conexión de tres etapas, cada una de las cuales está compuesta por ocho multiplexores (MUX) dispuestos en una misma columna. Cada uno de estos multiplexores es como el diseñado en el Ejercicio 1.

En la primera etapa, que es la columna de multiplexores situada más a la izquierda, una de las entradas a uno de los multiplexores está conectada a '0'. En la segunda etapa están conectadas a '0' una de las entradas de dos multiplexores y en la tercera etapa una de las entradas de cuatro multiplexores.

Las entradas de selección de todos los multiplexores de la primera etapa están conectadas entre sí y conectadas a la entrada $s(0)$. Igualmente, las entradas de selección de todos los multiplexores de la segunda etapa están conectadas entre sí y conectadas a la entrada $s(1)$. Lo mismo para las entradas de selección de los multiplexores de la tercera etapa, que están conectadas a $s(2)$.

La **entity** del circuito se muestra a continuación.

```
entity barrelShifter is
  port ( y : out std_logic_vector(7 downto 0);
        x : in  std_logic_vector(7 downto 0);
        s : in  std_logic_vector(2 downto 0) );
end entity barrelShifter;
```

- 2.a) (2 puntos) Diseñe en VHDL la **architecture** que describe el comportamiento del circuito combinacional desplazador *barrel shifter*.
- 2.b) (2 puntos) Diseñe en VHDL la **architecture** que describe la estructura del circuito combinacional desplazador *barrel shifter*, mediante la conexión de los multiplexores como el diseñado al resolver el Ejercicio 1 (puede emplear indistintamente el diseño realizado en el Apartado 1.b ó 1.d).
- 2.c) (2 puntos) Programe en VHDL un banco de pruebas que testee todas las posibles entradas al circuito *barrel shifter*. El banco de pruebas debe comparar las salidas de la UUT con las salidas esperadas, mostrando el correspondiente mensaje de error en caso de que las salidas obtenidas de la UUT no correspondan con las esperadas. Emplee este banco de pruebas para comprobar los diseños realizados al contestar a los Apartados 2.a y 2.b.

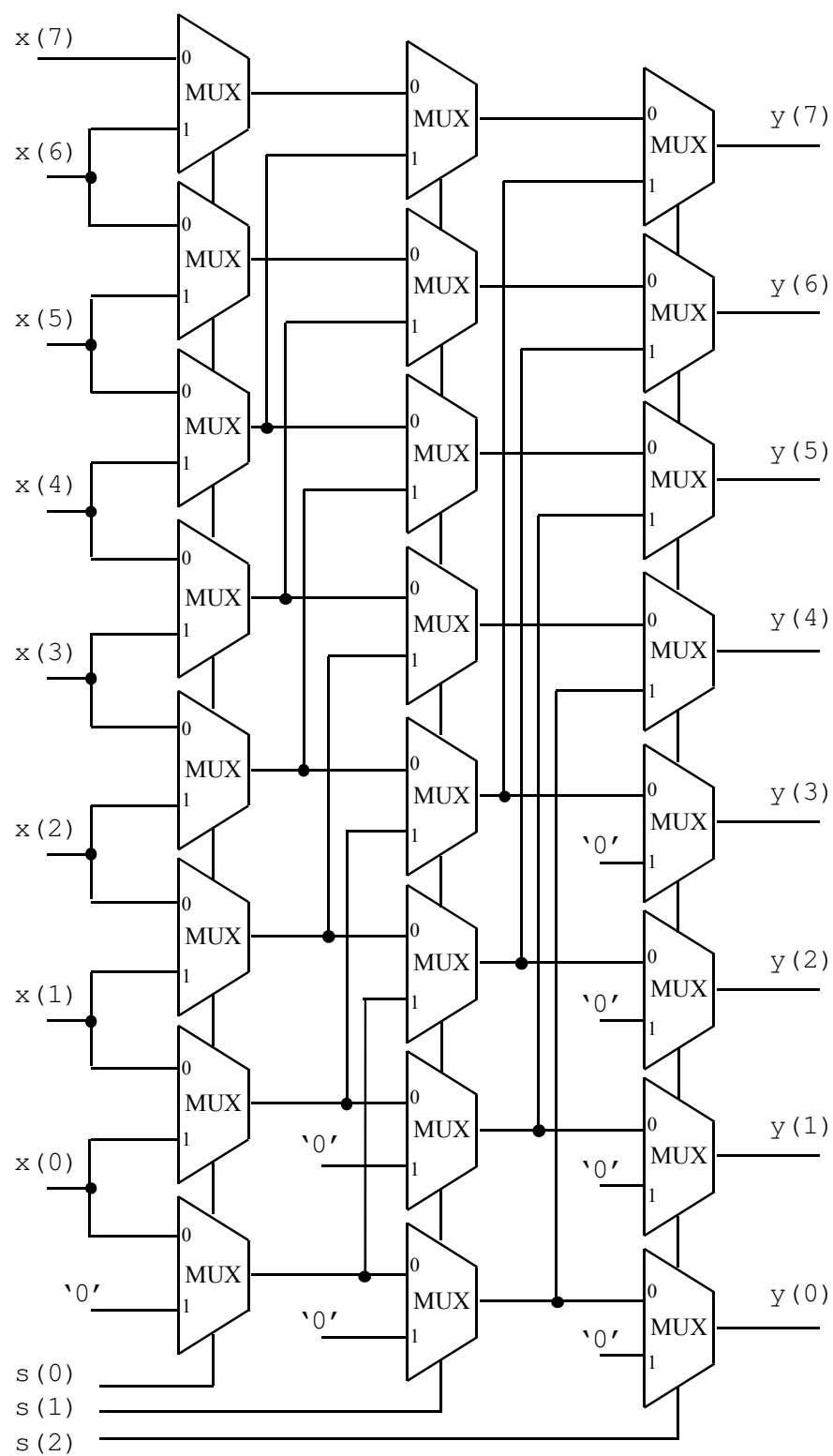


Figura 1.2: Diagrama del circuito desplazador denominado “barrel shifter”.