

INGENIERÍA DE COMPUTADORES III

INSTRUCCIONES

Por favor, entregue todas las hojas de enunciado junto con el examen.

Dispone de 2 horas para realizar el examen.

MATERIAL PERMITIDO: Ninguno.

Pregunta 1 (2 puntos)

Tomando como base el siguiente código VHDL, dibuje el cronograma de evolución de las señales x1, x2, x3, x4, x5 entre los instantes 0 y 60 ns.

```
library IEEE;
use IEEE.std_logic_1164.all;
entity cronol is
end entity cronol;

architecture cronol of cronol is
    signal x1, x2, x3, x4 : std_logic;
    signal x5 : std_logic := '0';
begin
    process (x1, x5)
        variable temp : std_logic;
    begin
        temp := x1;
        x2 <= x1;
        x3 <= x2;
        x4 <= temp;
    end process;
    x1 <= '0', '1' after 10 ns, '0' after 20 ns,
        '1' after 30 ns;
    x5 <= x1 after 15 ns;
end architecture cronol;
```

Pregunta 2 (2.5 puntos)

Escriba en VHDL, de las dos formas que se detallan a continuación, la **architecture** que describe el comportamiento de un circuito combinacional desplazador a la izquierda. El circuito ha de desplazar la señal de entrada a la izquierda de 0 a 7 bits rellenado con '0'. En la descripción del circuito no se pueden emplear ni operadores ni funciones de desplazamiento lógico. La **entity** del circuito se muestra a continuación.

```
entity desplazador is
    port ( y : out std_logic_vector(7 downto 0);
          a : in  std_logic_vector(7 downto 0);
          ctrl : in  std_logic_vector(2 downto 0) );
end entity desplazador;
```

La señal `a` es la señal a desplazar y el valor de la señal `ctrl` indica el número de bits a desplazar.

2.a) (1.25 puntos) Empleando una sentencia concurrente condicional (**when - else**). Dibuje el diagrama conceptual del circuito diseñado.

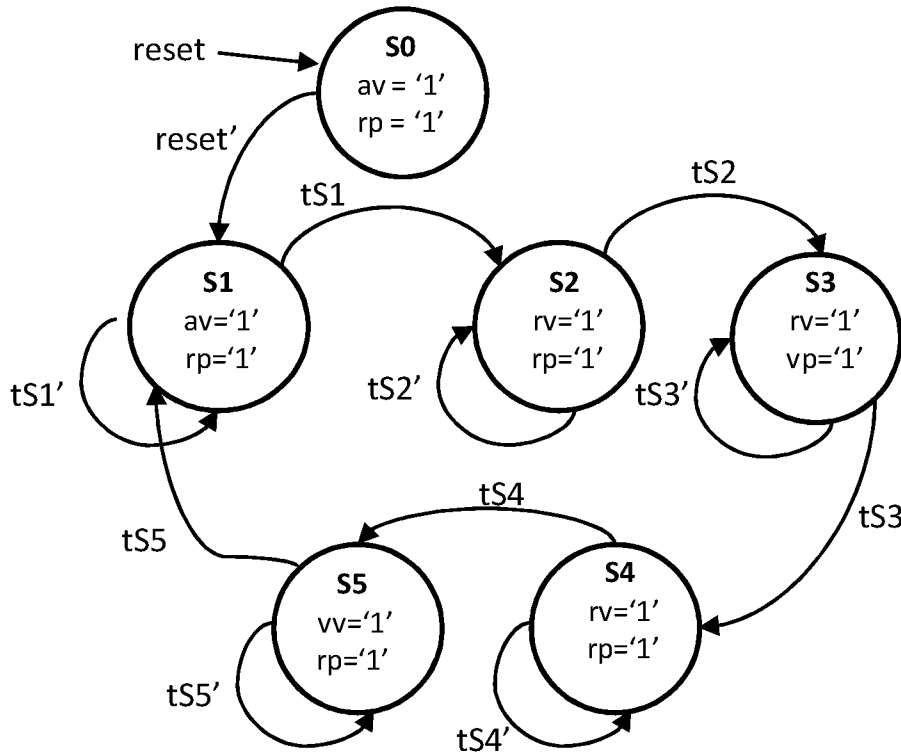
2.b) (1.25 puntos) Empleando una asignación concurrente de selección (**with - select**). Dibuje el diagrama conceptual del circuito diseñado.

Pregunta 3 (3.5 puntos) Diseñe un circuito secuencial síncrono para la regulación de un paso de peatones. El paso de peatones tiene dos semáforos: el semáforo de los vehículos y el semáforo de los peatones. El semáforo de los vehículos tiene tres lámparas: verde, amarillo y rojo. El semáforo de los peatones tiene dos lámparas: verde y rojo. La **entity** del circuito se muestra a continuación.

```
entity regulador is
    port ( rv, av, vv, rp, vp : out std_logic;
          clk, reset : in  std_logic );
end regulador;
```

Las entradas al circuito son la señal de reloj (`clk`) de 60 Hz y la señal de reset (`reset`) asíncrona y activa a nivel alto. Las señales de salida `rv`, `av`, `vv`, `rp`, `vp` controlan, respectivamente, las lámparas roja, amarilla y verde del semáforo de vehículos y las lámparas roja y verde del semáforo de peatones. La lámpara está encendida cuando la señal que controla dicha lámpara está a '1' y está apagada cuando está a '0'.

El circuito funciona como una máquina de 6 estados cuyo diagrama de estados se muestra en la siguiente figura. Las transiciones entre estados se producen en el flanco de subida de la señal de reloj. En cada estado se indican las únicas señales de salida que valen '1' en dicho estado.



- Mientras la señal de `reset` esté a '1' el circuito permanece en el estado S0. En el estado S0 sólo están encendidas la lámpara amarilla del semáforo de vehículos y la roja del semáforo de peatones.
- En el estado S1 permanece un tiempo `tS1` (5 s) y sólo están encendidas la lámpara amarilla del semáforo de vehículos y la roja del semáforo de peatones.
- En el estado S2 permanece un tiempo `tS2` (5 s) y sólo están encendidas la lámpara roja del semáforo de vehículos y la roja del semáforo de peatones.
- En el estado S3 permanece un tiempo `tS3` (45 s) y sólo están encendidas la lámpara roja del semáforo de vehículos y la verde del semáforo de peatones.
- En el estado S4 permanece un tiempo `tS4` (10 s) y sólo están encendidas la lámpara roja del semáforo de vehículos y la roja del semáforo de peatones.
- En el estado S5 permanece un tiempo `tS5` (45 s) y sólo están encendidas la lámpara verde del semáforo de vehículos y la roja del semáforo de peatones.

Escriba el código VHDL de la **architecture** que describe el comportamiento del circuito siguiendo el diagrama de estados mostrado anteriormente.

Pregunta 4 (2 puntos)

Programe en VHDL un banco de pruebas para el circuito que ha diseñado al contestar a la Pregunta 3. El banco de pruebas ha de resetear el circuito y comprobar que se producen correctamente las transiciones de estado hasta alcanzar el estado S5. El banco de pruebas debe comprobar que los valores de las señales de salida de la UUT coinciden con los esperados, mostrando el correspondiente mensaje en caso de que no coincidan. Al final del test, debe mostrarse un mensaje indicando el número total de errores.