

INGENIERÍA DE COMPUTADORES III

INSTRUCCIONES

Por favor, entregue esta primera hoja de enunciado junto con el examen.

Dispone de 2 horas para realizar el examen.

MATERIAL PERMITIDO: Ninguno.

Pregunta 1 (2 puntos)

Tomando como base el siguiente código VHDL, dibuje el cronograma de evolución de las señales x1, x2, x3, x4 y x5 entre los instantes 0 y 100 ns.

```
entity cronol is
end entity cronol;

architecture cronol of cronol is
    signal x1, x2, x3, x4, x5 : std_logic;
begin
    x1 <= '1', '0' after 10 ns,
        '1' after 25 ns, '0' after 30 ns,
        '1' after 40 ns;
    Proc1: process
    begin
        x2 <= '1';
        wait for 10 ns;
        x2 <= '0';
        wait for 15 ns;
        x2 <= '1';
        wait for 20 ns;
        x2 <= '0';
    end process;
    x3 <= (x1 xor x2) after 15 ns;
    x4 <= x1 xor x2;
    x5 <= transport (x1 xor x2) after 15 ns;
end architecture cronol;
```

Pregunta 2 (2 puntos)

Escriba en VHDL, de las formas que se detallan a continuación, la **architecture** que describe el comportamiento de un circuito combinacional codificador de 4 a 2 con prioridad. A continuación, se muestran la **entity** del circuito y su tabla de la verdad.

```
entity codificadorPrioridad4a2 is
  port (  codigo      : out std_logic_vector(1 downto 0);
         activo      : out std_logic;
         x           : in  std_logic_vector(3 downto 0) );
end entity codificadorPrioridad4a2;
```

x	codigo	activo
1 ---	11	1
0 1 --	10	1
0 0 1 -	01	1
0 0 0 1	00	1
0 0 0 0	00	0

En el código VHDL de la **architecture**, emplee para evaluar la señal `codigo`:

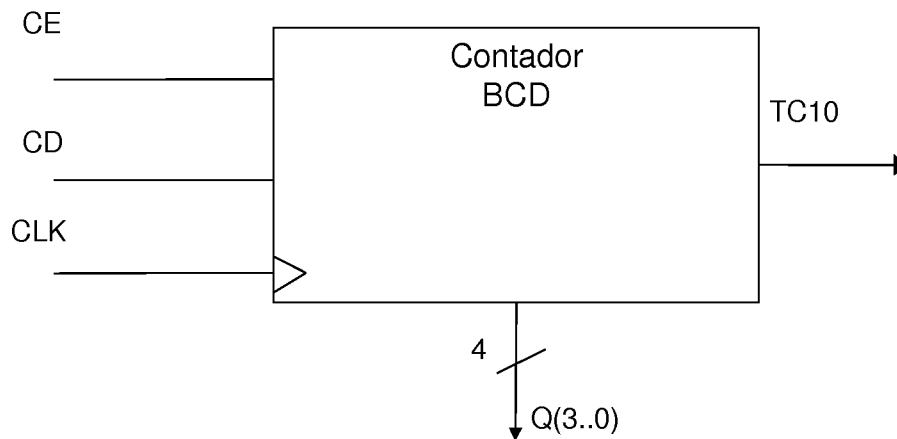
- 2.a) (0.5 puntos) Una asignación concurrente condicional (**when - else**).
- 2.b) (0.5 puntos) Una asignación concurrente de selección (**with - select**).
- 2.c) (0.5 puntos) Una sentencia **if**.
- 2.d) (0.5 puntos) Una sentencia **case**.

Pregunta 3 (2 puntos)

Programe el banco de pruebas del circuito combinacional que ha diseñado en la Pregunta 2. Explique detalladamente cómo el programa de test comprueba de manera sistemática el funcionamiento del circuito. El banco de pruebas debe comprobar que los valores obtenidos de la UUT coinciden con los esperados, mostrando el correspondiente mensaje en caso de que no coincidan. Al final del test, debe mostrarse un mensaje indicando el número total de errores.

Pregunta 4 (4 puntos)

Diseñe usando VHDL un circuito contador síncrono BCD cuyo símbolo se muestra en la siguiente figura. El circuito tiene las siguientes señales de entrada: una señal de reloj (CLK), una señal de un bit (CE) y una señal de un bit (CD). Tiene las dos siguientes señales de salida: una señal de 4 bits (Q) y una señal de un bit (TC10).



El circuito tiene el comportamiento descrito a continuación.

La señal CD tiene prioridad sobre la señal CE. Mientras la señal de entrada CD tiene el valor '1', la señal de salida Q tiene el valor "0000".

Cuando la señal de entrada CE tiene el valor '1', la señal de salida Q toma cíclicamente en el flanco de subida de la señal de reloj los valores "0000", "0001", "0010", "0011", "0100", "0101", "0110", "0111", "1000" y "1001". Si la señal de entrada CE tiene el valor '0', se mantiene el valor de la señal de salida Q.

La señal de salida TC10 tiene valor '1' mientras la señal CE tiene el valor '1' y la señal Q tiene el valor "1001".

Escriba en VHDL la **architecture** que describe el comportamiento del circuito en términos de una máquina de Moore. Dibuje el diagrama de estados correspondiente al circuito que ha diseñado.