

## INGENIERÍA DE COMPUTADORES III

Apellidos: \_\_\_\_\_ Nombre: \_\_\_\_\_

DNI: \_\_\_\_\_ Centro Asociado en el que está MATRICULADO: \_\_\_\_\_

**INSTRUCCIONES:** Complete sus datos personales en la cabecera de esta hoja y en todas las demás hojas del examen.

Entregue esta hoja de enunciado junto con el examen.

Dispone de **2 horas** para realizar el examen.

**MATERIAL PERMITIDO: Ninguno.**

### Pregunta 1 (2 puntos)

Tomando como base el siguiente código VHDL, dibuje el cronograma de evolución de las señales x1, x2, x3, x4, x5 y x6 entre los instantes 0 y 100 ns.

```
library IEEE;
use IEEE.std_logic_1164.all;
entity crono2 is
end entity crono2;

architecture crono2 of crono2 is
    signal x1 : std_logic := '0';
    signal x2, x3, x4, x5, x6 : std_logic;
begin
    process
    begin
        x3 <= x1;
        wait for 10 ns;
        x4 <= x3;
        x5 <= x4;
        wait for 10 ns;
    end process;
    x1 <= '0', '1' after 20 ns, '0' after 40 ns,
        '1' after 50 ns;
    x6 <= x1 after 25 ns;
    x2 <= x1 after 15 ns;
end architecture crono2;
```

## Pregunta 2 (3 puntos)

**2.a)** (0.75 puntos) Escriba en VHDL la **architecture** de un multiplexor 4:1 empleando una sentencia concurrente condicional (**when - else**). La **entity** del multiplexor 4:1 se muestra a continuación.

```
entity mux4_1 is
port (    y: out std_logic;
        s: in  std_logic_vector(1 downto 0);
        x: in  std_logic_vector(3 downto 0)    );
end entity mux4_1;
```

**2.b)** (0.25 puntos) Dibuje el diagrama circuital de un circuito desplazador de barril de 4 bits empleando para ello únicamente multiplexores 4:1 como el descrito en el apartado 2.a. Este circuito desplazador tiene una señal de entrada *s* de 2 bits para seleccionar la operación, una señal de entrada *x* de 4 bits y una señal de salida *y* de 4 bits. La tabla de operaciones del circuito se muestra a continuación.

s	Operación	y
"00"	Ninguna	x(3)x(2)x(1)x(0)
"01"	Rota 1 bit a la izquierda	x(2)x(1)x(0)x(3)
"10"	Rota 2 bits a la izquierda	x(1)x(0)x(3)x(2)
"11"	Rota 3 bits a la izquierda	x(0)x(3)x(2)x(1)

**2.c)** (2 puntos) Escriba en VHDL la **architecture** que describe la estructura del circuito desplazador siguiendo el diagrama dibujado en el apartado anterior y empleando el multiplexor cuyo diseño ha realizado al contestar el primer apartado. La **entity** del circuito se muestra a continuación.

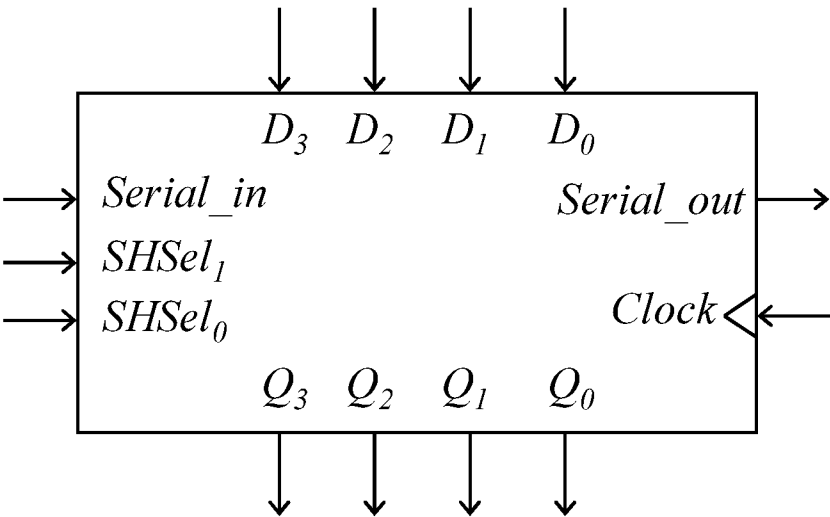
```
entity despBarril is
port (    y: out std_logic_vector(3 downto 0);
        x: in  std_logic_vector(3 downto 0);
        s: in  std_logic_vector(1 downto 0)    );
end entity despBarril;
```

## Pregunta 3 (2 puntos)

Programe en VHDL el banco de pruebas del circuito combinacional que ha diseñado al contestar a la Pregunta 2.c. Explique detalladamente cómo el programa de test comprueba de manera sistemática el funcionamiento del circuito. El banco de pruebas debe comprobar que los valores obtenidos de la UUT coinciden con los esperados, mostrando el correspondiente mensaje en caso de que no coincidan.

**Pregunta 4** (3 puntos)

Diseñe usando VHDL un registro de desplazamiento conversor serie-a-paralelo y paralelo-a-serie de 4 bits como el mostrado en la figura siguiente. El circuito tiene las siguientes entradas: señal de reloj, dos entradas de selección, una entrada serie y cuatro entradas para carga en paralelo. Las salidas del circuito son la salida serie y cuatro salidas en paralelo.



Para llevar a cabo la conversión serie-a-paralelo, en primer lugar deben cargarse los 4 bits en el registro a través de la entrada serie y a continuación realizarse la lectura en paralelo.

Por otro lado, para la conversión paralelo-a-serie, se realiza primero una escritura en paralelo y a continuación se realiza la lectura del contenido del registro bit a bit a través de la salida serie. Para ello, es necesario realizar tres operaciones de desplazamiento. En la tabla siguiente se muestran las operaciones del registro.

$SHSel_1$	$SHSel_0$	Operación
0	0	Mantiene valor
0	1	Carga en paralelo
1	0	Desplaza 1 bit a la derecha el contenido del registro y asigna a $Q_3$ el valor en <i>Serial_in</i>

El diseño del registro en VHDL debe realizarse describiendo el comportamiento del circuito, empleando para ello un único bloque **process**.