

ÍNDICE

Prefacio	25
Organización de la Unidad Didáctica	25
Cómo utilizar el libro	26
Objetivos docentes	27
1. Fundamentos del diseño del hardware digital	29
1.1. Introducción	33
1.2. Lenguajes para la descripción de hardware	34
1.2.1. Usos de un programa HDL	35
1.2.2. HDL más ampliamente usados	35
1.3. Ciclo de diseño de los circuitos digitales	36
1.4. Tecnologías de circuitos integrados	38
1.4.1. Clasificación de las tecnologías	39
1.4.2. Comparación entre tecnologías	42
1.5. Propiedades de los circuitos digitales	47
1.5.1. Retardo de los dispositivos	47
1.5.2. Ejecución concurrente	49
1.5.3. Diseños marginales	50
1.5.4. Fortaleza de las señales	50
1.6. Test de los circuitos	51
1.6.1. Test en manufactura	52

1.6.2.	Test funcional	54
1.6.3.	Programas de test funcional	55
1.6.4.	Banco de pruebas	56
1.7.	Representaciones y niveles de abstracción	57
1.7.1.	Representación del sistema	57
1.7.2.	Niveles de abstracción	58
1.7.3.	VHDL en el flujo de desarrollo	63
1.8.	Conceptos básicos a través de un ejemplo	63
1.8.1.	Comportamiento al nivel de funciones lógicas	64
1.8.2.	Descripción de la estructura	70
1.8.3.	Descripción abstracta del comportamiento	72
1.8.4.	Banco de pruebas	76
1.8.5.	Configuración	78
1.9.	Dos simuladores de VHDL'93: VeriBest y ModelSim	79
1.9.1.	Diseño de un buffer triestado	79
1.9.2.	Diseño del banco de pruebas	80
1.10.	Lecturas recomendadas	82
1.11.	Ejercicios de autocomprobación	83
1.12.	Soluciones de los ejercicios	87
2.	Conceptos básicos de VHDL	91
2.1.	Introducción	95
2.2.	Unidades de diseño	95
2.3.	Entity	97
2.3.1.	Cláusula port	98
2.3.2.	Cláusula generic	100
2.3.3.	Declaraciones	101
2.3.4.	Sentencias	101

2.3.5. Resumen de la sintaxis de la entity	101
2.4. Architecture	102
2.5. Asignaciones concurrentes	104
2.5.1. Asignaciones concurrentes simples	104
2.5.2. Asignaciones concurrentes condicionales	107
2.5.3. Asignaciones concurrentes de selección	110
2.5.4. Sensibilidad de las sentencias concurrentes	114
2.6. Sentencia generate	115
2.6.1. Sentencia generate iterativa	115
2.6.2. Sentencia generate condicional	116
2.7. Bloque process	116
2.7.1. Sentencias wait	118
2.7.2. Lista de sensibilidad	120
2.8. Código secuencial	122
2.8.1. Asignación secuencial a una señal	122
2.8.2. Asignación secuencial a una variable	124
2.8.3. Sentencia if	124
2.8.4. Sentencia case	128
2.8.5. Bucle for	132
2.9. Descripción de la estructura	135
2.9.1. Diseños con estructura regular	139
2.10. Parametrización	142
2.10.1. Parametrización del comportamiento	142
2.10.2. Parametrización de la estructura	142
2.11. Señales, variables y constantes	143
2.12. Tipos de datos y operadores	145
2.12.1. Tipos predefinidos en VHDL	146

2.12.2. Tipos del paquete IEEE.std_logic_1164	149
2.12.3. Operadores sobre bit_vector y std_logic_vector	154
2.12.4. Tipos del paquete IEEE.numeric_std	156
2.12.5. Tipos time y string	163
2.12.6. Tipos definidos por el usuario	163
2.13. Atributos	166
2.14. Librerías	167
2.15. Assert	169
2.16. Subprogramas	170
2.16.1. Funciones	170
2.16.2. Procedimientos	172
2.16.3. Diferencias entre funciones y procedimientos	175
2.17. Paquetes	176
2.18. Lecturas recomendadas	179
2.19. Ejercicios de autocomprobación	180
2.20. Soluciones de los ejercicios	187
3. Simulación del código VHDL	201
3.1. Introducción	205
3.2. Procesamiento del código VHDL	206
3.3. Orden de compilación	207
3.4. Drivers	208
3.5. Inicialización	211
3.5.1. Ejemplo: señal con un driver	212
3.5.2. Ejemplo: señal con dos drivers	213
3.6. Atributos de las señales	216
3.7. El retardo delta	219
3.8. Gestión de la cola de transacciones del driver	221

3.8.1. Ejemplo: simulación de formas de onda con retardo inercial . .	222
3.8.2. Ejemplo: simulación de formas de onda con retardo de transporte	225
3.9. Ejemplo: simulación de un circuito sencillo	226
3.10. Lecturas recomendadas	230
3.11. Ejercicios de autocomprobación	231
3.12. Soluciones de los ejercicios	240
4. Diseño de lógica combinacional	273
4.1. Introducción	277
4.2. Diseño para síntesis de lógica combinacional	277
4.2.1. Empleo de sentencias concurrentes	278
4.2.2. Empleo de bloques process	280
4.3. Funciones lógicas	280
4.3.1. Diseño del circuito	280
4.3.2. Programación del banco de pruebas	281
4.4. Multiplexor de 4 entradas	285
4.4.1. Diseño usando sentencias secuenciales	285
4.4.2. Diseño usando sentencias concurrentes	286
4.5. Restador completo de 1 bit	291
4.5.1. Descripción del comportamiento	291
4.5.2. Descripción de la estructura	293
4.5.3. Programación del banco de pruebas	296
4.6. Sumador completo de 1 bit	301
4.6.1. Diseño del circuito	302
4.6.2. Banco de pruebas	302
4.7. Unidad aritmético lógica	306
4.7.1. Diseño de la ALU	306
4.7.2. Programación del banco de pruebas	308

4.8. Lecturas recomendadas	313
4.9. Ejercicios de autocomprobación	314
4.10. Soluciones de los ejercicios	321
5. Registros y memorias	353
5.1. Introducción	357
5.2. Registro de 4 bits	357
5.2.1. Descripción del comportamiento	358
5.2.2. Banco de pruebas	358
5.3. Registro multifunción	360
5.3.1. Descripción del comportamiento	361
5.3.2. Banco de pruebas	364
5.4. Registro de desplazamiento	368
5.4.1. Descripción del comportamiento	368
5.4.2. Banco de pruebas	369
5.4.3. Banco de pruebas con acceso a fichero	371
5.5. Register file	375
5.5.1. Registro triestado	376
5.5.2. Descripción estructural del register file	378
5.5.3. Drivers y función de resolución	378
5.5.4. Banco de pruebas del register file	380
5.5.5. Descripción del comportamiento del register file	384
5.6. Bus bidireccional y memorias	386
5.6.1. Memoria de sólo lectura	386
5.6.2. Memoria de lectura y escritura	388
5.6.3. Bus bidireccional	389
5.7. Lecturas recomendadas	391
5.8. Ejercicios de autocomprobación	392

5.9. Soluciones de los ejercicios	397
6. Diseño de lógica secuencial	415
6.1. Introducción	419
6.2. Diseño de máquinas de estado finito	419
6.2.1. Circuito detector de secuencias	420
6.3. Síntesis de lógica secuencial	422
6.3.1. Sentencias condicionales incompletas	423
6.3.2. Sentencias condicionales completas	423
6.3.3. Retardos	423
6.3.4. Inicialización	424
6.3.5. Bloques process	424
6.4. Flip-flop JK	425
6.4.1. Diseño del flip-flop	426
6.4.2. Banco de pruebas	426
6.5. Máquinas de estado finito de Moore	430
6.5.1. Diseño de la máquina	430
6.5.2. Banco de pruebas	433
6.5.3. Modelado estructural	437
6.6. Máquinas de estado finito de Mealy	439
6.6.1. Diseño de la máquina	439
6.6.2. Banco de pruebas	445
6.7. Máquinas de estado finito seguras	448
6.8. Lecturas recomendadas	451
6.9. Ejercicios de autocomprobación	452
6.10. Soluciones de los ejercicios	463
7. Metodología de transferencia entre registros	513

7.1.	Introducción	517
7.2.	Operaciones de transferencia entre registros	518
7.2.1.	Operación RT básica	518
7.2.2.	Programa RT	520
7.3.	Máquinas de estado finito con camino de datos	522
7.3.1.	Múltiples operaciones RT y camino de datos	522
7.3.2.	Lógica de control mediante FSM	523
7.3.3.	Diagrama de bloques básico de la FSMD	523
7.4.	Descripción del programa RT usando VHDL	525
7.5.	Circuito detector de secuencia	528
7.6.	Control de una máquina expendedora	530
7.6.1.	Protocolo de handshaking	531
7.6.2.	Descripción del algoritmo	532
7.6.3.	Diseño del circuito de control	532
7.6.4.	Programación del banco de pruebas	537
7.7.	Lecturas recomendadas	540
7.8.	Ejercicios de autocomprobación	541
7.9.	Soluciones de los ejercicios	545

APÉNDICES 561

A.	VeriBest VB99.0	561
A.1.	Instalación	563
A.2.	Edición y compilación de un modelo	563
A.2.1.	Arranque del simulador <i>VeriBest VHDL</i>	563
A.2.2.	Creación de un espacio de trabajo	563
A.2.3.	Edición de un fichero	564
A.2.4.	Añadir un fichero al espacio de trabajo	565

A.2.5. Compilación de un fichero	566
A.2.6. Banco de pruebas	569
A.3. Simulación y visualización de los resultados	570
A.3.1. Establecer las condiciones de la simulación	570
A.3.2. Activación del simulador	571
A.3.3. Simulación y visualización de los resultados	571
A.4. Depurado usando el debugger	574
B. ModelSim PE Student Edition	577
B.1. Instalación	579
B.2. Edición y compilación de un modelo	579
B.2.1. Arranque del simulador	580
B.2.2. Creación de un proyecto	581
B.2.3. Añadir ficheros al proyecto	582
B.2.4. Compilación de los ficheros	586
B.2.5. Banco de pruebas	588
B.3. Simulación, visualización y depurado	591
B.3.1. Activación del modo simulación	591
B.3.2. Visualización de los resultados	593
B.3.3. Ejecución de la simulación	594
B.3.4. Inserción de puntos de ruptura	595