

INGENIERÍA DE COMPUTADORES III

Apellidos: _____ Nombre: _____

DNI: _____ Centro Asociado en el que está MATRICULADO: _____

INSTRUCCIONES: Complete sus datos personales en la cabecera de esta hoja y en todas las demás hojas del examen.

Entregue esta hoja de enunciado junto con el examen.

Dispone de **2 horas** para realizar el examen.

MATERIAL PERMITIDO: Ninguno.

Pregunta 1 (2 puntos)

Tomando como base el siguiente código VHDL, dibuje el cronograma de evolución de las señales x1, x2, x3, temp4, temp5, temp6 y x4 entre los instantes 0 y 180 ns.

```
library IEEE;
use IEEE.std_logic_1164.all;
entity cronol is
end entity cronol;

architecture cronol of cronol is
    signal x1, x2 : std_logic := '0';
    signal x3, x4 : std_logic;
    signal temp4, temp5, temp6: std_logic;
begin
    process (x1)
        variable temp1, temp2, temp3: std_logic;
    begin
        temp1 := x2;
        temp2 := temp1;
        temp3 := temp2;
        x3 <= temp3;
        temp4 <= x2;
        temp5 <= temp4;
        temp6 <= temp5;
        x4 <= temp6;
    end process;
    x1 <= not x1 after 20 ns;
    x2 <= '0', '1' after 30 ns, '0' after 90 ns;
end architecture cronol;
```

Pregunta 2 (3 puntos) Diseñe un circuito digital combinacional que tenga como entrada una señal de 4 bits y como salida una señal de un bit que se ponga a ‘1’ si la señal de entrada es “0010”, “0011”, “1010”, “1011” ó “1111” y se ponga a ‘0’ en cualquier otro caso. La **entity** del circuito digital se muestra a continuación.

```
entity circ2 is
port (    y: out std_logic;
        x: in std_logic_vector(3 downto 0)    );
end entity circ2;
```

- 2.a)** (0.25 puntos) Escriba en VHDL la **entity** y la **architecture** que describe el comportamiento de una puerta NOT.
- 2.b)** (0.25 puntos) Escriba en VHDL la **entity** y la **architecture** que describe el comportamiento de una puerta AND de 3 entradas.
- 2.c)** (0.25 puntos) Escriba en VHDL la **entity** y la **architecture** que describe el comportamiento de una puerta OR de 3 entradas.
- 2.d)** (0.25 puntos) Dibuje el diagrama a nivel de puertas lógicas del circuito combinacional descrito. Emplee para ello únicamente puertas NOT, puertas AND de 3 entradas y puertas OR de 3 entradas.
- 2.e)** (2 puntos) Escriba en VHDL la **architecture** que describe la estructura del circuito combinacional siguiendo el diagrama dibujado en el apartado anterior y empleando las puertas lógicas cuyo diseño ha realizado al contestar los tres primeros apartados.

Pregunta 3 (2 puntos)

Programe en VHDL el banco de pruebas del circuito combinacional que ha diseñado al contestar a la Pregunta 2.e. Explique detalladamente cómo el programa de test comprueba de manera sistemática el funcionamiento del circuito. El banco de pruebas debe comprobar que los valores obtenidos de la UUT coinciden con los esperados, mostrando el correspondiente mensaje en caso de que no coincidan.

Pregunta 4 (3 puntos)

Diseñe un circuito secuencial síncrono capaz de detectar cuando le llega la secuencia “110” por su entrada. La **entity** del circuito se muestra a continuación.

```
entity detector is
  port( Y      : out std_logic;
        X      : in  std_logic;
        reset  : in  std_logic;
        clk    : in  std_logic);
end entity detector;
```

El circuito tiene una señal de reloj (`clk`), una entrada serie de un bit (`X`), una señal de reset asíncrona activa en ‘0’ (`reset`) y una señal de salida de un bit (`Y`). La señal `Y` se pone a ‘1’ si los últimos tres bits que han llegado por la entrada (`X`) se corresponden con la secuencia “110”. La señal `reset` pone el circuito en su estado inicial. Todos los cambios tienen lugar en el flanco de subida de la señal de reloj. Escriba en VHDL la **architecture** que describe el comportamiento del circuito en términos de una máquina de Moore. Dibuje el diagrama de estados correspondiente al circuito que ha diseñado.