

INGENIERÍA DE COMPUTADORES III

INSTRUCCIONES

Por favor, entregue todas las hojas de enunciado junto con el examen.

Dispone de 2 horas para realizar el examen.

MATERIAL PERMITIDO: Ninguno.

Pregunta 1 (2 puntos)

Tomando como base el siguiente código VHDL, dibuje el cronograma de evolución de las señales x1, x2, x3, x4, x5 entre los instantes 0 y 80 ns.

```
library IEEE;
use IEEE.std_logic_1164.all;
entity crono2 is
end entity crono2;

architecture crono2 of crono2 is
    signal x1 : std_logic := '0';
    signal x2, x3, x4, x5 : std_logic;
begin
    process
    begin
        for i in 0 to 4 loop
            x3 <= x1;
            x4 <= x5;
            wait for 15 ns;
        end loop;
        wait;
    end process;
    x1 <= '0', '1' after 20 ns, '0' after 40 ns,
        '1' after 50 ns;
    x5 <= x1 after 15 ns;
    x2 <= x1;
end architecture crono2;
```

Pregunta 2 (2.5 puntos) Escriba en VHDL, de las dos formas que se detallan a continuación, la **architecture** que describe el comportamiento de un circuito codificador 4 a 2 con prioridad. La entrada 3 tiene mayor prioridad que la 2, ésta mayor que la 1 y finalmente la entrada 0 es la de menor prioridad. La **entity** del circuito se muestra a continuación.

```
entity codificador4a2 is
  port ( D   : out std_logic_vector(1 downto 0);
        Z   : out  std_logic;
        A   : in  std_logic_vector(3 downto 0) );
end entity codificador4a2;
```

El circuito tiene una señal de salida z que ha de valer '0' sólo cuando todos los componentes de la señal A están a '0'.

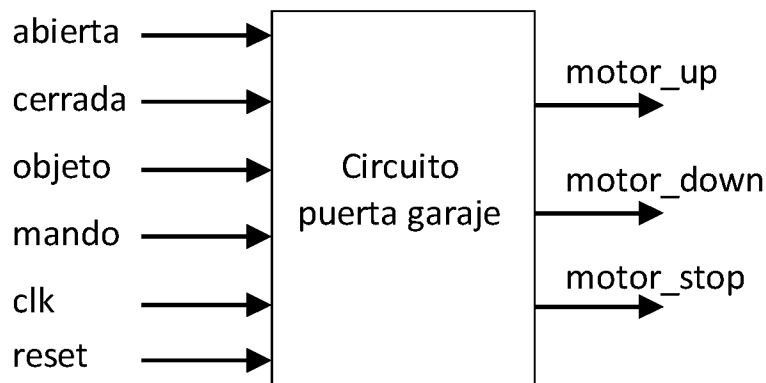
2.a) (1.25 puntos) Empleando un único bloque **process**.

2.b) (1.25 puntos) Describiendo la estructura del circuito. Siga para ello los siguientes pasos. Primero, dibuje el diagrama circuital del codificador con prioridad empleando únicamente las siguientes puertas lógicas: AND de dos entradas, OR de 2 entradas y NOT. Segundo, diseñe en VHDL dichas puertas lógicas. Finalmente, escriba la **architecture** del codificador siguiendo el diagrama circuital que ha dibujado previamente y usando las puertas lógicas que ha diseñado en el segundo paso.

Pregunta 3 (3.5 puntos)

Escriba la **architecture** que describe el comportamiento de un circuito para controlar una puerta de un garaje como una máquina de Moore síncrona, con transiciones en el flanco de subida de la señal de reloj.

La puerta del garaje tiene un motor para subir/bajar la puerta, un sensor para indicar que la puerta está completamente abierta, un sensor para indicar que la puerta está completamente cerrada, un mando remoto con un botón para accionar la puerta y una fotocélula para detectar si existe o no un objeto en la misma. El símbolo lógico del circuito y la **entity** del circuito se muestran a continuación.



```

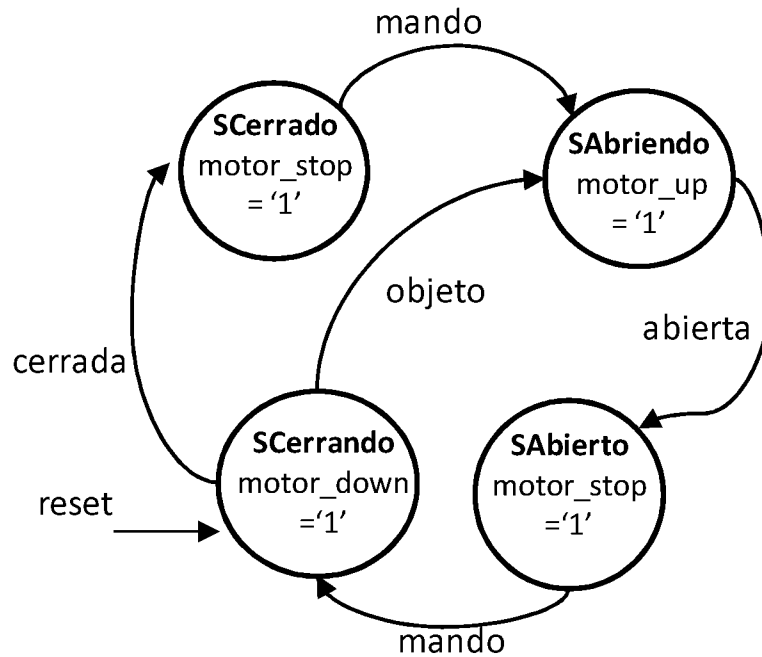
entity reguladorPuertaG is
  port ( motor_up, motor_down, motor_stop : out std_logic;
        abierta, cerrada, objeto, mando, clk, reset : in std_logic );
end reguladorPuertaG;

```

El significado de las señales de salida y entrada al circuito es el siguiente.

- Mientras la señal `motor_up` está a ‘1’ el motor sube la puerta del garaje.
- Mientras la señal `motor_down` está a ‘1’ el motor baja la puerta del garaje.
- El motor está parado mientras la señal `motor_stop` está a ‘1’.
- La señal `abierta` está a ‘1’ mientras la puerta del garaje está completamente abierta.
- La señal `cerrada` está a ‘1’ mientras la puerta del garaje está completamente cerrada.
- La señal `objeto` está a ‘1’ mientras la fotocélula detecta un objeto.
- La señal `mando` está a ‘1’ mientras está pulsado el botón del mando.
- El circuito tiene una señal de reset (`reset`) asíncrona activa a nivel alto.

Este circuito puede ser descrito con el diagrama de estados mostrado en la siguiente figura. Este diagrama tiene 4 estados: SCerrado, SAbriendo, SAbierto y SCerrando. Las transiciones entre estados se producen cuando la señal indicada en el arco de transición toma el valor ‘1’. En cada estado se indican las únicas señales de salida que tienen el valor ‘1’ en dicho estado.



Pregunta 4 (2 puntos) Programe en VHDL un banco de pruebas para el circuito que ha diseñado al contestar a la Pregunta 3. La señal de reloj (`clk`) debe ser de 10 Hz e inicialmente valer '0'. El programa de test debe realizar consecutivamente las acciones siguientes:

1. *Reset.* Resetear el circuito. Todas las señales de entrada al circuito, excepto la señal de reset, han de tener el valor '0'.
2. *En el instante 30 s la fotocélula detecta un objeto .* Darle a la señal `objeto` el valor '1' durante 10 segundos (hasta el instante 40 s). Comprobar que el circuito está generando la señal de salida adecuada para subir la puerta del garaje.
3. *En el instante 90 s la puerta está completamente abierta.* Darle a la señal `abierta` el valor '1'. Comprobar que el circuito está generando la señal de salida adecuada para parar la puerta del garaje.
4. *En el instante 120 s se aprieta el botón del mando.* Darle a la señal `mando` el valor '1' durante 5 segundos (hasta el instante 125 s). Comprobar que el circuito está generando la señal de salida adecuada para bajar la puerta del garaje.
5. *En el instante 180 s la puerta está completamente cerrada.* Darle a la señal `cerrada` el valor '1'. Comprobar que el circuito está generando la señal de salida adecuada para parar la puerta del garaje.

El correcto funcionamiento del circuito debe comprobarse mediante inspección visual. No es necesario que el banco de prueba compruebe que las salidas de la UUT son las esperadas. Dibuje el cronograma de evolución que han de seguir las señales de entrada y salida de la UUT.