

INGENIERÍA DE COMPUTADORES III

INSTRUCCIONES

Por favor, entregue esta primera hoja de enunciado junto con el examen.

Dispone de 2 horas para realizar el examen.

MATERIAL PERMITIDO: Ninguno.

Pregunta 1 (2 puntos)

Tomando como base el siguiente código VHDL, dibuje el cronograma de evolución de las señales y1, y2, y3 e y4 entre los instantes 0 y 400 ns.

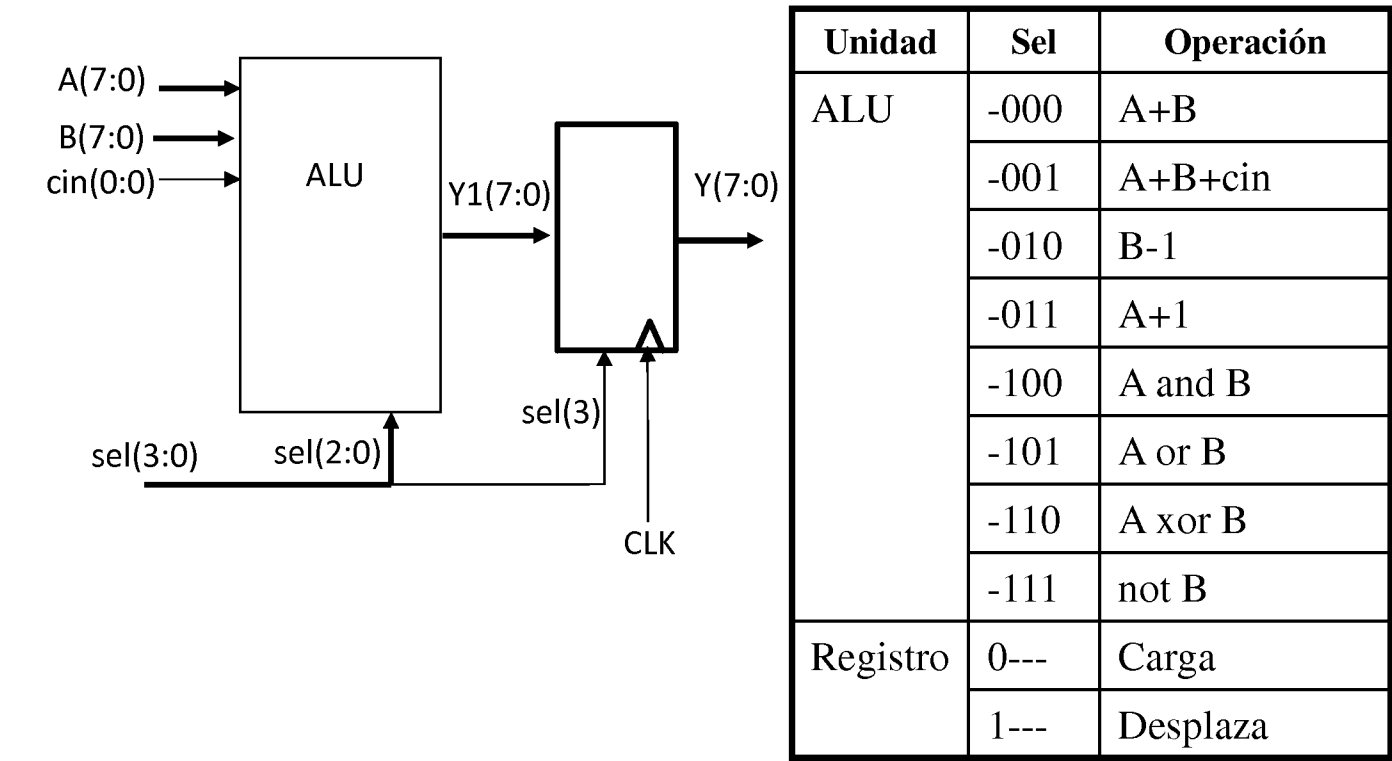
```
library IEEE;
use IEEE.std_logic_1164.all;

entity crono2 is
end entity crono2;

architecture crono2 of crono2 is
    signal y1, y2, y3, y4: std_logic;
begin
    y1 <= '0',
        '1' after 100 ns;
    y2 <= '1',
        '0' after 100 ns,
        '1' after 200 ns,
        '0' after 250 ns;
    y3 <= y2 after 100 ns;
    y4 <= transport y2 after 100 ns;
    Procl: process
    begin
        y1 <= '0';
        wait for 50 ns;
        y1 <= '0';
    end process;
end architecture crono2;
```

Pregunta 2 (3 puntos)

A continuación, se muestra el circuito, la tabla de operaciones y la **entity** de una ALU seguida por un registro que opera en el flanco de subida de la señal de reloj.



```
entity ALUReg is
    port( Y      : out std_logic_vector ( 7 downto 0);
          A, B   : in  std_logic_vector (7 downto 0);
          sel    : in  std_logic_vector ( 3 downto 0);
          cin    : in  std_logic_vector(0 downto 0);
          CLK    : in  std_logic);
end entity ALUReg;
```

La ALU realiza operaciones sobre dos operandos de 8 bits, denominados A y B. La operación que realiza la ALU se especifica con los tres bits menos significativos de la señal sel. La salida de la ALU (señal Y1) es la entrada de un registro. El registro realiza las dos siguientes operaciones que se especifican con sel (3) :

- Cuando la señal sel (3) tiene el valor ‘0’ se carga en el registro la señal Y1 en el flanco de subida de la señal de reloj.
- Cuando la señal sel (3) tiene el valor ‘1’ se desplaza el contenido del registro 1 bit a la derecha y se introduce un cero por la izquierda.

Escriba en VHDL la **architecture** que describe el comportamiento del circuito, empleando

para ello una sentencia de asignación concurrente de selección (**with-select**) para describir el comportamiento de la ALU y un bloque **process** que describa el comportamiento del registro. Asimismo, en el diseño únicamente pueden emplearse los dos siguientes paquetes de la librería IEEE:

```
IEEE.std_logic_1164  
IEEE.numeric_std
```

Pregunta 3 (2 puntos)

Programa en VHDL un banco de pruebas para el circuito que ha diseñado al contestar a la Pregunta 2. La señal de reloj (CLK) debe tener un periodo de 100 ns e inicialmente valer '0'. El programa de test debe realizar las acciones siguientes:

1. *Dar valores a las señales A, B y cin.*
A ha de valer "00000000". B ha de valer "10000000". cin ha de valer "0".
2. *Realizar la operación A or B y cargar el resultado en el registro.*
3. *Realizar tres operaciones de desplazamiento del registro.*
4. *Realizar la operación A xor B y cargar el resultado en el registro.*

El correcto funcionamiento del circuito debe comprobarse mediante inspección visual. No es necesario que el banco de prueba compruebe que las salidas de la UUT son las esperadas. Dibuje el cronograma de evolución que han de seguir las señales de entrada y salida de la UUT.

Pregunta 4 (3 puntos)

Diseñe un circuito secuencial síncrono capaz de detectar cuando le llega la secuencia de bits “0101” por su entrada serie de un bit. El circuito no detecta secuencias solapadas. Por ejemplo, en la secuencia “01010111” se detectaría una única vez la secuencia “0101”. La **entity** del circuito se muestra a continuación.

```
entity detector is
    port( Y      : out std_logic;
          state  : out std_logic_vector(2 downto 0);
          X      : in  std_logic;
          reset  : in  std_logic;
          clk    : in  std_logic);
end entity detector;
```

El circuito tiene una señal de reloj (`clk`), un entrada serie de un bit (`X`), una señal de reset asíncrona activa en ‘1’ (`reset`), una señal que indica el estado en que se encuentra el circuito (`state`) y una señal de salida de un bit (`Y`).

La señal `Y` se pone a ‘1’ cuando se detecta la secuencia “0101” sin solapamientos.

La señal `reset` pone el circuito en su estado inicial. Todos los cambios tienen lugar en el flanco de subida de la señal de reloj.

Escriba en VHDL la **architecture** que describe el comportamiento del circuito en términos de una máquina de Moore. Dibuje el diagrama de estados correspondiente al circuito que ha diseñado indicando la valor de la señal de salida `Y` en cada estado.