

INGENIERÍA DE COMPUTADORES 3

Trabajo Práctico - Septiembre 2015

INSTRUCCIONES

- El trabajo práctico debe realizarse de manera individual. No puede realizarse en grupo. Por ello, se penalizará cualquier uso compartido de las soluciones propuestas y de los códigos programados.
- El trabajo debe entregarse a través del curso virtual de la asignatura en la plataforma Alf.
- La fecha límite de entrega es el día 10 de septiembre.
- El alumno debe entregar un fichero comprimido, en formato zip o tar, que contenga:
 - Una memoria en la cual explique la solución a los ejercicios, incluyendo los listados documentados del código VHDL desarrollado. Este documento deberá estar en formato pdf.
 - Los ficheros del código VHDL solución a los ejercicios.

El nombre del fichero comprimido debe ser la concatenación del nombre y apellidos del alumno. Por ejemplo, LuisaGomezMartin.zip

CRITERIOS DE EVALUACIÓN DEL TRABAJO

- Para que el trabajo pueda ser corregido, es imprescindible que el alumno entregue dentro del plazo establecido un fichero comprimido que contenga tanto la memoria en formato pdf, como el código VHDL de los ejercicios que haya realizado.
- El trabajo se compone de 2 ejercicios con varios apartados. En el enunciado se indica la puntuación de cada apartado.
- Para aprobar el trabajo es necesario que la suma de la nota obtenida en los dos ejercicios sea igual o mayor que 5.
- Si el código VHDL solución de un apartado tiene uno o varios errores de compilación, o no tiene la funcionalidad pedida, dicho apartado se valorará con cero puntos.
- Si el código solución de un apartado compila sin errores y tiene la funcionalidad pedida, la puntuación en dicho apartado será al menos el 80 % de la nota del apartado.
- Se valorará positivamente la adecuada documentación del código, así como la presentación y calidad de las explicaciones proporcionadas en la memoria.

PROCEDIMIENTO DE EVALUACIÓN EN ESTA ASIGNATURA

Para aprobar la asignatura es necesario aprobar el trabajo y aprobar el examen.

Plantearémos un trabajo para la convocatoria ordinaria (junio) y otro diferente para la convocatoria extraordinaria (septiembre). Este trabajo que está leyendo corresponde a la convocatoria extraordinaria de 2015.

La nota obtenida en la convocatoria ordinaria en el trabajo y en el examen se guarda para la convocatoria extraordinaria. Es decir:

- Si un alumno aprueba el trabajo de la convocatoria ordinaria y no aprueba el examen, se le guarda la nota del trabajo para la convocatoria extraordinaria. Es decir, no debe hacer el trabajo de la convocatoria extraordinaria.
- Si un alumno no entrega o suspende el trabajo en convocatoria ordinaria, pero sí aprueba el examen en convocatoria ordinaria, entonces se le guarda la nota del examen para la convocatoria extraordinaria, debiendo aprobar el trabajo de la convocatoria extraordinaria para superar la asignatura.

La nota del trabajo y del examen no se guarda de un curso para otro.

EJERCICIO 1

Se desea diseñar un circuito digital que implemente la función F cuya tabla de verdad se muestra a continuación, que depende de las tres variables x , y y z :

| x | y | z | F |
|-----|-----|-----|-----|
| '0' | '0' | '0' | '1' |
| '0' | '0' | '1' | '1' |
| '0' | '1' | '0' | '0' |
| '0' | '1' | '1' | '0' |
| '1' | '0' | '0' | '1' |
| '1' | '0' | '1' | '0' |
| '1' | '1' | '0' | '1' |
| '1' | '1' | '1' | '0' |

- 1.a) (0.5 puntos) Obtenga la función lógica F a partir de la tabla de verdad. Escriba en VHDL la **entity** del circuito que implemente la función lógica. Es decir, que tenga tres entradas x , y y z , y la salida F .
- 1.b) (0.5 puntos) Dibuje el diagrama de un circuito que implemente esta función lógica al nivel de puertas lógicas. No es necesario que el circuito esté simplificado. A continuación, escriba en VHDL la **entity** y la **architecture** de cada una de las puertas lógicas que componen el circuito que acaba de dibujar.
- 1.c) (1 punto) Escriba en VHDL una **architecture** que describa la *estructura* del circuito que ha dibujado, instanciando y conectando las puertas lógicas que ha diseñado anteriormente.
- 1.d) (1 punto) Escriba en VHDL un banco de pruebas que permita visualizar, para todos los posibles valores de las entradas, la salida del circuito diseñado en el Apartado 1.c. Compruebe mediante inspección visual que el diseño funciona correctamente. Incluya en la memoria el cronograma obtenido al realizar la simulación del banco de pruebas.

EJERCICIO 2

- 2.a)** (0.5 puntos) Escriba en VHDL la **architecture** que describe el comportamiento de un circuito multiplexor de dos señales de 1 bit (a y b) empleando para ello un bloque **process** y una sentencia **if**. El circuito ha de tener la siguiente **entity**.

```
entity mux2a1 is
    port ( y   : out std_logic;
          a   : in  std_logic;
          b   : in  std_logic;
          s   : in  std_logic );
end entity mux2a1;
```

- 2.b)** (1.5 puntos) Programe en VHDL un banco de pruebas que testee todas las posibles entradas al circuito *multiplexor* diseñado en el apartado anterior. El banco de pruebas debe comparar las salidas de la UUT con las salidas esperadas, mostrando el correspondiente mensaje de error en caso de que las salidas obtenidas de la UUT no correspondan con las esperadas. Emplee este banco de pruebas para comprobar el diseño realizado al contestar el Apartado 2.a. Incluya en la memoria el cronograma obtenido al realizar la simulación del banco de pruebas.
- 2.c)** (3 puntos) Escriba en VHDL la **architecture** que describe la estructura de un circuito combinacional desplazador de 4 bits, empleando para ello únicamente multiplexores 2 a 1 iguales al diseñado en el Apartado 2.a. La tabla de operación y la **entity** del circuito desplazador se muestran a continuación.

Tabla 1: Operaciones del desplazador.

| $s(1)s(0)$ | Operación |
|------------|--|
| 00 | Rota un bit a la derecha |
| 01 | Rota un bit a la izquierda |
| 10 | Desplazada un bit a la derecha, introduciendo un '0' en el bit más significativo |
| 11 | Desplaza un bit a la izquierda, introduciendo un '0' en el bit menos significativo |

```

entity desplazador is
    port ( O : out std_logic_vector(3 downto 0);
          I : in  std_logic_vector(3 downto 0);
          s : in  std_logic_vector(1 downto 0) );
end entity desplazador;

```

- 2.d)** (2 puntos) Programe en VHDL un banco de pruebas que testee todas las posibles entradas al circuito *desplazador* diseñado en el Apartado 2.c. El banco de pruebas debe comparar las salidas de la UUT con las salidas esperadas, mostrando el correspondiente mensaje de error en caso de que las salidas obtenidas de la UUT no correspondan con las esperadas. Emplee este banco de pruebas para comprobar el diseño realizado al contestar el Apartado 2.c. Incluya en la memoria el cronograma obtenido al realizar la simulación del banco de pruebas.