

INGENIERÍA DE COMPUTADORES III

Apellidos: _____ Nombre: _____

DNI: _____ Centro Asociado en el que está MATRICULADO: _____

INSTRUCCIONES: Complete sus datos personales en la cabecera de esta hoja y en todas las demás hojas del examen.

Entregue esta hoja de enunciado junto con el examen.

Dispone de **2 horas** para realizar el examen.

MATERIAL PERMITIDO: Ninguno.

Pregunta 1 (2 puntos)

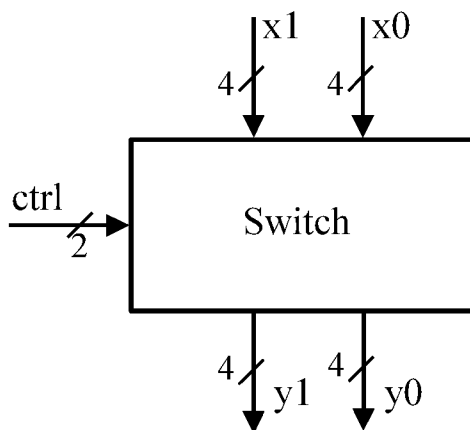
Tomando como base el siguiente código VHDL, dibuje el cronograma de evolución de las señales `clk`, `x`, `y1` e `y2` entre los instantes 0 y 1000 ns.

```
library IEEE;
use IEEE.std_logic_1164.all;
entity crono2 is
end entity crono2;
architecture crono2 of crono2 is
    signal x, y1, y2 : std_logic;
    signal clk : std_logic:= '0';
begin
    process (clk)
        variable a, b, c: std_logic;
    begin
        if ( rising_edge(clk) ) then
            a := x;
            b := a;
            c := b;
            y1 <= c;
            y2 <= y1;
        end if;
    end process;
    clk <= not clk after 100 ns;
    process is
    begin
        x<='0'; wait until falling_edge(clk);
        x<='1'; wait until falling_edge(clk);
        x<='1'; wait until falling_edge(clk);
        x<='0'; wait until falling_edge(clk);
        wait;
    end process;
end architecture crono2;
```

Pregunta 2 (3 puntos)

Escriba en VHDL, de las cuatro formas que se detallan a continuación, la **architecture** que describe el comportamiento de un circuito combinacional cuya **entity**, símbolo lógico y tabla de operaciones se muestran a continuación.

```
entity switch is
  port (  y1, y0      : out std_logic_vector(3 downto 0);
         ctrl        : in  std_logic_vector(1 downto 0);
         x1, x0      : in  std_logic_vector(3 downto 0) );
end entity switch;
```



ctrl(1)	ctrl(0)	y1	y0
0	0	x1	x0
0	1	x0	x1
1	0	x0	x0
1	1	x1	x1

- 2.a) (0.75 puntos) Empleando sentencias concurrentes condicionales (**when - else**).
- 2.b) (0.75 puntos) Empleando asignaciones concurrentes de selección (**with - select**).
- 2.c) (0.75 puntos) Empleando un bloque **process** con sentencias **if**.
- 2.d) (0.75 puntos) Empleando un bloque **process** con sentencias **case**.

Pregunta 3 (2 puntos)

Programe en VHDL el banco de pruebas del circuito combinacional que ha diseñado al contestar a la Pregunta 2. Explique detalladamente cómo el programa de test comprueba de manera sistemática el funcionamiento del circuito. El banco de pruebas debe comprobar que los valores obtenidos de la UUT coinciden con los esperados, mostrando el correspondiente mensaje en caso de que no coincidan. Al final del test, debe mostrarse un mensaje indicando el número total de errores.

Pregunta 4 (3 puntos)

Diseñe un circuito secuencial síncrono capaz de detectar cuando le llega la secuencia “011” por su entrada. La **entity** del circuito se muestra a continuación. El circuito tiene una señal de reloj (`clk`), una entrada serie de un bit (`X`), una señal de reset asíncrona activa en ‘0’ (`reset`) y una señal de salida de dos bits (`Y`). La señal `Y` puede valer “01”, “10”, “11” ó “00” dependiendo de si los últimos bits recibidos por la entrada serie de un bit (`X`) finalizan en “0”, finalizan en “01”, finalizan en “011” o no finalizan en ninguna de las anteriores terminaciones, respectivamente. La señal `reset` pone el circuito en su estado inicial. Todos los cambios tienen lugar en el flanco de subida de la señal de reloj. Escriba en VHDL la **architecture** que describe el comportamiento del circuito en términos de una máquina de Moore. Dibuje el diagrama de estados correspondiente al circuito que ha diseñado.

```
entity detector is
  port( Y      : out std_logic_vector(1 downto 0);
        X      : in  std_logic;
        reset  : in  std_logic;
        clk    : in  std_logic);
end entity detector;
```