

# ARQUITECTURA DE COMPUTADORES

## 4ª Série de Problemas Unidades de Memória

Considere uma arquitectura composta por **2 memórias cache** (1 memória **cache para instruções** espaço para 8 palavras de 32 bits, **mapeamento associativo** e política de substituição FIFO; 1 memória **cache para dados** com espaço para 8 palavras de 32 bits, **mapeamento directo** e método de escrita *write allocate* – escrita na cache e na memória principal).

Pretende-se avaliar o desempenho desta solução de memória cache para a seguinte tarefa:

$$M[8000h + k] = \sum_{i=k}^{k+4} M[9000h + i] \quad \text{para } k = 0, \dots, 9$$

ou seja calcular a soma de 5 elementos do vector localizado de 9000h em diante e escrever o resultado no vector localizado no endereço 8000h e seguintes.

1. **Complete** a rotina assembly, **SUM5**, para realizar esta operação acima descrita (assuma que não necessita de fazer salvaguarda de contexto). Com base no código apresentado indique, justificando, a dimensão mínima da memória Cache de instruções para ter uma **Hit Rate máxima** com base no mapeamento indicado.

SUM 5: MOV R1, 8000h  
MOV R2, 9000h  
MOV R3, 10d  
MOV R4, 5d

2. Independentemente da resposta à alínea anterior, considere que a operação sobre a sobre os dados se realiza da seguinte forma: São lidos e somados 5 dados do vector que começa no endereço 9000h e de seguida é escrito o resultado no vector que começa no endereço 8000h, ou seja, lê os dados de 9000h, 9001h, 9002h, 9003h e 9004h, e escreve o resultado em 8000h; lê os dados de 9001h, 9002h, 9003h, 9004h e 9005h, e escreve o resultado em 8001h, ...  
a) Determine a Hit Rate e o conteúdo da **memória cache de dados** após a escrita do valor 8009h, justifique a resposta.

### Mapeamento Directo - Memória Cache de Dados

Índice	Etiqueta	Dados
000		
001		
010		
011		
100		
101		
110		
111		

3. Determine a Hit Rate e o conteúdo da **memória cache de instruções** (considere uma Cache com dimensão idêntica à de Cache de Dados apresentada na figura) após a escrita da última instrução do código desenvolvido no ponto 1, justifique a resposta.

4. Esboce uma **estrutura de tabelas de páginas** que permita fazer a tradução de endereço virtual em endereço físico. Considere um sistema de memória virtual que utiliza páginas de 8 Kbytes, todas organizadas em palavras de 32 bits. Admita que tem um **endereço físico** de 30 bits e um **endereço virtual** de 33 bits. Indique o nº de páginas em memória física, o nº de apontadores por cada tabela de páginas, o nº de tabelas de páginas e a percentagem ocupada pela totalidade das tabelas de mapeamento em memória física. Justifique a resposta.