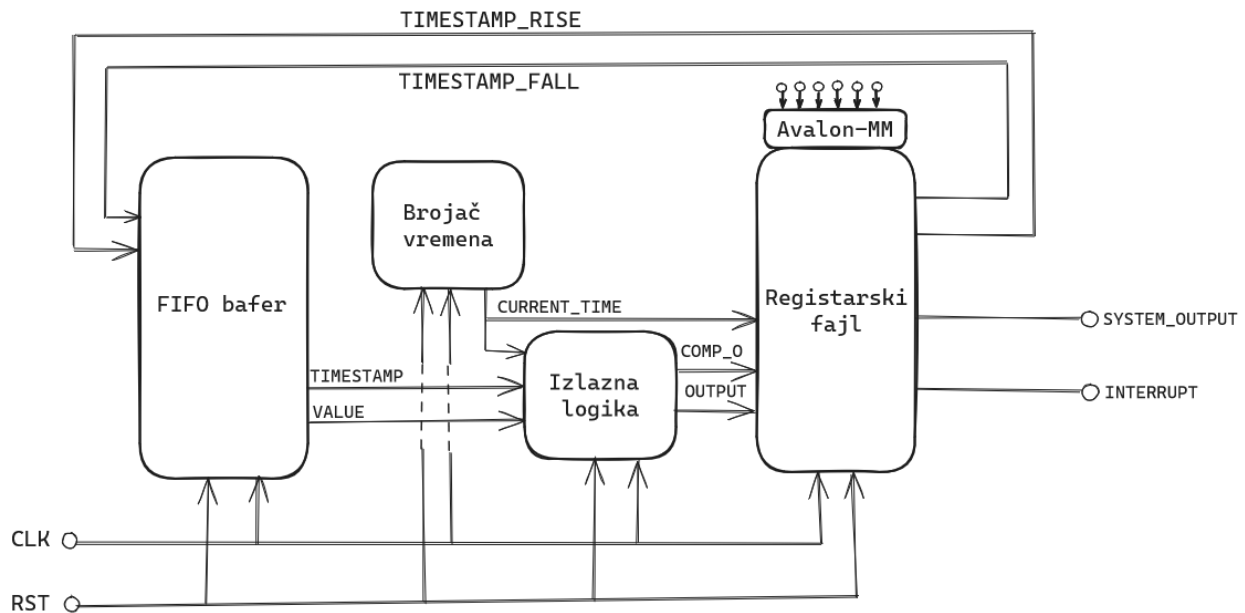


Programabilni generator talasnog oblika

Opšti princip rada sistema

Programabilni generator talasnog oblika (PWG) je sistem koji služi za generisanje odgovarajućeg naponskog / logičkog nivoa na izlazu uzimajući u obzir specificirani vremenski žig za koji se generiše dati nivo. Korisnik je taj koji specificira dati vremenski žig kao i vrijednost logičkog nivoa koji se asocira uz taj žig. Blok šema sistema koji obavlja zahtjevanu funkcionalnost data je na sljedećoj slici.



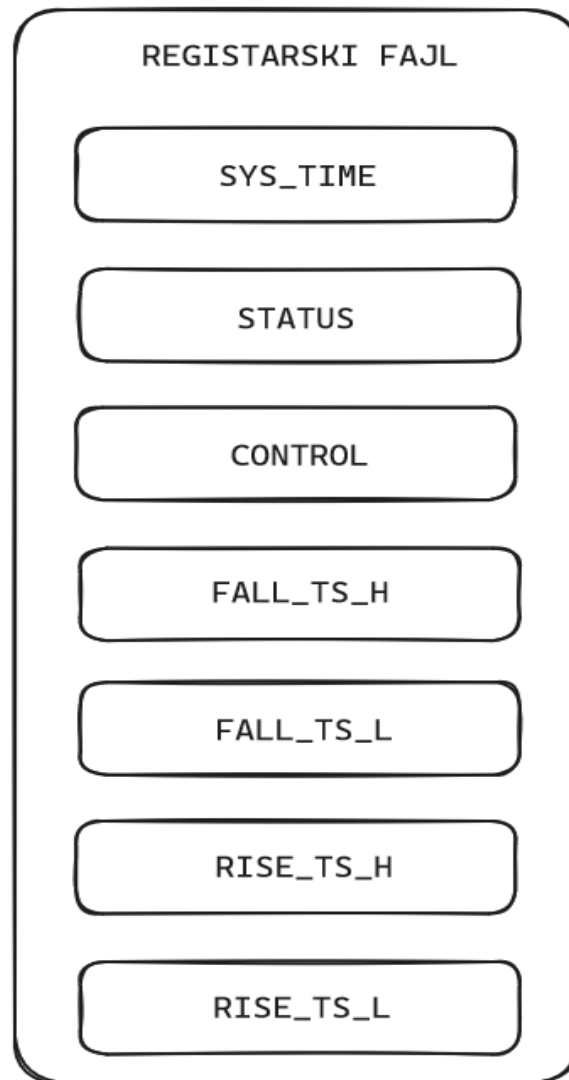
Slika 1. Blok šema PWG sistema

Kao što vidimo sa slike, sistem je globalno sinhrona komponenta sa asinhronim resetom i sastoji se od četiri glavne komponente:

- Brojač vremena – brojačka komponenta koja broji vrijeme u formatu *unix time* + vrijeme u nanosekundama sa preciznošću definisanom takt signalom (20 ns)
- Izlazna logika – komponenta koja vrši poređenje korisnički definisanog vremenskog žiga sa izlazom brojača vremena, i u slučaju poklapanja na izlaz *latch*-uje korisnički specificiranu izlaznu vrijednost povezanu za dati vremenski žig
- FIFO bafer – komponenta koja služi za pohranjivanje korisnički definisanih vremenskih žigova i vrijednosti koje su asocirane uz njih
- Registarski fajl – Komponenta koja omogućava korisniku pristup sistemu kao i odgovarajuće izlaze, statusne i kontrolne informacije

Registarski fajl

Registarski fajl je ključna komponenta koja je prilikom projektovanja dizajnirana kao Avalon MM slave uređaj. Sva konfiguracija i unos podataka u sistem korisniku je omogućena putem Avalon MM protokola implementiranog unutar komponente registarskog fajla. Veličina svih registara registarskog fajla je 32 bit-a. Stuktura registarskog fajla prikazana je na sljedećoj slici.



Slika 2. Struktura registarskog fajla

Kao što vidimo sa slike, registarski fajl se sastoji od 7 registara:

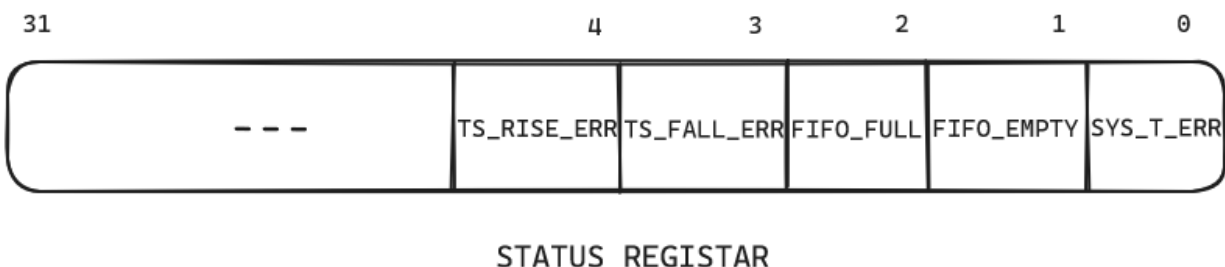
- **SYS_TIME** – Ovo je registar koji sadrži sistemsko vrijeme u *unix time* formatu. Pristup registru omogućen je preko adrese 0, a moguće je iz njega čitati kao i upisivati. Upis u ovaj registar inicira setovanje brojača vremena na upisano vrijeme. Čitanje iz datog registra daje trenutno vrijeme koje daje brojač vremena.

- **STATUS** – Ovaj registar sadrži statusne informacije o stanju sistema kroz odgovarajuće fleg bite. Pristup registru omogućen je preko adrese 1, a iz njega je moguće čitati (provjera statusnih informacija) kao i u njega upisivati (čišćenje fleg bita).
- **CONTROL** – Ovaj registar se sastoji od kontrolnih bita koja služe da kontrolišu rad sistema ili njegovih dijelova. Pristup registru omogućen je preko adrese 2, a iz njega je moguće čitati kao i u njega upisivati.
- **FALL_TS_H** – U ovaj registar korisnik upisuje višu riječ vremenskog žiga za koji želi da se na izlazu pojavi nizak logički nivo. Pristup registru omogućen je preko adrese 3, i u slučaju da korisnik želi upisati korektno vremenski žig mora prvo upisati u ovaj registar višu riječ žiga. Registar je *write-only*.
- **FALL_TS_L** – U ovaj registar korisnik upisuje nižu riječ vremenskog žiga za koji želi da se na izlazu pojavi nizak logički nivo. Pristup registru omogućen je preko adrese 4, i u slučaju da korisnik želi upisati korektno vremenski žig, pristup mora biti atomski, odnosno upis u ovaj registar mora uslijediti kao sledeća instrukcija za upis nakon što se završi upis u registar FALL_TS_H. Registar je *write-only*.
- **RISE_TS_H** – U ovaj registar korisnik upisuje višu riječ vremenskog žiga za koji želi da se na izlazu pojavi visok logički nivo. Pristup registru omogućen je preko adrese 5, i u slučaju da korisnik želi upisati korektno vremenski žig mora prvo upisati u ovaj registar višu riječ žiga. Registar je *write-only*.
- **RISE_TS_L** – U ovaj registar korisnik upisuje nižu riječ vremenskog žiga za koji želi da se na izlazu pojavi visok logički nivo. Pristup registru omogućen je preko adrese 6, i u slučaju da korisnik želi upisati korektno vremenski žig, pristup mora biti atomski, odnosno upis u ovaj registar mora uslijediti kao sledeća instrukcija za upis nakon što se završi upis u registar RISE_TS_H. Registar je *write-only*.

U nastavku detaljnije ćemo opisati fleg bite iz statusnog i kontrolnog registra.

Statusni registar

Struktura statusnog registra prikazana je na sljedećoj slici.



Slika 3. Struktura statusnog registra

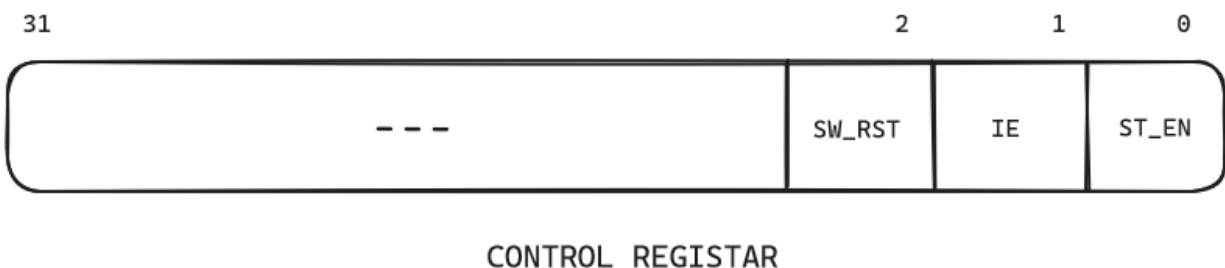
Dakle, statusni registar sastoji se od 5 fleg bita koji indiciraju određene događaje na sistemu. Opis svih fleg bita je kako slijedi:

- **SYS_T_ERR** – Na ovaj fleg bit se *latch*-uje logička jedinica kada korisnik pokuša da upiše vremenski žig koji se nalazi u prošlosti (brojač je već prošao taj vremenski period).
- **FIFO_EMPTY** – Na ovaj fleg bit se *latch*-uje logička jedinica kada je FIFO bafer prazan.
- **FIFO_FULL** – Na ovaj fleg bit se *latch*-uje logička jedinica kada je FIFO bafer pun.
- **TS_FALL_ERR** - Na ovaj fleg bit se *latch*-uje logička jedinica kada korisnik pogrešno pristupi registrima za upis vremenskog žiga FALL_TS_H ili FALL_TS_L. Pogrešan postupak upisa (ne poštovanje atomskog pristupa) dovešće do aktiviranja ovog fleg bita.
- **TS_RISE_ERR** - Na ovaj fleg bit se *latch*-uje logička jedinica kada korisnik pogrešno pristupi registrima za upis vremenskog žiga RISE_TS_H ili RISE_TS_L. Pogrešan postupak upisa (ne poštovanje atomskog pristupa) dovešće do aktiviranja ovog fleg bita.

Bitno je napomenuti da logička jedinica na bilo kom od statusnih fleg bita rezultuje u aktiviranju izlaza za *interrupt* u slučaju da je on omogućen. Korisnikova dužnost je da sam očisti ove fleg bite nakon njihove aktivacije, jer se oni neće automatski očistiti kada događaj koji ih je izazvao nestane.

Kontrolni registar

Struktura kontrolnog registra data je na sljedećoj slici.



Slika . Struktura kontrolnog registra

Kontrolni registar se sastoji od 3 fleg bita koja služe za kontrolu rada sistema. Opis bita je sledeći:

- **ST_EN** – Logička jedinica na ovom fleg bitu omogućava generisanje izlaznog signala i rada samog sistema.
- **IE** – Logička jedinica na ovom fleg bitu omogućava generisanje izlaznog signala prekida. U slučaju da je ovaj fleg bit logička nula, pojava logičke jedinice na bilo kom fleg bitu iz statusnog registra neće prouzrokovati logičku jedinicu na *interrupt* izlazu.

- **SW_RST** – Ovaj fleg bit omogućava softversko resetovanje cjelokupnog sistema. Kada je on na logičkoj jedinici, sistem se asinhrono resetuje.