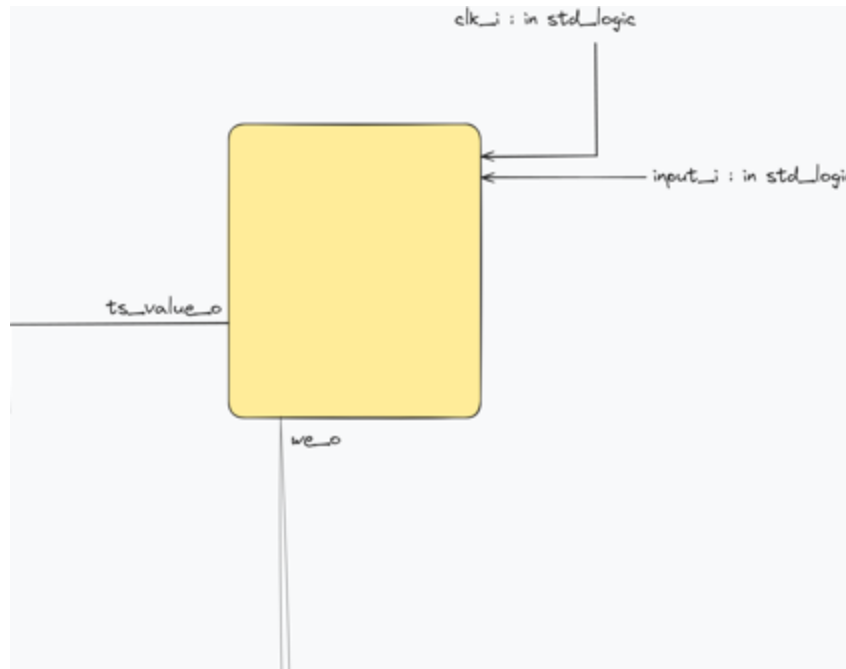


Dizajn Logike za detekciju tranzicija na ulazu

Logika za detekciju tranzicije ulaza služi da prepozna kada se desila tranzicija na jednobitnom ulazu, na koji će bit doveden neki digitalni signal koji je potrebno prepoznati i kasnije na osnovu brojača registrovati trenutke u kojima se desila neka promjena.



Dizajn ima dva ulaza:

- *clk_i* za dovodjenje globalnog takt signala
- *input_i* za dovodjenje povorke impulsa koju treba detektovati

i dva izlaza :

- *ts_value_o* 32-bitni izlaz koji nam daje vrijednost impulse koji se desio na ulazu (da li je logička nula (00000000000000000000000000000000) ili logička jedinica 00000000000000000000000000000001)
- *we_o* jednobitni signal koji se postavlja na jedinicu kada je ulazu detektovan impuls, što znači da iz internih registara treba upisati nešto u FIFO bafer

```
entity detection_logic is
  port(
    input_i   : in  std_logic;           --! Input port for the waveform
    clk_i     : in  std_logic;           --! Clock signal input
    ts_value_o : out std_logic_vector(31 downto 0); --! Output forwarded to timestamp_value register
    we_o      : out std_logic;           --! Write Enable Output that is set when it's detected state change at the input (0→1 or 1→0)
  );
end detection_logic;
```

Dakle osnovna ideja je da se na svaku rastuću ivicu takt signala provjerava ulaz *input_i*, te da se na osnovu njegovog trenutnog stanja i prethodnog stanja, donese zaključak da li se desila promjena. Ako se promjena desila, treba na izlazu *we_o* generisati logičku jedinicu, što je znak da se iz internih registara, tj. iz pojedinih vrijednosti registarske mape (entitet *reg_map*) trebaju trajno sačuvati vrijednosti (te vrijednosti se trebaju kasnije čuvati u FIFO bafer, koji će biti implementiran u okviru sljedeće iteracije projekta).

Vrijednost drugog izlaza dizajna, *ts_value_o* će stalno biti aktuelna u skladu sa trenutnom vrijednošću ulaza. Ta vrijednost se upisuje u registarsku mapu, na svaki takt impuls, i slučaju kada je *we_o* postavljen na jedan, ona će biti sačuvana u FIFO bafer.

VHDL kod arhitekture dizajna koji pokazuje objašnjenu funkcionalnost je u nastavku:

```
--! Transition detect logic
process(clk_i)
begin
    if rising_edge(clk_i) then
        if input_i /= current_value then
            we_temp <= '1';
        else
            we_temp <= '0';
        end if;
        current_value <= input_i;
    end if;
end process;

--! Output logic
ts_value_o <= "00000000000000000000000000000000" & current_value;
we_o <= we_temp;
```