



Organización y Arquitectura de Computadoras

Tarea 4: Circuitos Digitales

Facultad de Ciencias, UNAM
José Ethan Ortega González: 316088327
Etzael Iván Sosa Hedding: 316259305



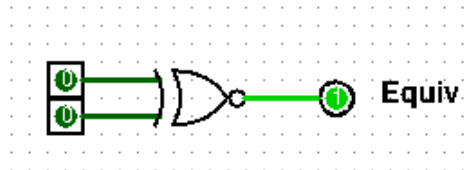
1. De las siguientes funciones dibuje los diagramas lógicos correspondientes.

- $\neg(p \wedge q) \leftrightarrow \neg p \vee \neg q$
- $p \vee (p \wedge q) \leftrightarrow p$
- $p \wedge q \vee r \rightarrow q$
- $((p \rightarrow q) \wedge (q \rightarrow r)) \rightarrow (p \rightarrow r)$

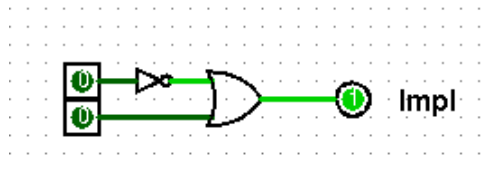
Solución:

Para poder construir los diagramas lógicos de las expresiones, primero creamos los siguientes diagramas auxiliares:

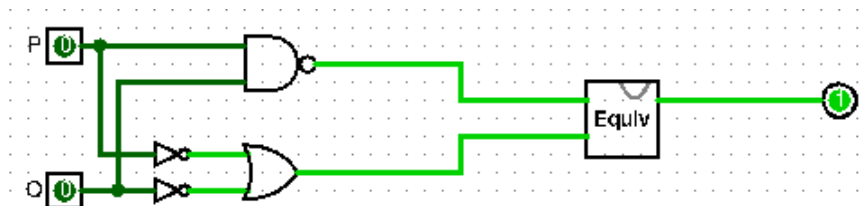
- $p \rightarrow q$



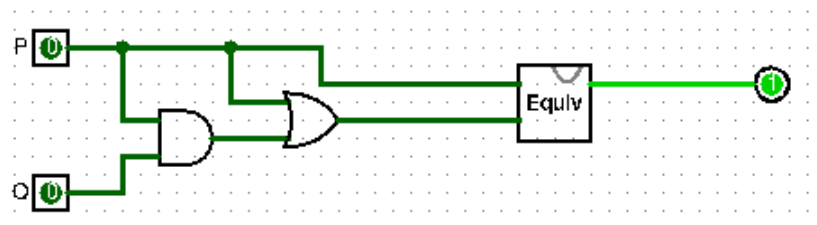
- $p \leftrightarrow q$



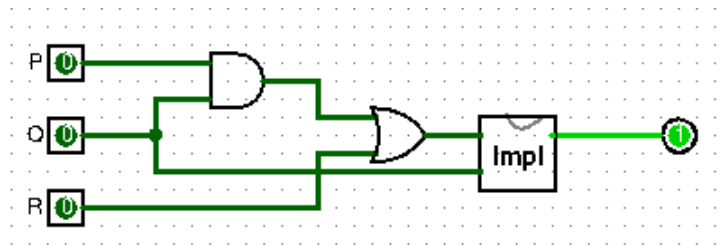
- $\neg(p \wedge q) \leftrightarrow \neg p \vee \neg q$



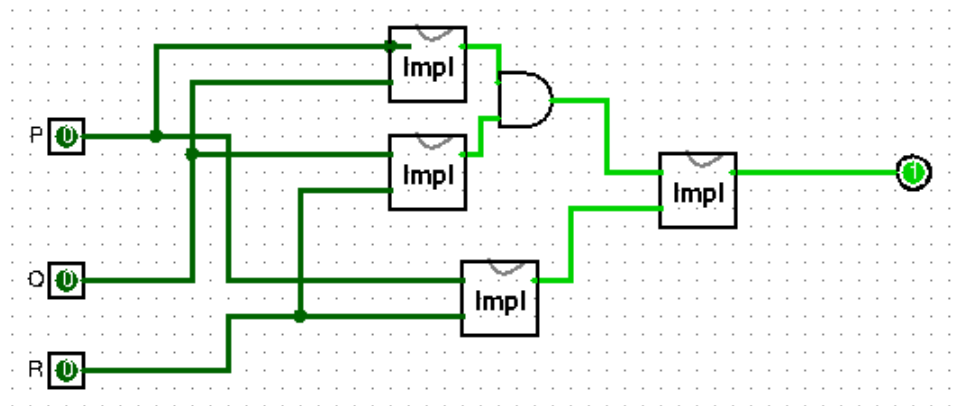
- $p \vee (p \wedge q) \leftrightarrow p$



■ $p \wedge q \vee r \rightarrow q$



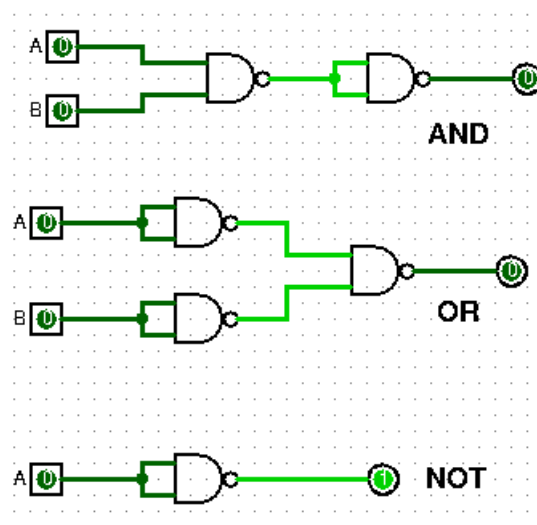
■ $((p \rightarrow q) \wedge (q \rightarrow r)) \rightarrow (p \rightarrow r)$



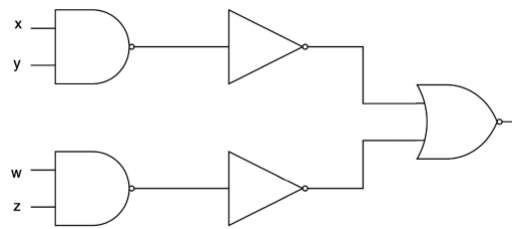
2. Dibuje los diagramas lógicos para AND, OR y NOT usando compuertas NAND.

Solución:

Los diagramas son los siguientes:

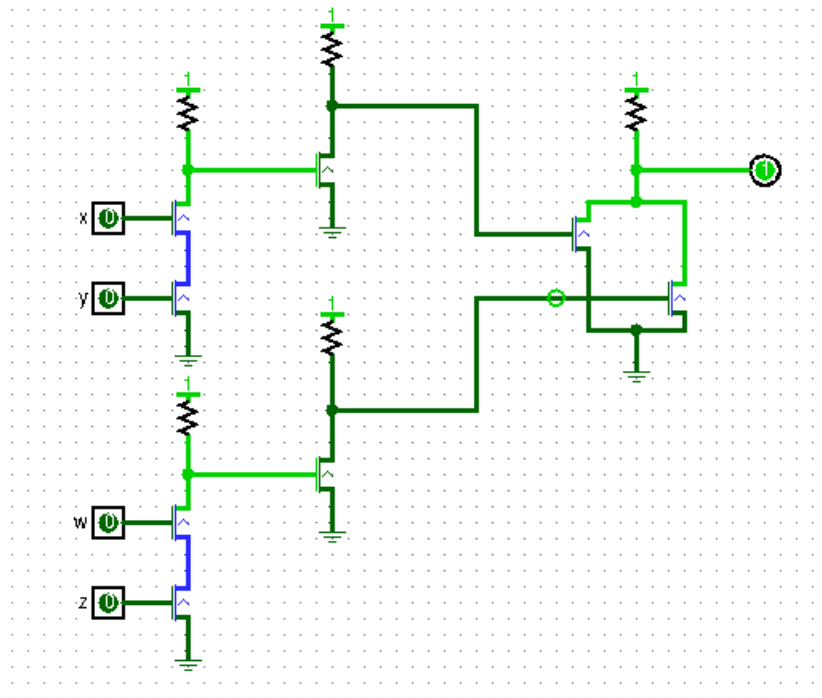


3. En base a diagramas de transistores NMOS tipo NPN, represente el siguiente circuito.



Solución:

El diagrama es el siguiente:



4. En base al circuito anterior, da su tabla de verdad asociada. ¿Puede este circuito utilizarse como una compuerta NAND y también como una compuerta NOR? En caso de ser afirmativa la respuesta, justifíquela.

Solución:

Si es posible usarla como compuerta NAND y como compuerta NOR. Para la compuerta NAND basta con usar las entradas w y z ; tanto x como y deben de ser uno. Es posible utilizarse como la compuerta NOR, pero los valores están desplazados, es decir no concuerdan con la tabla de verdad del NOR.

x	y	w	z	F
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

5. Dibuje los diagramas lógicos de las siguientes funciones. En caso de que la función no sea óptima, utilice el método a conveniencia visto en la tarea anterior para reducirla.

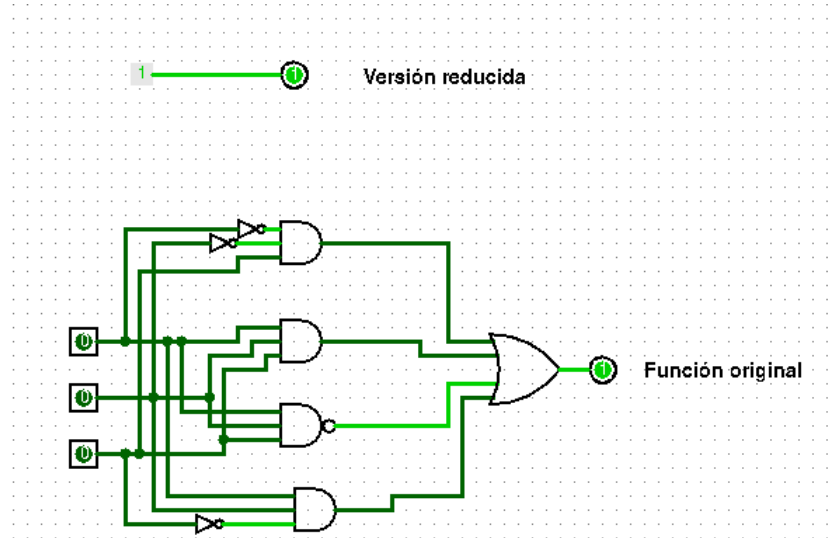
- $F(x_0, x_1, x_2) = x_0x_1x_2 + \overline{x_0x_1x_2} + x_0x_1\overline{x_2} + \overline{x_0x_1x_2}$
- $F(x_0, x_1, x_2, x_3) = \overline{x_0x_1x_2x_3} + \overline{x_0x_1x_2x_3} + \overline{x_0x_1x_2x_3} + x_0x_1\overline{x_2x_3} + x_0x_1x_2\overline{x_3}$
- $F(x_0, x_1, x_2, x_3, x_4) = \overline{x_0x_1x_2x_3x_4} + \overline{x_0x_1x_2x_3x_4} + x_0\overline{x_1x_2x_3x_4} + x_0x_1\overline{x_2x_3x_4} + \overline{x_0x_1x_2x_3x_4} + x_0x_2x_3x_4$

Solución:

- Primero reducimos la expresión:

$$\begin{aligned}
 F(x_0, x_1, x_2) &= x_0x_1x_2 + \overline{x_0x_1x_2} + x_0x_1\overline{x_2} + \overline{x_0x_1x_2} \\
 &= 1 + x_0x_1\overline{x_2} + \overline{x_0x_1x_2} && \text{(por Complemento)} \\
 &= 1 + \overline{x_0x_1x_2} && \text{(por Aniquilación)} \\
 &= 1 && \text{(por Aniquilación)}
 \end{aligned}$$

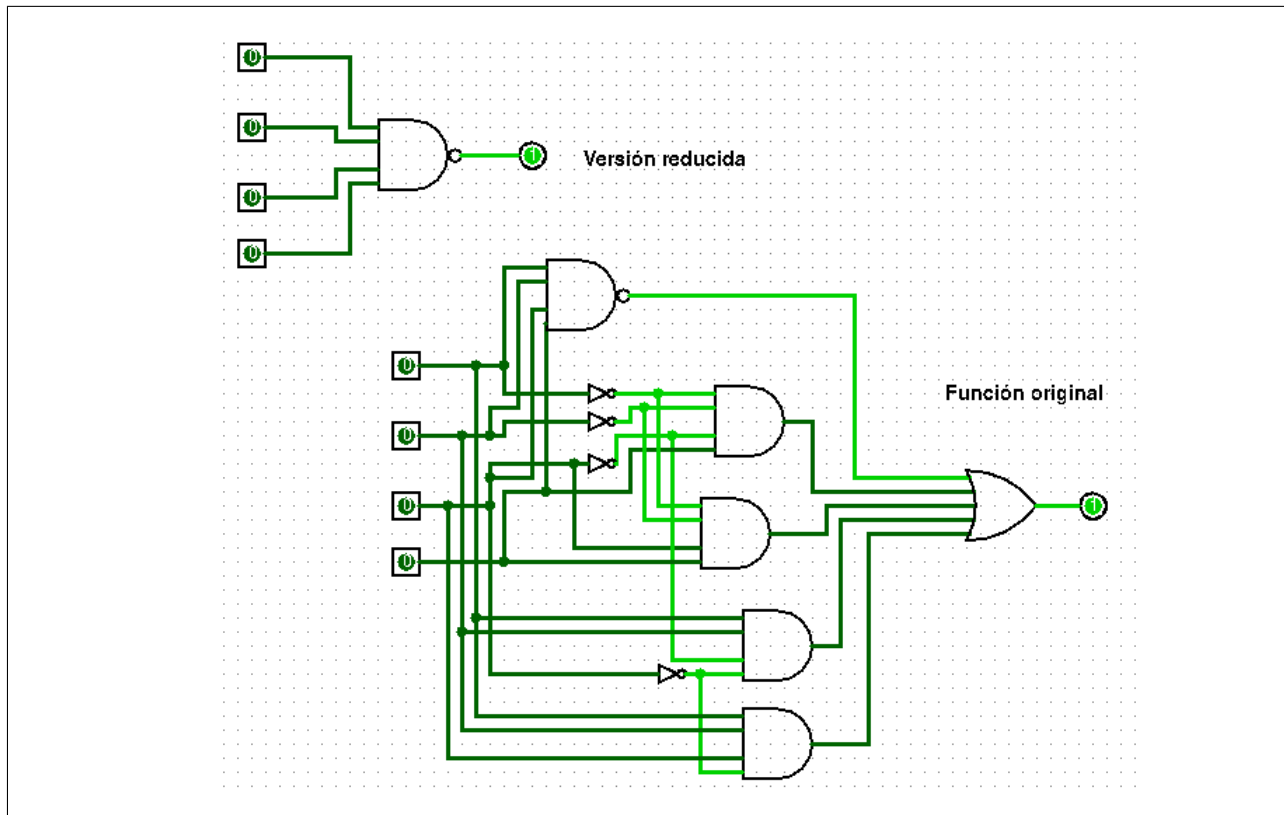
El diagrama se muestra a continuación:



- Primero reducimos la expresión:

$$\begin{aligned}
 F(x_0, x_1, x_2, x_3) &= \overline{x_0}x_1x_2x_3 + \overline{x_0}x_1x_2\overline{x_3} + \overline{x_0}x_1x_2x_3 + x_0x_1\overline{x_2}x_3 + x_0x_1x_2\overline{x_3} \\
 &= \overline{x_0}x_1x_2 + \overline{x_3} + \overline{x_0}x_1x_2x_3 + \overline{x_0}x_1x_2x_3 + x_0x_1\overline{x_2}x_3 + x_0x_1x_2\overline{x_3} && \text{(por Leyes de Morgan)} \\
 &= \overline{x_0}x_1x_2 + \overline{x_3} + x_0x_1x_2\overline{x_3} + \overline{x_0}x_1x_2x_3 + \overline{x_0}x_1x_2x_3 + x_0x_1\overline{x_2}x_3 && \text{(por Asociatividad)} \\
 &= \overline{x_0}x_1x_2 + \overline{x_3}(1 + x_0x_1x_2) + \overline{x_0}x_1x_2x_3 + \overline{x_0}x_1x_2x_3 + x_0x_1\overline{x_2}x_3 && \text{(por Distributividad)} \\
 &= \overline{x_0}x_1x_2 + \overline{x_3}(1) + \overline{x_0}x_1x_2x_3 + \overline{x_0}x_1x_2x_3 + x_0x_1\overline{x_2}x_3 && \text{(por Aniquilación)} \\
 &= \overline{x_0}x_1x_2 + \overline{x_3} + \overline{x_0}x_1x_2x_3 + \overline{x_0}x_1x_2x_3 + x_0x_1\overline{x_2}x_3 && \text{(por Identidad)} \\
 &= \overline{x_0}x_1x_2 + (\overline{x_3} + x_3\overline{x_0}x_1x_2) + \overline{x_0}x_1x_2x_3 + x_0x_1\overline{x_2}x_3 && \text{(por Asociatividad)} \\
 &= \overline{x_0}x_1x_2 + \overline{x_3} + \overline{x_0}x_1x_2 + \overline{x_0}x_1x_2x_3 + x_0x_1\overline{x_2}x_3 && \text{(por Eliminación)} \\
 &= \overline{x_0}x_1x_2 + \overline{x_0}x_1x_2 + \overline{x_3} + \overline{x_0}x_1x_2x_3 + x_0x_1\overline{x_2}x_3 && \text{(por Asociatividad)} \\
 &= \overline{x_0}x_1x_2 + \overline{x_3} + \overline{x_0}x_1x_2x_3 + x_0x_1\overline{x_2}x_3 && \text{(por Idempotencia)} \\
 &= \overline{x_0}x_1 + \overline{x_2} + \overline{x_3} + \overline{x_0}x_1x_2x_3 + x_0x_1\overline{x_2}x_3 && \text{(por Leyes de Morgan)} \\
 &= \overline{x_0}x_1 + \overline{x_0}x_1x_2x_3 + \overline{x_2} + \overline{x_3} + x_0x_1\overline{x_2}x_3 && \text{(por Asociatividad)} \\
 &= \overline{x_0}x_1(1 + x_2x_3) + \overline{x_2} + \overline{x_3} + x_0x_1\overline{x_2}x_3 && \text{(por Distributividad)} \\
 &= \overline{x_0}x_1(1) + \overline{x_2} + \overline{x_3} + x_0x_1\overline{x_2}x_3 && \text{(por Aniquilación)} \\
 &= \overline{x_0}x_1 + \overline{x_2} + \overline{x_3} + x_0x_1\overline{x_2}x_3 && \text{(por Identidad)} \\
 &= \overline{x_0}x_1 + x_0x_1\overline{x_2}x_3 + \overline{x_2} + \overline{x_3} && \text{(por Asociatividad)} \\
 &= \overline{x_0}x_1 + \overline{x_2}x_3 + \overline{x_2} + \overline{x_3} && \text{(por Absorción)} \\
 &= \overline{x_0}x_1 + \overline{x_2}x_3 + \overline{x_2}x_3 && \text{(por Leyes de Morgan)} \\
 &= \overline{x_0}x_1 + \overline{x_2}x_3 && \text{(por Idempotencia)} \\
 &= \overline{x_0}x_1x_2x_3 && \text{(por Leyes de Morgan)}
 \end{aligned}$$

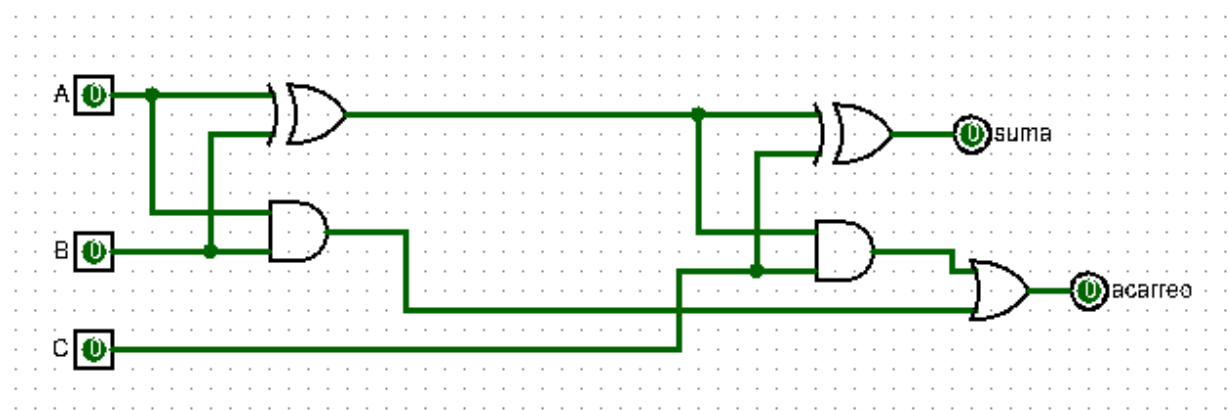
El diagrama se muestra a continuación:



6. Dibuje el diagrama lógico de un sumador completo de 4 bits.

Solución:

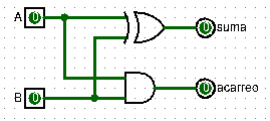
El diagrama es el siguiente:



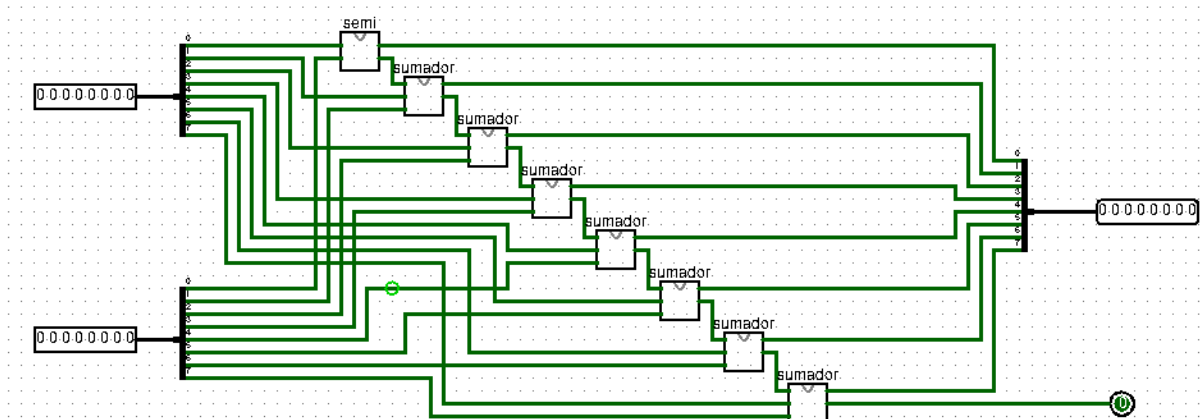
7. Utilizando sumadores y semi-sumadores, diseña un circuito digital que realice resta entre numero de 8 bits.

Solución:

Primero definimos al semi sumador de la siguiente forma:



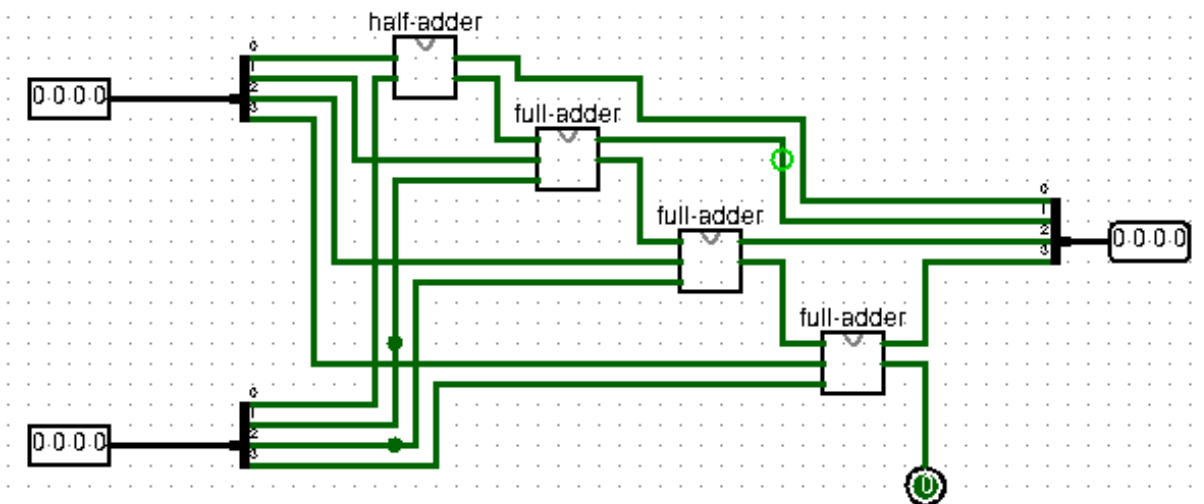
El diagrama de la resta se define de la siguiente manera:



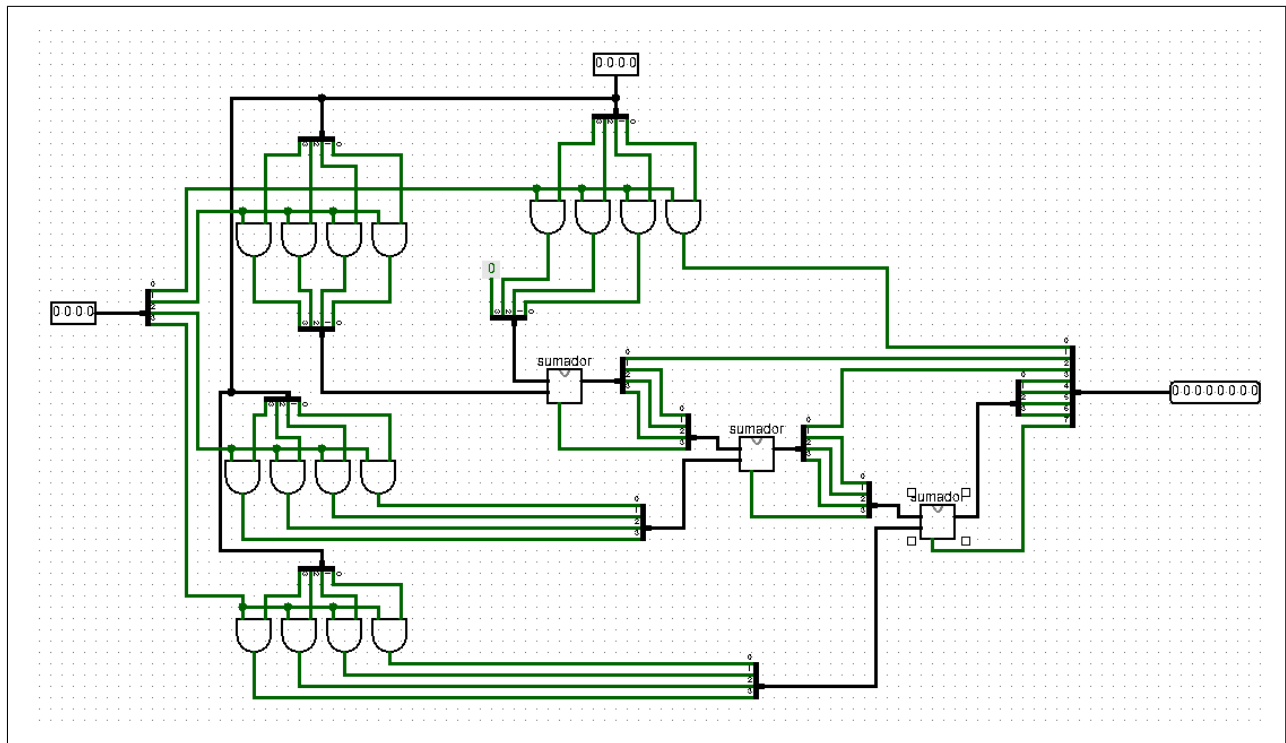
8. Utilizando sumadores y semi-sumadores, diseña un circuito digital que realice multiplicación entre numero de 4 bits.

Solución:

Primero implementamos al sumador de 4 bits de la siguiente manera:



El diagrama de la multiplicación de 4 bits se define de la siguiente manera:



9. Minimizando la cantidad de sumadores completos ¿Cómo quedaría la suma entre dos números de 32 bits? ¿Cuántos sumadores completos se requerirían?
10. Diseña un circuito digital que resuelva la siguiente ecuación: $x = 2y + z$

Solución:

El diagrama es el siguiente:

