



Organización y Arquitectura de Computadoras

Tarea 4: Circuitos Digitales

Facultad de Ciencias, UNAM
José Ethan Ortega González: 316088327
Etzael Iván Sosa Hedding: 316259305



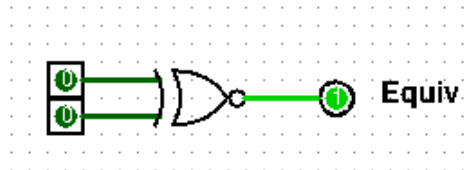
1. De las siguientes funciones dibuje los diagramas lógicos correspondientes.

- $\neg(p \wedge q) \leftrightarrow \neg p \vee \neg q$
- $p \vee (p \wedge q) \leftrightarrow p$
- $p \wedge q \vee r \rightarrow q$
- $((p \rightarrow q) \wedge (q \rightarrow r)) \rightarrow (p \rightarrow r)$

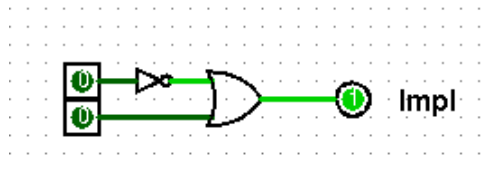
Solución:

Para poder construir los diagramas lógicos de las expresiones, primero creamos los siguientes diagramas auxiliares:

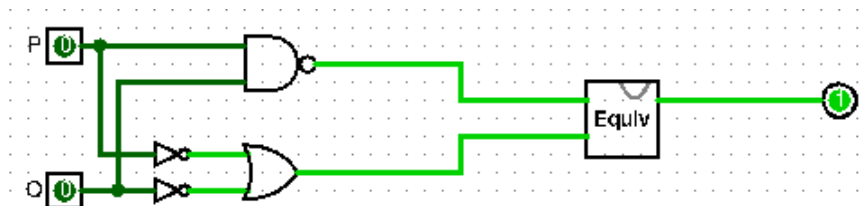
- $p \rightarrow q$



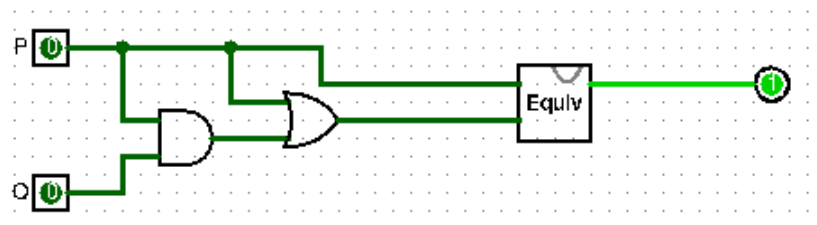
- $p \leftrightarrow q$



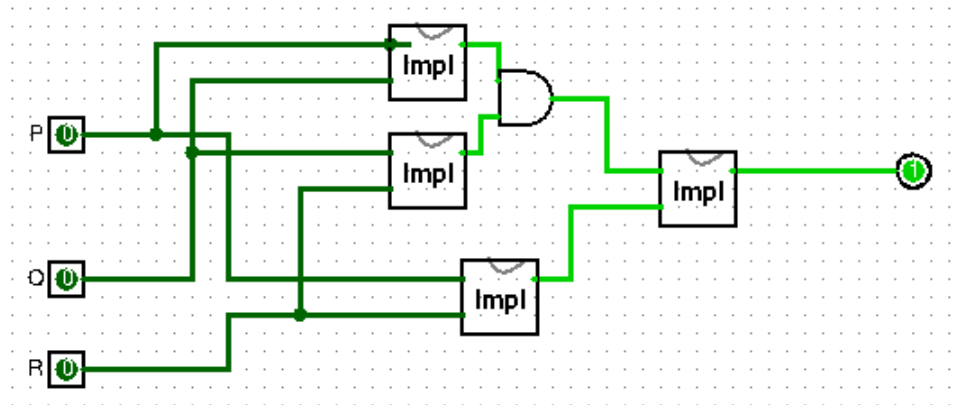
- $\neg(p \wedge q) \leftrightarrow \neg p \vee \neg q$



- $p \vee (p \wedge q) \leftrightarrow p$



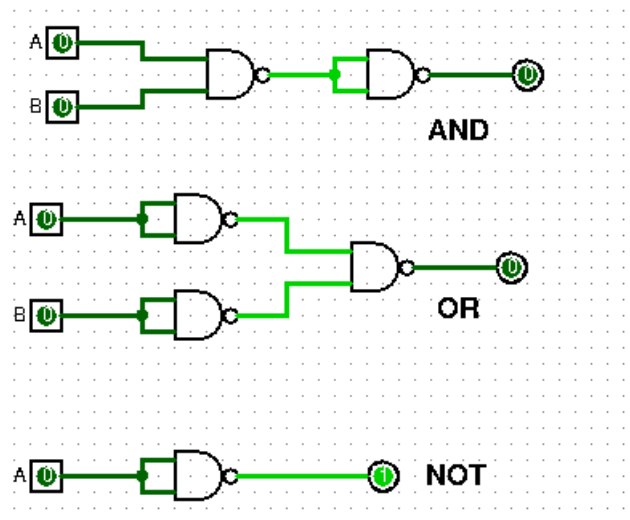
- $p \wedge q \vee r \rightarrow q$
- $((p \rightarrow q) \wedge (q \rightarrow r)) \rightarrow (p \rightarrow r)$



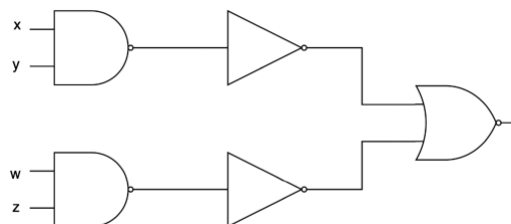
2. Dibuje los diagramas lógicos para AND, OR y NOT usando compuertas NAND.

Solución:

Los diagramas son los siguientes:



3. En base a diagramas de transistores NMOS tipo NPN, represente el siguiente circuito.



4. En base al circuito anterior, da su tabla de verdad asociada. ¿Puede este circuito utilizarse como una compuerta NAND y también como una compuerta NOR? En caso de ser afirmativa la respuesta, justifíquela.

Solución:

No puede ser utilizada como una compuerta NOR, solo puede ser utilizada como una compuerta NAND. Sea F la salida del circuito del ejercicio, la tabla de verdad del circuito y del NAND de 4 bits:

x	y	w	z	F	$NAND$
0	0	0	0	1	1
0	0	0	1	1	1
0	0	1	0	1	1
0	0	1	1	1	1
0	1	0	0	1	1
0	1	0	1	1	1
0	1	1	0	1	1
0	1	1	1	1	1
1	0	0	0	1	1
1	0	0	1	1	1
1	0	1	0	1	1
1	0	1	1	1	1
1	1	0	0	1	1
1	1	0	1	1	1
1	1	1	0	1	1
1	1	1	1	0	0

5. Dibuje los diagramas lógicos de las siguientes funciones. En caso de que la función no sea óptima, utilice el método a conveniencia visto en la tarea anterior para reducirla.

- $F(x_0, x_1, x_2) = x_0x_1x_2 + \overline{x_0}\overline{x_1}\overline{x_2} + x_0x_1\overline{x_2} + \overline{x_0}\overline{x_1}x_2$
- $F(x_0, x_1, x_2, x_3) = \overline{x_0}\overline{x_1}x_2\overline{x_3} + \overline{x_0}\overline{x_1}\overline{x_2}x_3 + \overline{x_0}x_1x_2x_3 + x_0x_1\overline{x_2}\overline{x_3} + x_0x_1x_2\overline{x_3}$
- $F(x_0, x_1, x_2, x_3, x_4) = \overline{x_0}\overline{x_1}x_2x_3\overline{x_4} + \overline{x_0}\overline{x_1}x_2x_3x_4 + x_0\overline{x_1}x_2x_3x_4$
 $+ x_0x_1\overline{x_2}\overline{x_3}x_4 + \overline{x_0}\overline{x_1}\overline{x_2}\overline{x_3}x_4 + x_0x_2x_3x_4$

6. Dibuje el diagrama lógico de un sumador completo de 4 bits.
7. Utilizando sumadores y semi-sumadores, diseña un circuito digital que realice resta entre numero de 8 bits.
8. Utilizando sumadores y semi-sumadores, diseña un circuito digital que realice multiplicación entre numero de 4 bits.
9. Minimizando la cantidad de sumadores completos ¿Cómo quedaría la suma entre dos números de 32 bits? ¿Cuántos sumadores completos se requerirían?
10. Diseña un circuito digital que resuelva la siguiente ecuación: $x = 2y + z$