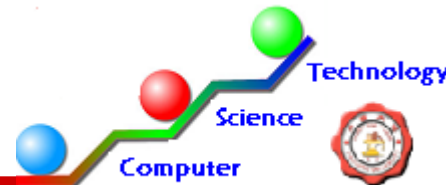


计算机组成原理习题解答



第三章题解

第三章 3.1



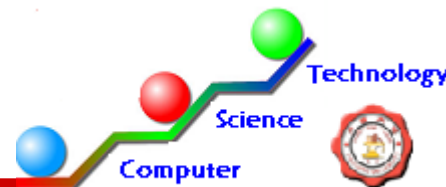
□ 3.1解释存储元、存储单元、存储体这几个概念。

存储元是 存储一位二进制信息的物理元件，是存储器中最小的存储单位，又叫存储基元或位单元，不能单独存取；

存储单元由若干存储元组成，是存储器读写的基本单位，并且具有特定存储地址；

存储体也被称为存储矩阵或存储阵列，它是存储单元的集合。

作业 (3)



☐ 必做题：

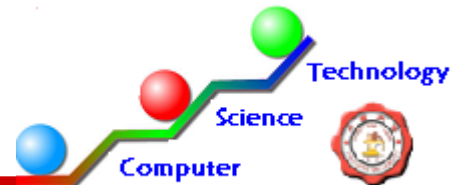
3.3、3.7、3.8、3.17

☐ 选做题：3.4、3.9

☐ 交上次作业

☐ 本周作业下周二交

第三章 3.3



□ 3.3某机字长32位，其主存存储容量为64KB，问：

- (1) 若按字编址它的寻址范围是多少？其存储容量应如何描述？
- (2) 若按字节编址,试画图示意主存字地址和字节地址的分配情况；
- (3) 试比较按字编址与按字节编址的优缺点。

□ 题解：

- (1) 寻址范围=64K / (32/8) = **16K字**；存储容量为**16K×32Bit**。
- (2) 字地址与字节地址的分配：（**大端方式**，注：小端方式也可）

字地址	高字节	字节地址	低字节
0	0	1	2
4	4	5	6
8			
.....
65528			
65532	65532	65533	65534

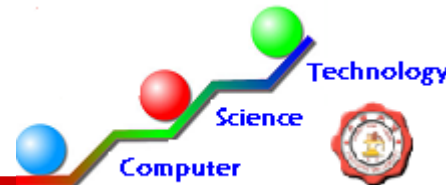
○(3) a、字编址的机器**结构简单，操作简便**。字编址主要应用于**早期**的计算机中，当时的机器字长比较短，采用字编址并不感到不方便。

b、字编址方式的主要缺点是数据较短时操作很不方便，尤其在非数值应用领域，信息的基本寻位是字节，而字编址方式无法支持字节操作。随着计算机规模的发展壮大，机器字长越来越长，**字编址的不灵活性**越来越突出，因此当前的计算机基本上都不再采用字编址方式而使用字节编址。

c、字节编址既能够支持字节操作，也能够支持字操作，同时兼有字节寻址和字寻址双重功能，**灵活性很好**

d、字节编址的**存储器空间利用率高**。

第三章 3.4



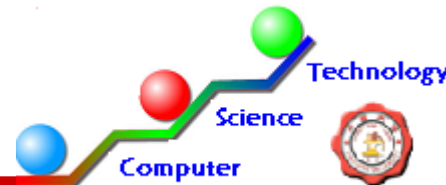
□ 3.4 回答下列问题：

- (1) 说明存取周期和存取时间的区别；
- (2) 什么是存储器的带宽？若存储器的数据总线宽度为32位，存取周期为200ns，则存储器的带宽是多少？

□ 题解：

- (1) 存取周期和存取时间的主要区别是：存取时间仅为完成一次操作的时间，而存取周期不仅包含操作时间，还包含操作后线路的恢复时间。即：**存取周期 = 存取时间 + 恢复时间**
- (2) 存储器的带宽指单位时间内从存储器进出信息的**最大**数量。
存储带宽 = $1/200\text{ns} \times 32\text{位} = 160\text{M位/秒} = 20\text{MB/S} = 5\text{M字/秒}$

第三章 3.5



□ 3.5 某DRAM芯片存储器周期为250ns，要求每毫秒刷新64次。若刷新周期与存储周期相同，请问刷新时间占存储器总操作时间的百分比是多少？

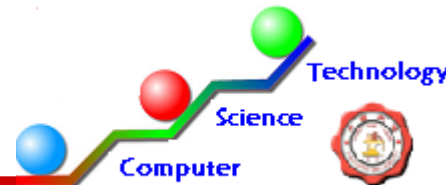
□ 题解：

○ 1ms(1000us)内必须刷新64次，每次刷新时间为1/4us，则1ms内16us用于刷新，比例为1.6%。

○ 或者，

1ms中包含的存取周期数为： $1\text{ms}/250\text{ns}=4000$ 个

第三章 3.6



□ 3.6若用 $1\text{M} \times 1$ 位的DRAM芯片构成 $1\text{M} \times 16$ 位的主存储器，芯片内部存储元排列成正方形阵列，其刷新最大间隔时间为 4ms 。则采用异步刷新时，两次刷新操作应相隔多长时间？ 4ms 时间内共需多少个刷新周期？

□ 题解：

刷新定时信号的周期时间为：

$$8\text{ms}/8\text{K} = 0.976\mu\text{s} \approx 0.9\mu\text{s};$$

4ms 时间内共需 8K 个刷新周期。

第三章 3.7



□ 3.7某32位机主存地址码为32位，使用 $64\text{M} \times 4$ 位的DRAM芯片组成，设芯片内部由4个 $8\text{K} \times 8\text{K}$ 存储体结构组成，4个体可同时刷新，存储周期为 $0.1\mu\text{s}$ 。若采用异步刷新方式，设存储元刷新最大时间间隔不超过 8ms ，则刷新定时信号的周期时间是多少？对整个存储器刷新一遍需要多少个刷新周期？

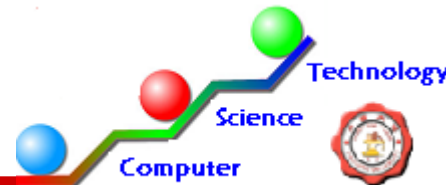
□ 题解：

刷新定时信号的周期时间为：

$8\text{ms}/8192=0.976\mu\text{s} \approx 0.9\mu\text{s}$ ；（向下按存取周期约整）

对整个存储器刷新一遍需要8192（8K）个刷新周期。

第三章 3.8



□ 3.8 设有一个具有20位地址和32位字长的存储器，问：

- (1) 该存储器能存储多少字节的信息？
- (2) 如果此存储器由512K×8位SRAM芯片组成，需要多少芯片？
- (3) 需要多少位地址作芯片选择？

□ 题解：

- (1) $2^{20} \times 32 / 8 = 4\text{MB}$
- (2) 芯片数 = $1\text{M} \times 32\text{位} / 512\text{K} \times 8\text{位} = 2 \times 4 = 8\text{片}$
- (3) 该存储器地址线共20位，其中低19位作为芯片的地址输入，**最高一位用于芯片选择**。8个512K×8位芯片通过字位扩展构成1M×32位的存储器。

□ 3.9 在DRAM存储器中为何将地址分为行地址和列地址？
采用这种双向地址后，需要增加哪些器件？给DRAM存储器的性能带来哪些方面的影响？

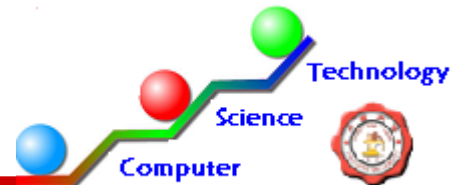
□ 题解：

由于DRAM芯片集成度高，所以容量一般比较大，导致了地址引脚数的大幅度增加，这对芯片的集成又带来了困难。为此，DRAM芯片通常将地址分为行地址和列地址两部分，行地址和列地址分时使用同一组地址引脚，这样可以**将地址引脚的数量减少为原来的一半**。

地址引脚采用**多路分时复用技术**后，芯片内部需要增加**行地址锁存器，列地址锁存器**。

由于地址分两次输入并缓存，会**延长**DRAM的存取时间。

第三章 3.17



□ 3.17 现有两个IA-32汇编程序，其中分别定义了一个数据段，定义方式如下：

- (1) data segment
msg db "Hello!"
align 4
dw 100,200,300
data ends
- (2) data segment
msg db "Hello!"
dw 200,300,400
data ends

若这两个程序运行前，数据段加载到主存中的起始地址为**00B04010H**，请分别画出两个程序中数据段在主存中放置的示意图，并标出每个字节单元的地址及内容。（注：在IA-32汇编程序中，用dw定义16位数据，用dd定义32位数据。）

第三章 3.17



□ 解：主存单元地址及内容的十六进制表示形式如下：

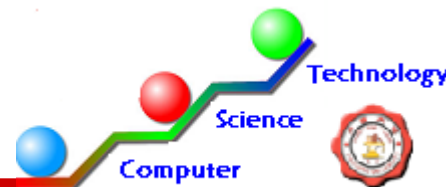
(1)

内容				地址
...				
6c	6c	65	48	00B04010
		21	6f	00B04014
00	c8	00	64	00B04018
		01	2c	00B0401C
...				

(2)

内容				地址
...				
6c	6c	65	48	00B04010
00	c8	21	6f	00B04014
01	90	01	2c	00B04018
				00B0401C
...				

作业 (4)



☐ 必做题:

3.10、3.11、3.14

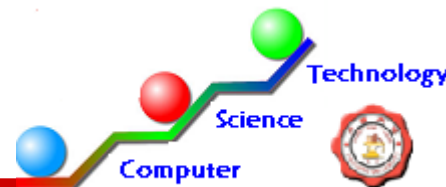
☐ 选做题:

3.13、3.19

☐ 交上次作业

本周作业下周二交

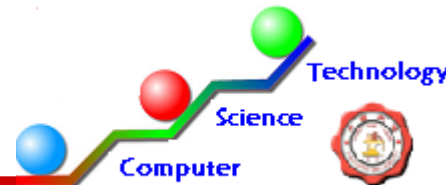
第三章 3.10



□ 3.10 用 $16K \times 8$ 位的DRAM芯片构成 $64K \times 32$ 位存储器，要求：

- (1) 计算该存储器的芯片用量；
- (2) 画出该存储器的原理性组成逻辑图；
- (3) 采用异步刷新方式，设芯片内部矩阵为 $128 \times 128 \times 8$ 结构，如存储元刷新最大间隔不超过 $8ms$ ，则刷新定时信号周期是多少？对整个存储器刷新一遍需要多少个刷新周期？
- (4) 如改用分散刷新方式，设存储周期为 $0.5\mu s$ ，则在 $8ms$ 时间内可对整个存储器刷新多少遍？有多少遍是多余的？
- (5) 如改用集中刷新方式，CPU访存的死时间是多少？

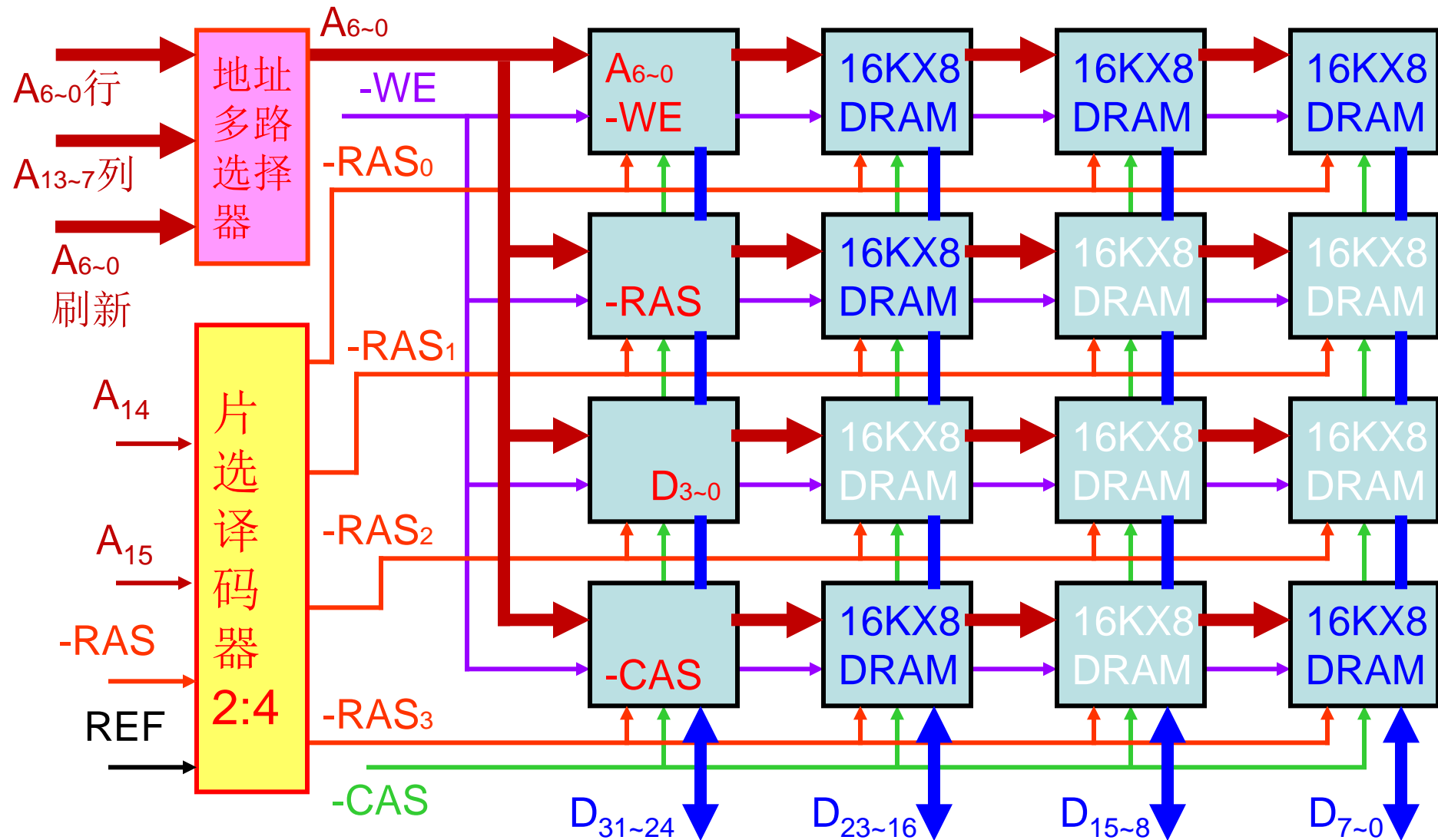
第三章 3.10



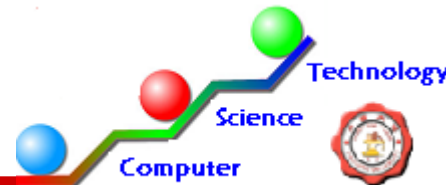
□ 题解:

- (1) $64K \times 32\text{位} / 16K \times 8\text{位} = 4 \times 4 = 16\text{片}$;
- (2) 见下页;
- (3) $8\text{ms} / 128 = 62.5\mu\text{s}$, 刷新周期为 $62.5\mu\text{s}$, 128个刷新周期;
- (4) $8\text{ms} / 128\mu\text{s} = 62.5\text{遍}$, 可进行62.5遍刷新; 61.5遍多余;
- (5) $128 \times 0.5\mu\text{s} = 64\mu\text{s}$, 死时间为 $64\mu\text{s}$ 。

第三章 3.10



第三章 3.11

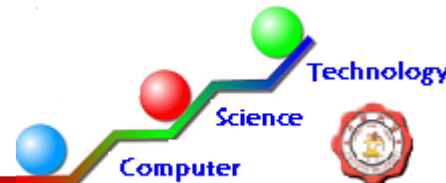


□ 3.11 某机存储器的ROM区域所占的地址空间为0000H~3FFFH，由8K×8位EPROM芯片组成。RAM区域的大小为40K×16位，起始地址为6000H，采用的SRAM芯片容量仍为8K×8位。假设SRAM芯片有-CS和-WE信号控制端，CPU的地址总线为 $A_{15} \sim A_0$ ，数据总线为 $D_{15} \sim D_0$ ，控制总线给出的控制信号有R/-W（读/写）和-MREQ（访存）。要求：

- (1) 画出地址空间分配图，并在图中标出译码方案；
- (2) 画出该存储器的原理性组成逻辑图；并与CPU总线相连。

□ 题解：

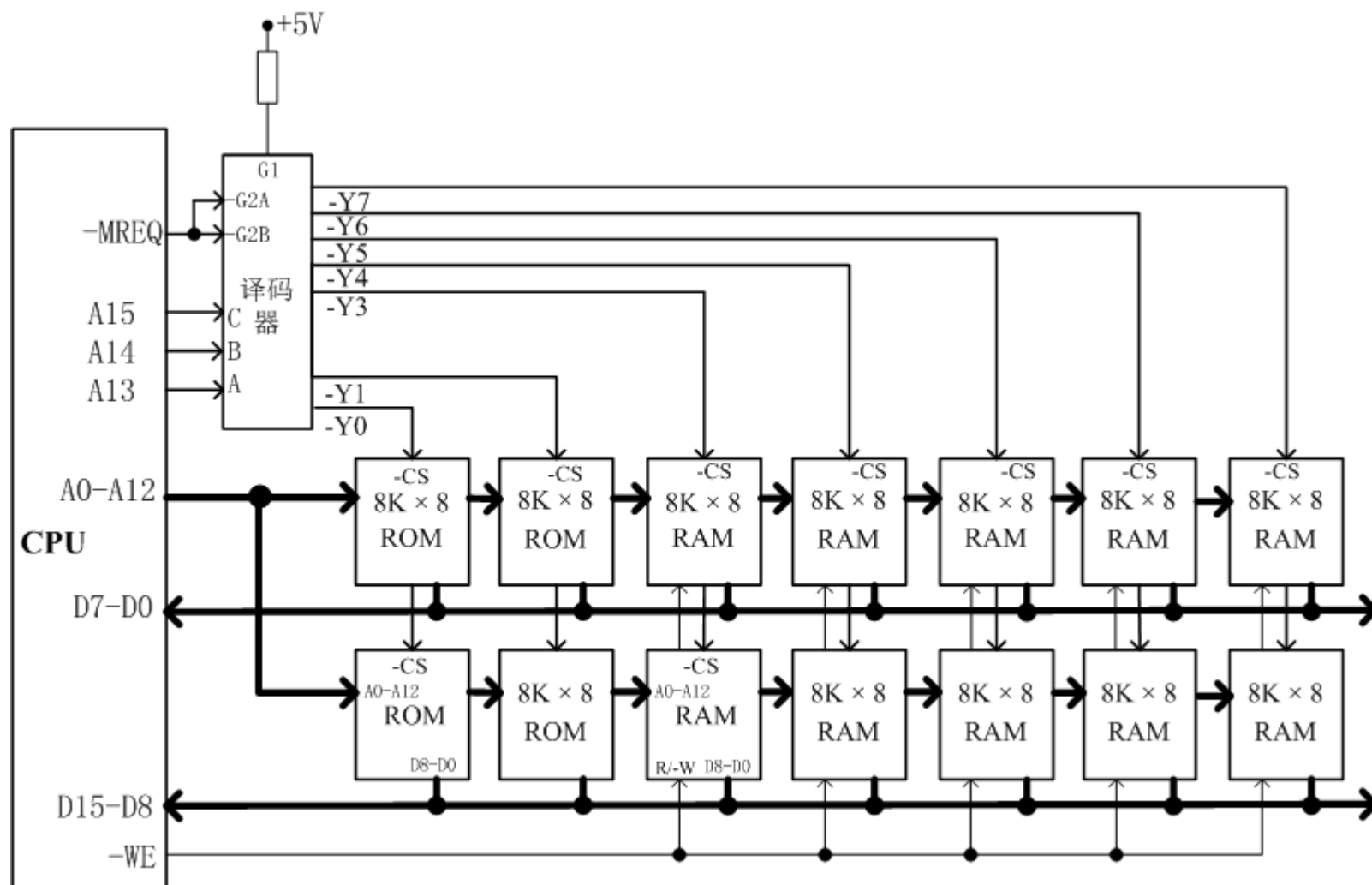
第三章 3.11



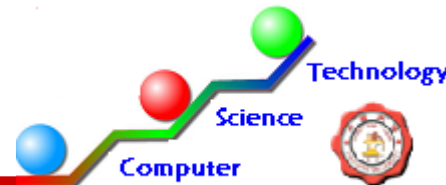
□ (1)依题意，选用4片8K×8位的EPROM组成16K×16位ROM区；10片8K×8位RAM片组成40K×16位的RAM区。芯片均需13位片内地址，故可用A15-A13三位高地址经译码产生片选信号。主存地址空间分布及译码方案如右图所示：

0000H	8K × 8 ROM 2片	Y0
	8K × 8 ROM 2片	Y1
3FFFH 4000H	8K × 16 预留	
5FFFH 6000H	8K × 8 RAM 2片	Y3
	8K × 8 RAM 2片	Y4
	8K × 8 RAM 2片	Y5
	8K × 8 RAM 2片	Y6
FFFFH	8K × 8 RAM 2片	Y7

第三章 3.11



第三章 3.12



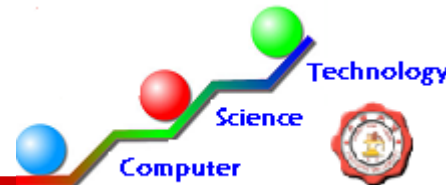
□ 3.12 对于SRAM芯片，如果片选信号始终是有效的，问：

- (1) 若读命令有效后，地址仍在变化，或数据总线仍被其它信号占用，则对读出的正确性有什么影响？还有什么其它问题存在？
- (2) 若写命令有效后，地址仍在变化，或写入数据仍不稳定，会对写入有什么影响？还有什么其它问题？（这一问删掉）

□ 题解：

- (1) 若地址仍在变化，则读出的数据不稳定（可能读出的不是指定单元的数据）；若数据总线上还有其他电路的信号，则可能发生冲突，并可能损坏输出端电路（输出端被并联）。
- (2) 若地址仍在变化，则数据可能被写入其他单元；若数据不稳定，则写入的数据可能发生错误。

第三章 3.13



□ 3.13 设CPU有16根地址线，8根数据线，并用/MREQ作访存控制信号（低电平有效），用-WR作读/写控制信号（高电平为读，低电平为写）。现有下列存储芯片：1K×4位SRAM；4K×8位SRAM；8K×8位SRAM；2K×8位EPROM；4K×8位EPROM；8K×8位EPROM及74LS138译码器和各种门电路，请画出CPU与存储器的连接图。要求：

- (1) 主存地址空间分配如下： 6000H~67FFH为系统程序区；6800H~6BFFH为用户程序区； 6C00H~6FFFH为系统程序工作区。

请画出主存地址空间分配图，并标出译码分配方案。

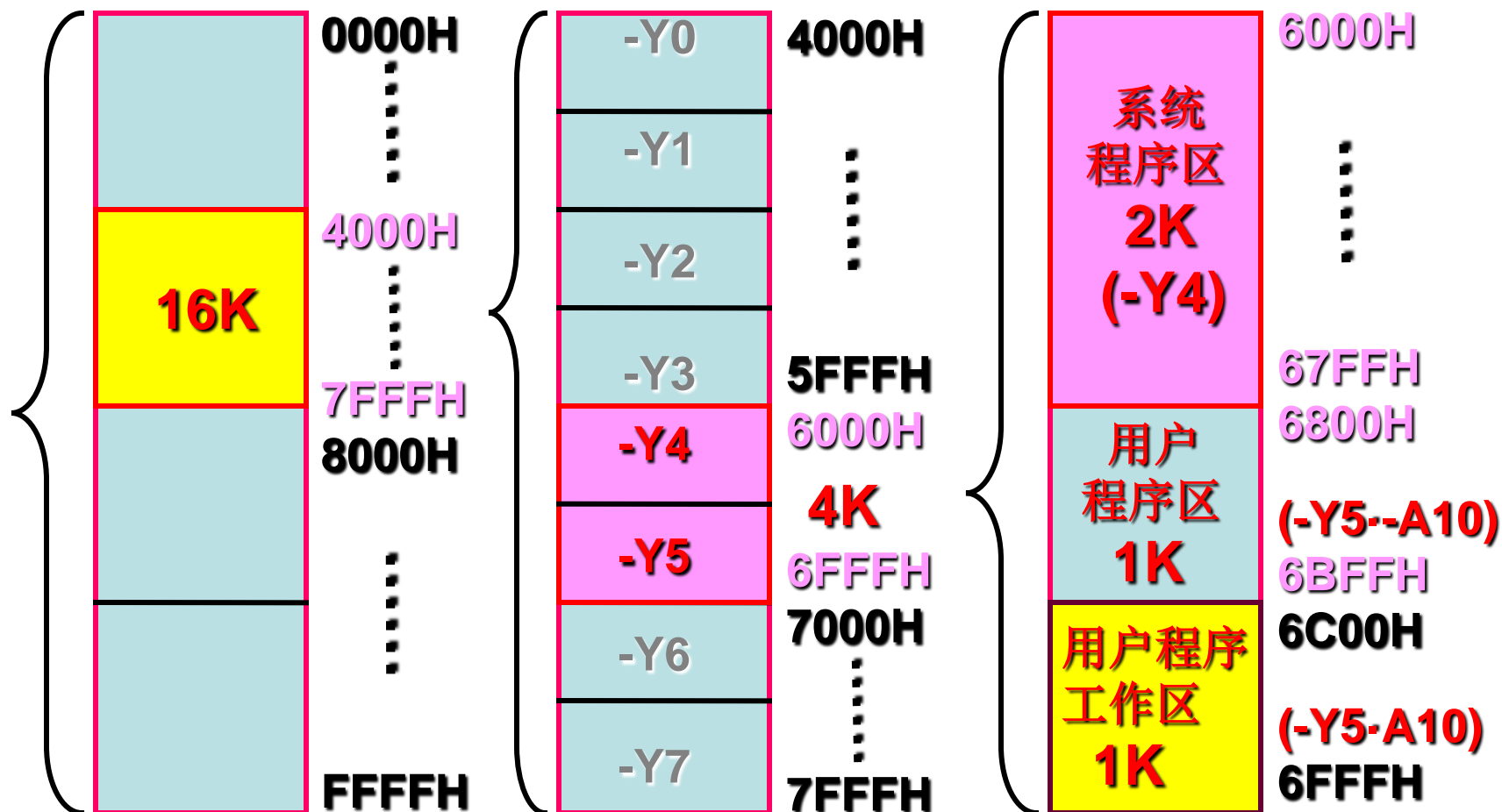
- (2) 合理选用上述存储芯片，说明各选几片？
- (3) 详细画出存储芯片的片选逻辑图。

□ 题解：

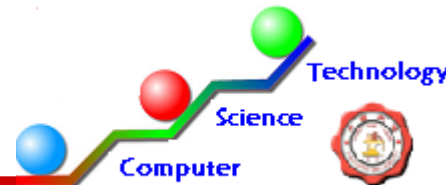
第三章 3.13



□ (1) 地址空间分配图:



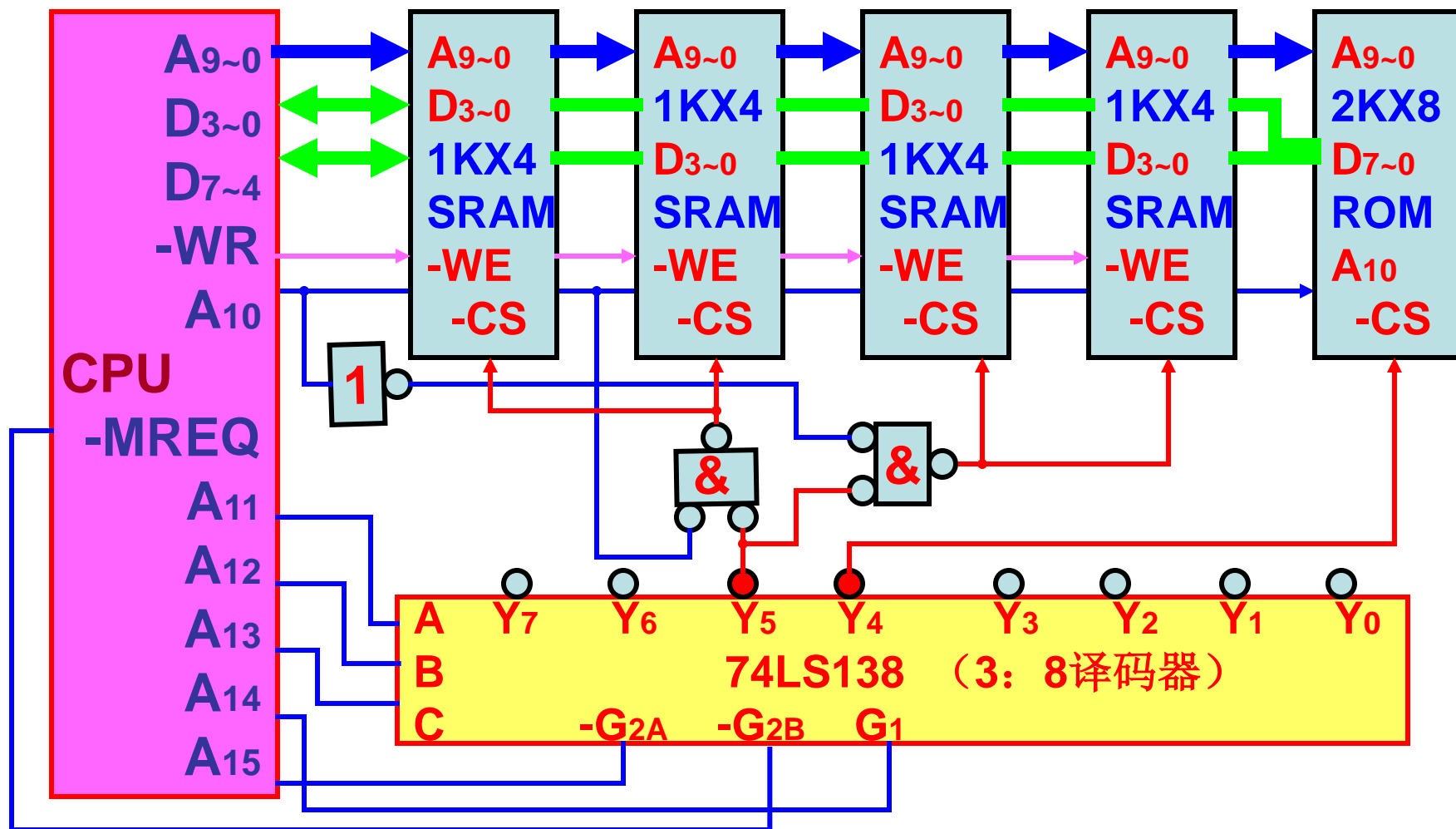
第三章 3.13



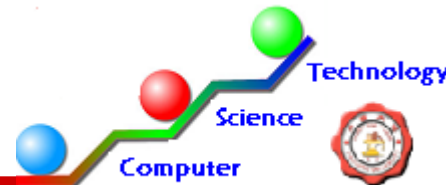
- (2) 选片：系统程序区 (ROM): $67FFH - 6000H = 2K$
2K×8位: 1片;
 用户程序区 (RAM): $6BFFH - 6800H = 1K$
 系统程序工作区 (RAM): $6FFFH - 6C00H = 1K$
 1K×4位: 4片;
- (3) 片选逻辑图见下页:

第三章 3.13

(3) CPU与存储器连接逻辑图:

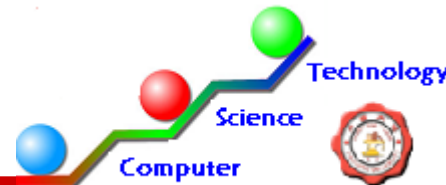


第三章 3.14



- 3.14 某8位机主存地址码为32位，使用64M×4位的SRAM芯片组成，并采用存储条（模块板）结构，问：
- (1) 若该主存采用按字节编址方式，其字节寻址范围可达多少？
 - (2) 若每个存储条容量为512MB，共需几块存储条才能构成支持上述寻址范围的主存？
 - (3) 每个存储条内需要多少SRAM芯片？该主存共需多少SRAM芯片？
 - (4) 画出该存储器的地址格式分配图。

第三章 3.14

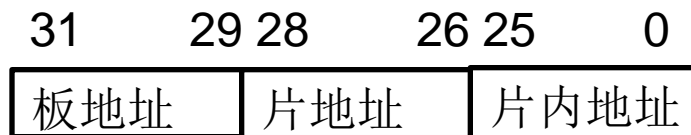


- ❑ (5)若采用74LS138译码器芯片，画出存储条（模块板）的逻辑组成图。
- ❑ (6)设CPU采用-MERQ（访存请求，低有效）信号、R/-W（读/写控制信号，高为读令，低为写令）信号与主存联络，画出该存储器的逻辑组成框图并与CPU连接。

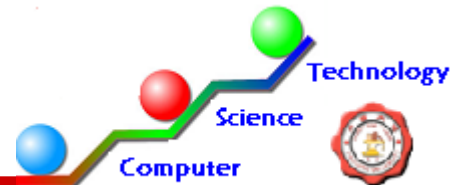
第三章 3.14



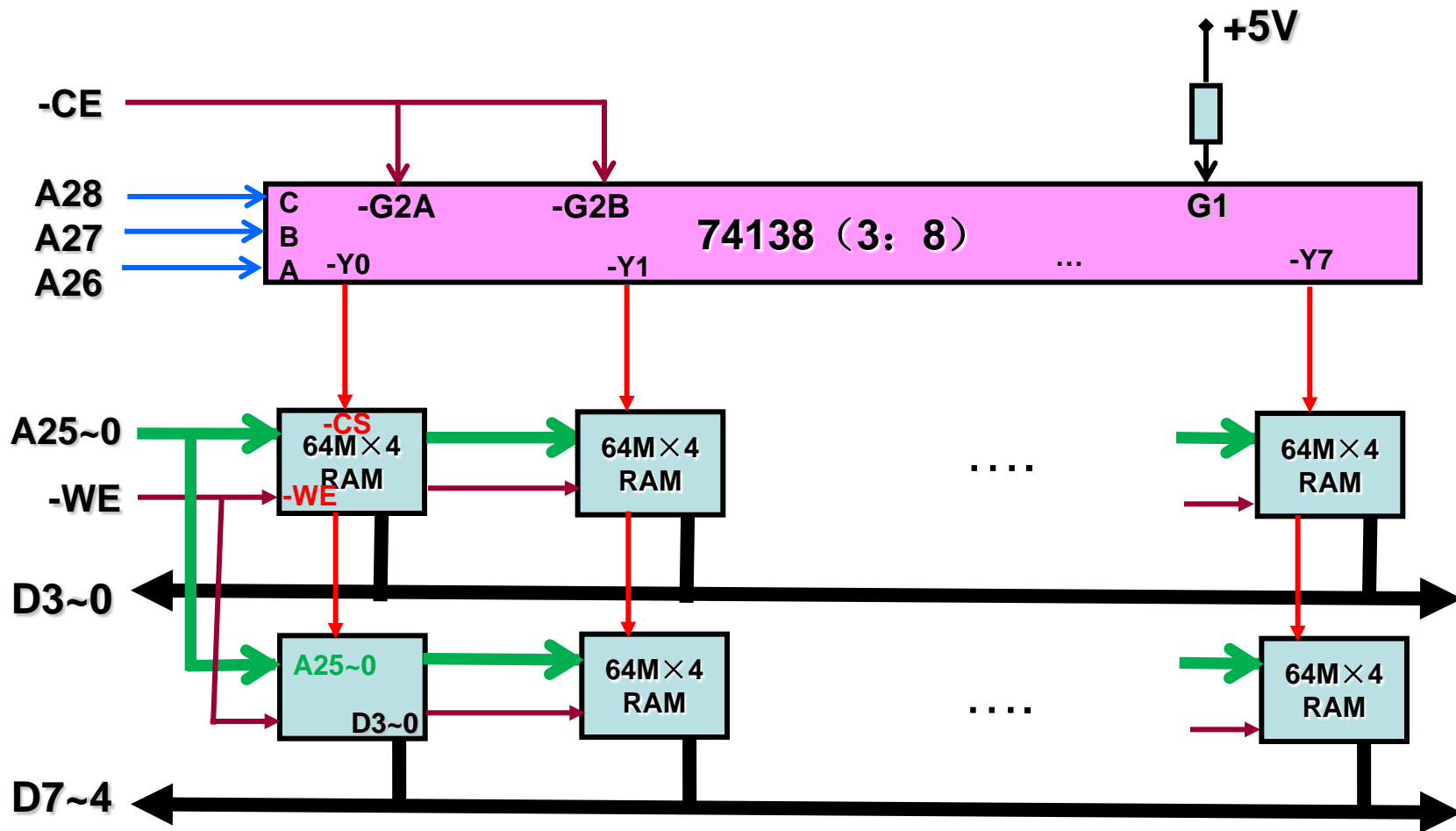
- (1) $0 \sim 2^{32} - 1$
- (2) $4\text{G}/512\text{M} = 8$ 条
- (3) $512\text{M} \times 8 / 64\text{M} \times 4$ 位按照位扩展即可, $8 \times 2 = 16$ 个;
 $8 \times 16 = 128$ 个;
- (4) 存储器的地址格式分配图



第三章 3.14



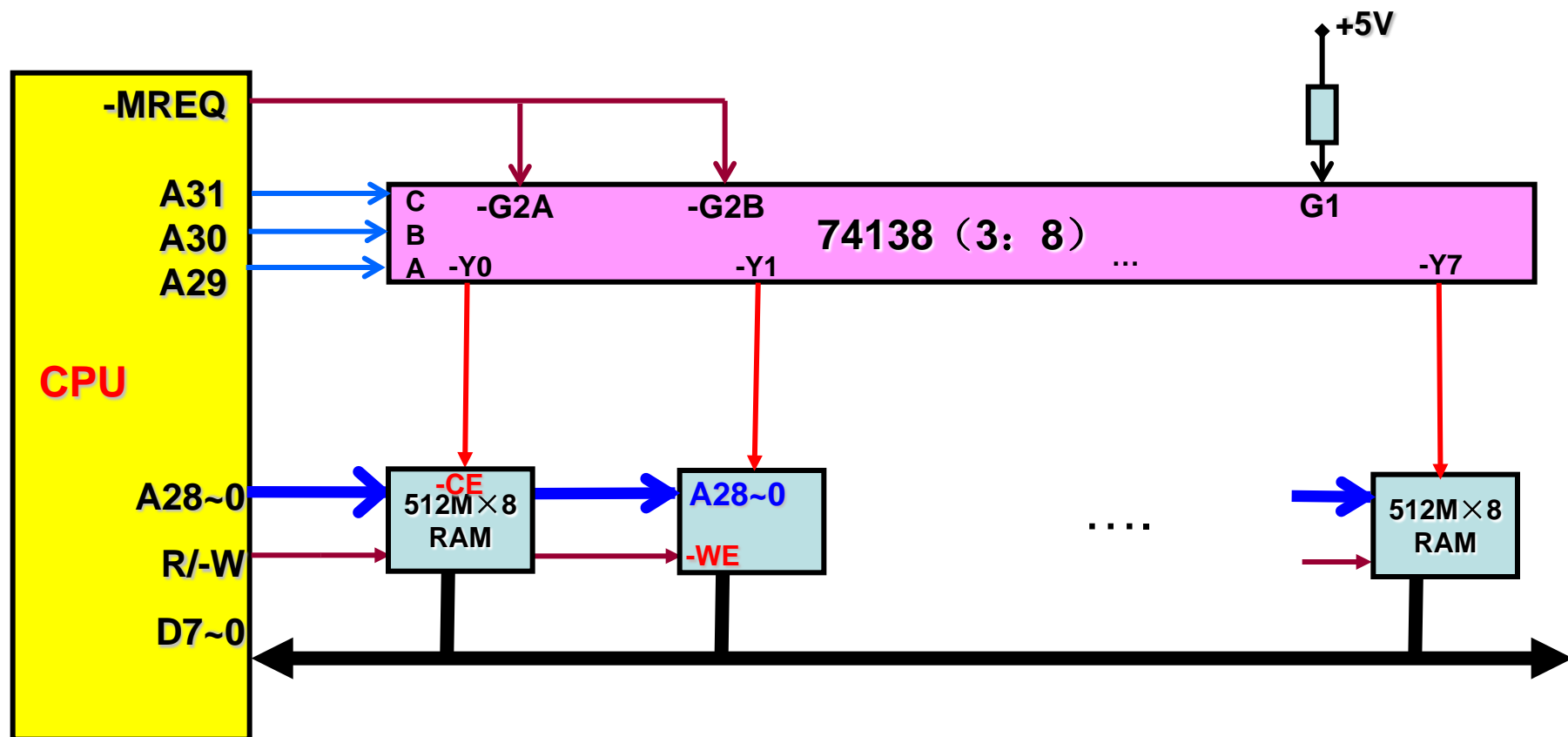
(5)存储条（模块板）的逻辑组成图



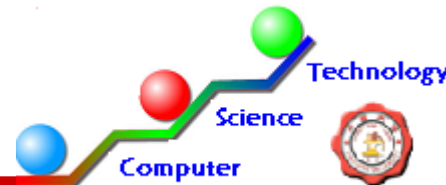
第三章 3.14



(6)存储器的逻辑组成框图及与CPU连接



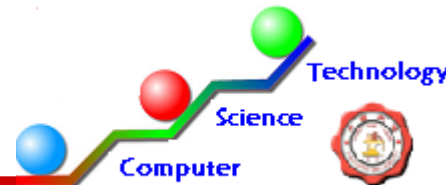
第三章 3.15



□ 3.15 用2片 $1\text{M} \times 4$ 位的SRAM芯片和若干片 $256\text{K} \times 8$ 位的SRAM芯片构成 $1\text{M} \times 16$ 位的主存储器，设CPU的地址总线为 $A_{19} \sim A_0$ ，数据总线为 $D_{15} \sim D_0$ ，控制信号为 R/\bar{W} （高电平表示读，低电平表示写）， \bar{MREQ} （低电平表示访存），试问：

- (1) 除2片 $1\text{M} \times 4$ 位SRAM芯片外，还需多少片 $256\text{K} \times 8$ 位SRAM芯片？
- (2) 画出该存储器的组成逻辑图，并与CPU连接。
- (3) 若改用 $1\text{M} \times 1$ 位的DRAM芯片构成该 $1\text{M} \times 16$ 位的主存储器，芯片内部存储元排列成正方形阵列，其刷新最大间隔时间为4ms。则采用异步刷新时，两次刷新操作应相隔多长时间？4ms时间内共需多少个刷新周期？

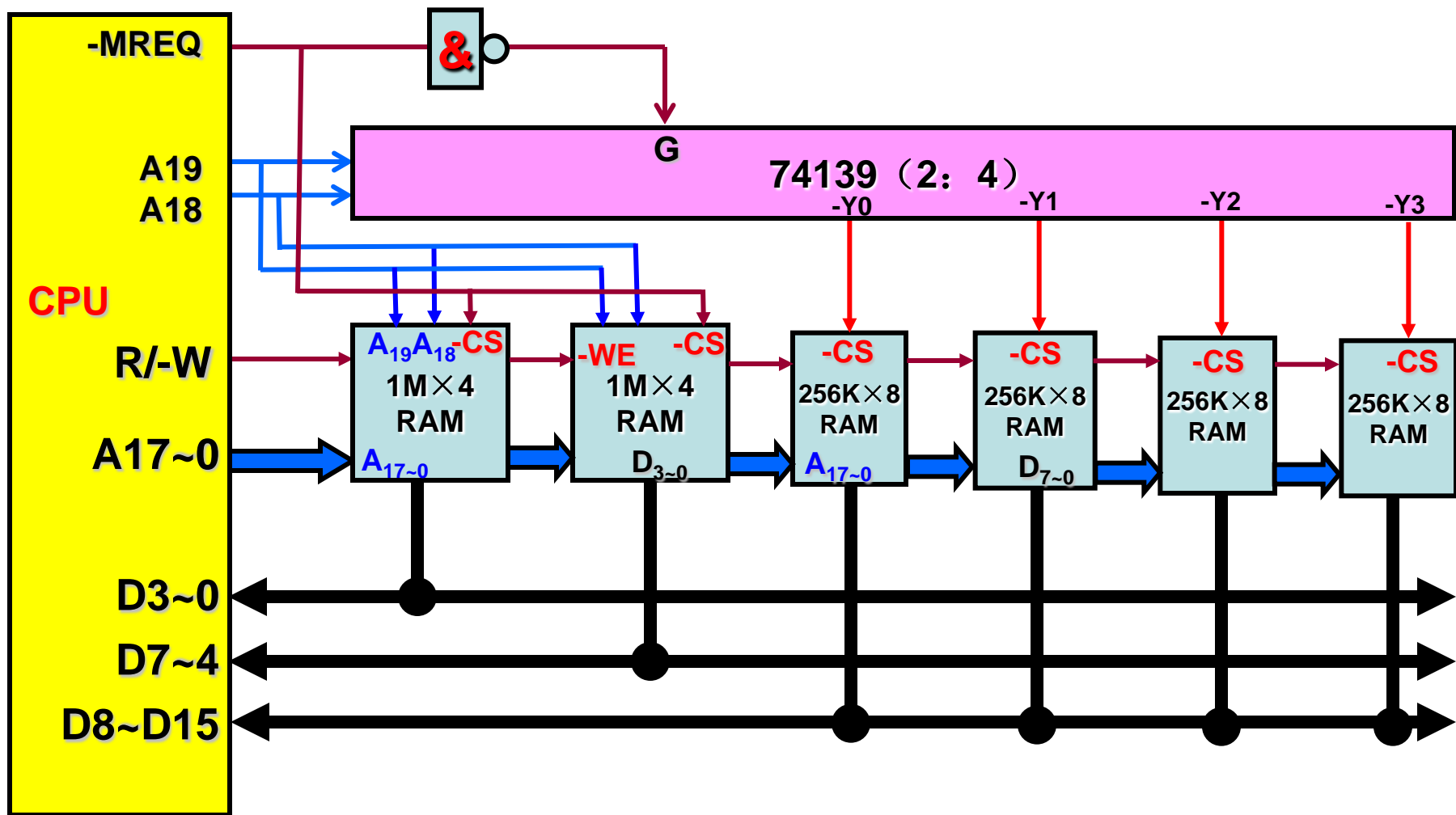
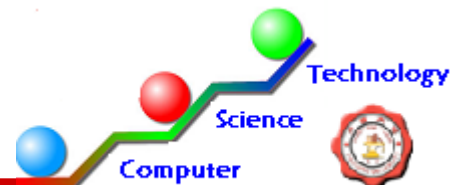
第三章 3.15



□ 题解:

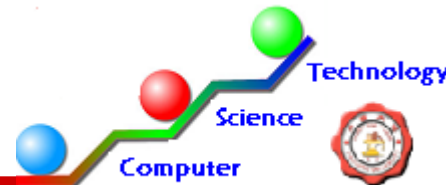
- (1) 需要 $1\text{M} \times 8$ 位SRAM, 如果采用 $256\text{K} \times 8$ 位进行字扩展, 则需要4片;
- (2) 逻辑图(见下页)
- (3) $4\text{ms}/1024 = 3.9\mu\text{s}$; 1024个;

第三章 3.15



存储器组成及与CPU连接逻辑图

第三章 3.16



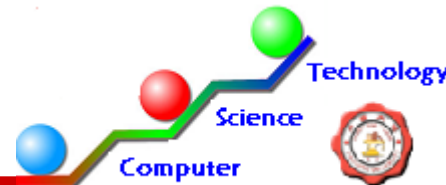
□ 3.16 某64位机主存地址码为26位，使用256K×16位的DRAM芯片组成，并采用模块板结构，问：

- (1) 若每个模块板容量为1M×64位，共需几块模块板？
- (2) 每个模块板内有多少DRAM芯片？
- (3) 主存共需多少DRAM芯片？

□ 题解：

- (1) 最大主存容量： $2^{26} = 64\text{M} \times 64\text{位}$ ，
 $64\text{M} \times 64\text{位} / 1\text{M} \times 64\text{位} = 64$ ，
则需要64个1M×64位模块。
- (2) $1\text{M} \times 64\text{位} / 256\text{K} \times 16\text{位} = 4 \times 4 = 16$ ，
则每个模块板内有16片DRAM芯片。
- (3) $64 \times 16 = 1024$ ，
则主存共需1024片DRAM芯片

第三章 3.18



□ 3.18 有一个 $2K \times 16$ 位的双端口存储器，若按下数两种情况进行读写，操作能否同时完成？应考虑什么问题？

- (1) 从左端口读出300号单元的内容（0123H），并同时从右端口向400号单元写入内容（4567H）；
- (2) 从左端口向400号单元写入内容（4567H）；并同时从右端口读出400号单元的内容。

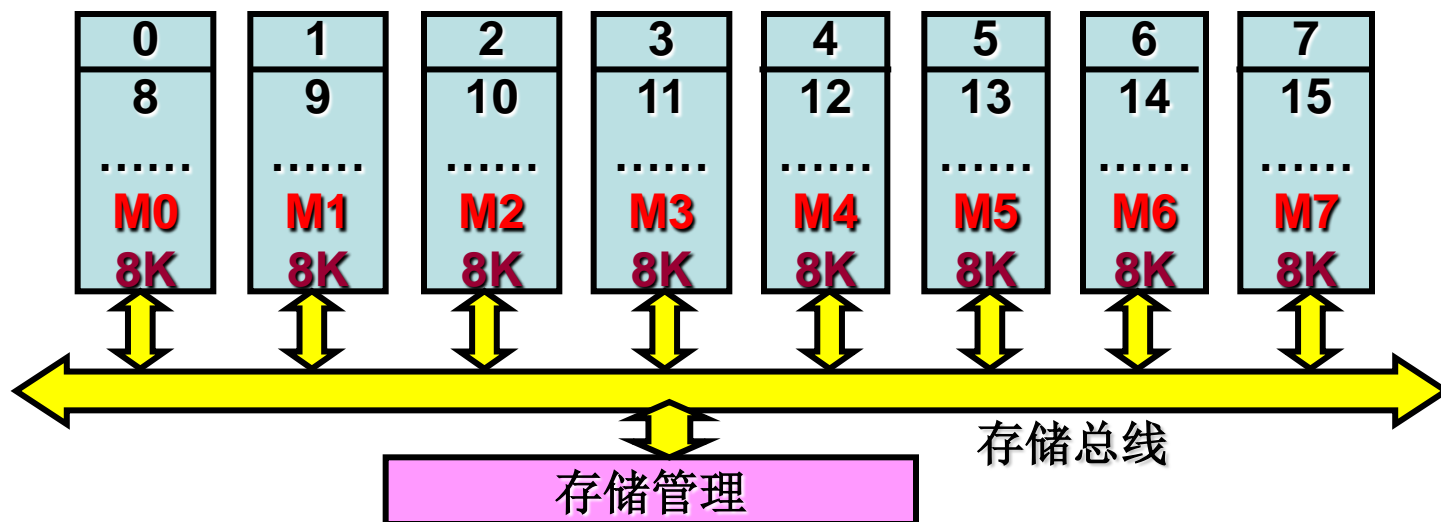
□ 题解：

- (1) 两个端口读写不同单元时可以并行处理，可同时完成；
- (2) 两个端口读写同一单元时会发生冲突，不可同时完成，一般使用BUSY信号进行互斥操作。

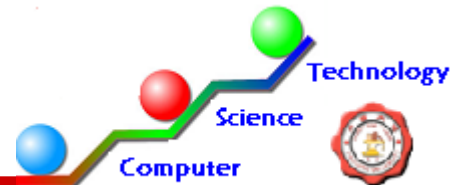
第三章 3.19



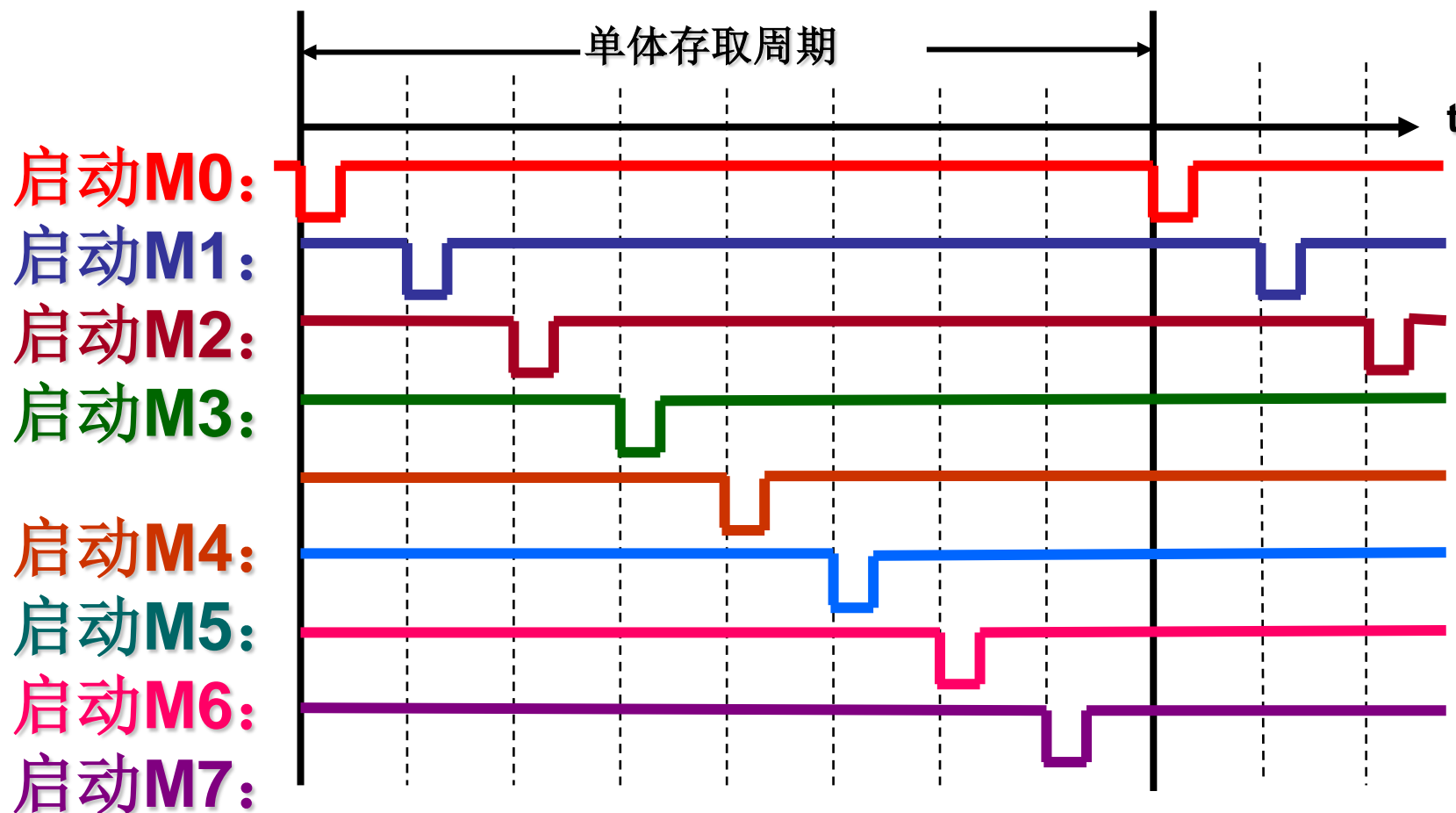
- 3.19 某机字长16位，常规的存储空间为64K字，若不想改用其它高速的存储芯片，而使访存速度提高到8倍，可采取什么措施？试画图说明。
- 题解：若想不改用高速存储芯片，而使访存速度提高到8倍，可采取**多体交叉存取技术**，图示如下：



第三章 3.19

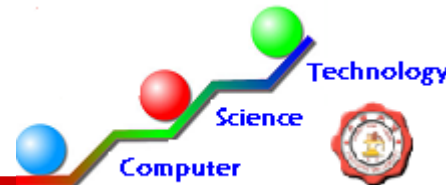


8体交叉访问时序:



由图可知：第1个存取周期之后，每隔 $1/8$ 个存取周期就可在存储总线上获得一个数据。

第三章 3.20***



□ 3.20 某机字长16位，现有存储容量为1G字，若不想改用其它高速的存储芯片，在使访存速度提高4倍的同时，使存储容量提高4倍，可采取什么措施？试画图说明。

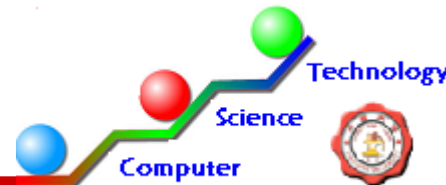
□ 题解：

现有存储容量为1G字，并未限定最大存储空间，也就是说地址总线不限于16位，这样就有比较大的设计空间。

采用多体交叉存储技术，每个体容量为64K字，采用4体交叉结构。

存储器结构图及访问时序图类似3.15题解（略）。

第三章 3.21



□ 3.21 设存储器容量为32字，字长64位，模块数 $m=4$ ，分别用顺序方式和交叉方式进行组织。存储周期 $T=200\text{ns}$ ，数据总线宽度为64位，总线传送周期 $\tau=50\text{ns}$ 。求：

- (1) 顺序存储器和交叉存储器的带宽各是多少？
- (2) 画出交叉存取时间示意图；
- (3) 画出顺序方式和交叉方式的存储器地址格式图；
- (4) 画出顺序方式和交叉方式的存储器组织框图。

□ 题解：

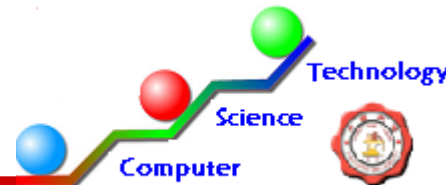
- (1) 顺序存储器和交叉存储器连续读出 $m=4$ 个字的信息总量都是：

$$q=64\text{位} \times 4=256\text{位}=32\text{B}$$

顺序存储器连续读出4个字所需的时间是：

$$t_2=mT=4 \times 200\text{ns}=800\text{ns}=8 \times 10^{-7}\text{s};$$

第三章 3.21



当连续存取时，低位交叉存储器连续读出4个字所需的时间可达：

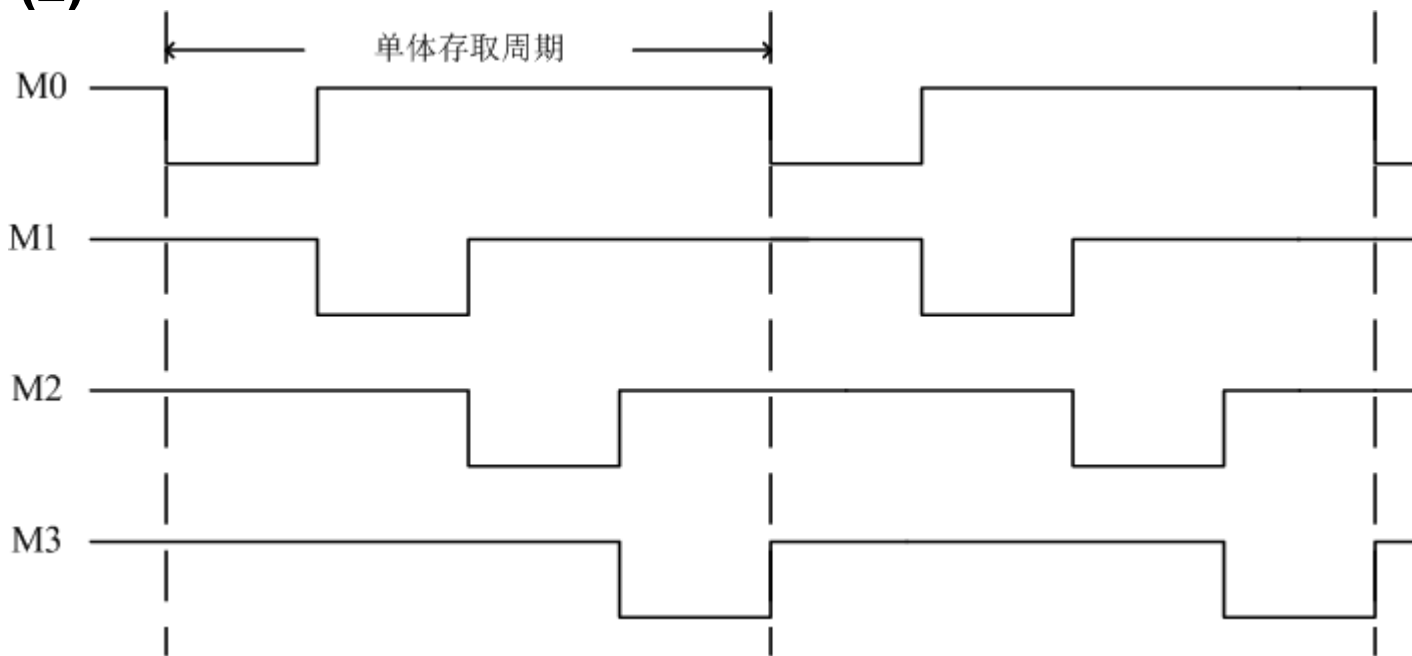
$$t_1 \approx m\tau \approx 4 \times 50 \approx 200\text{ns} \approx 2 \times 10^{-7}\text{s} \square$$

顺序存储器和交叉存储器的带宽分别是：

$$W_2 = q/t_2 = 256 \div (8 \times 10^{-7}) = 32 \times 10^7 \text{ [位/s]} = 40\text{MBps}$$

$$W_1 = q/t_1 \approx 256 \div (2 \times 10^{-7}) \approx 128 \times 10^7 \text{ [位/s]} \approx 160\text{MBps}$$

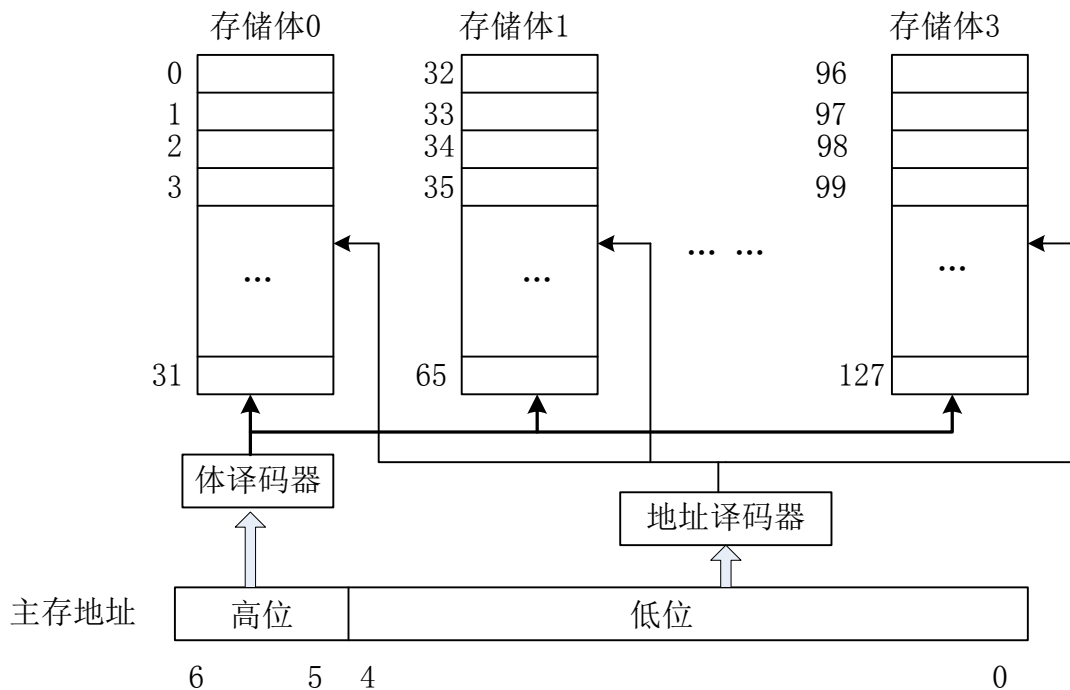
○ (2)



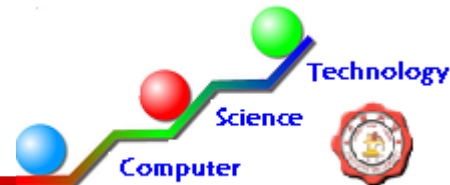
第三章 3.21



□ (3)(4)顺序方式



第三章 3.21



□ (3)(4)交叉方式

