

DEVOIR 2
CONCEPTION VHDL

ETIENNE COLLIN | 20237904
ANGE LILIAN TCHOMTCHOUA TOKAM | 20230129
JUSTIN VILLENEUVE | 20132792
ARCHITECTURE DES ORDINATEURS - IFT1227

Section A
PROFESSEURE ALENA TSIKHANOVICH

UNIVERSITÉ DE MONTRÉAL
À remettre le 9 Mars 2023 à 23:59



Table des matières

Table des matières	1
1 Conception des circuits combinatoires	2
1.1 Table de vérité	2
1.2 Partie A	3
1.3 Partie B	4
2 Circuits logiques séquentiels	5
2.1 Partie A	5
2.2 Partie B	6

1 Conception des circuits combinatoires

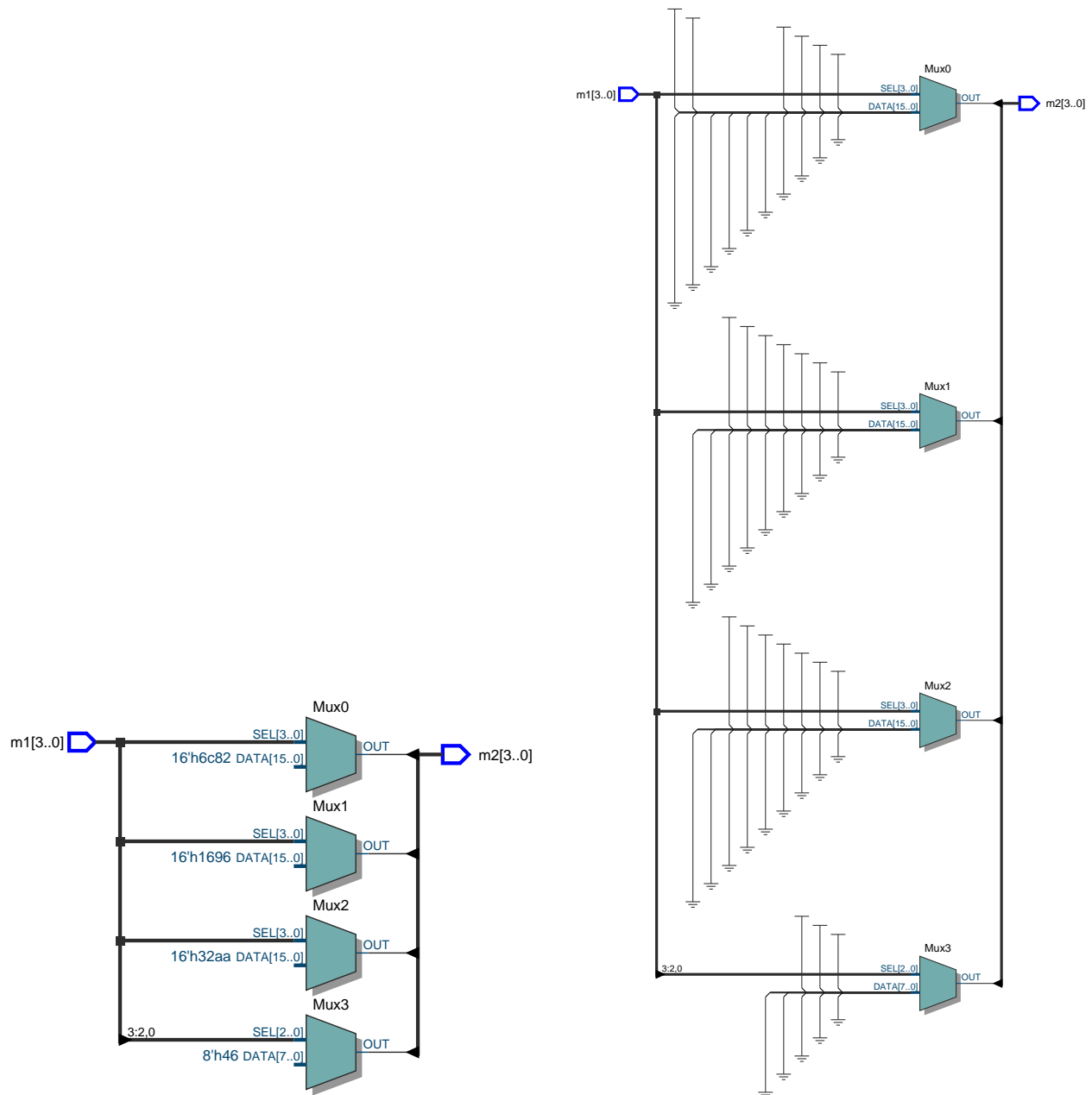
1.1 Table de vérité

Concevons la table de vérité du convertisseur de couleurs.

m1b3	m1b2	m1b1	m1b0	m2b3	m2b2	m2b1	m2b0
0	0	0	0	0	0	0	0
0	0	0	1	1	1	1	1
0	0	1	0	0	1	0	0
0	0	1	1	0	0	1	1
0	1	0	0	0	1	0	1
0	1	0	1	0	0	1	0
0	1	1	0	0	0	0	1
0	1	1	1	1	1	1	0
1	0	0	0	0	0	0	0
1	0	0	1	0	1	1	0
1	0	1	0	1	1	0	0
1	0	1	1	1	0	0	0
1	1	0	0	0	1	1	1
1	1	0	1	1	0	1	0
1	1	1	0	1	0	0	1
1	1	1	1	0	0	0	0

1.2 Partie A

Voici les schémas du circuit modélisé de manière comportementale générés par *Quartus*. Deux représentations des bus sont présentées. Dans la première, les bus sont "compressés" et dans l'autre, ils ne le sont pas.



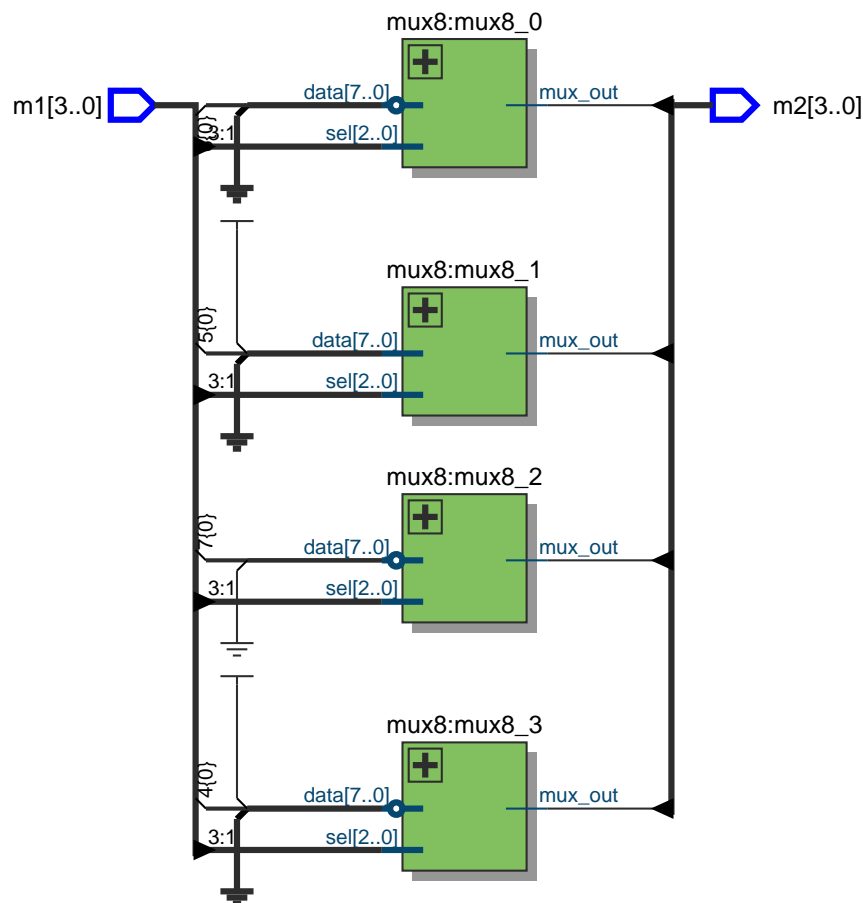
1.3 Partie B

Maintenant, afin de représenter les sorties à l'aide de multiplexeurs 8 :1, "compressons" la table de vérité en utilisant le bit d'entrée *m1b0* afin de représenter les bits de sortie.

m1b3	m1b2	m1b1	m2b3	m2b2	m2b1	m2b0
0	0	0	m1b0	m1b0	m1b0	m1b0
0	0	1	0	\neg m1b0	m1b0	m1b0
0	1	0	0	\neg m1b0	m1b0	\neg m1b0
0	1	1	m1b0	m1b0	m1b0	\neg m1b0
1	0	0	0	m1b0	m1b0	0
1	0	1	1	\neg m1b0	0	0
1	1	0	m1b0	\neg m1b0	1	\neg m1b0
1	1	1	\neg m1b0	0	0	\neg m1b0

\neg est le symbole utilisé pour le complément, car sinon, la barre n'est bien visible dans le tableau.

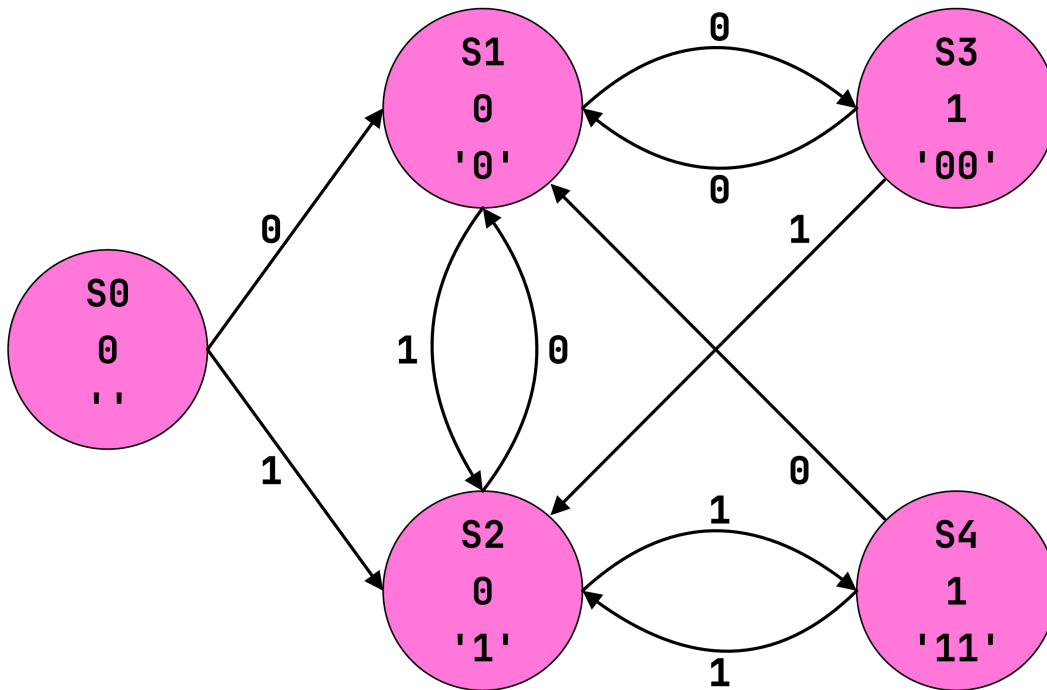
Voici le schéma du circuit modélisé de manière structurée généré par *Quartus*.



2 Circuits logiques séquentiels

2.1 Partie A

Voici le diagramme des états que nous avons créé.



2.2 Partie B

Voici le schéma du circuit, ainsi que le diagramme des états généré par *Quartus*.

