## DEVOIR 1

LOGIQUE NUMÉRIQUE ET CIRCUITS COMBINATOIRES

ETIENNE COLLIN | 20237904 Ange Lilian Tchomtchoua Tokam | 20230129 Justin Villeneuve | 20132792

Architecture des ordinateurs - IFT1227

# Section A Professeure Alena Tsikhanovich

UNIVERSITÉ DE MONTRÉAL À remettre le 16 Février 2023 à 23:59



# Table des matières

Ta	able o	des matières								
1	Réduction de la logique numérique									
2 Conception schématique des circuits combinatoires										
	2.1	Partie a								
	2.2	Partie b								
		2.2.1 Simplification $S_4$								
		2.2.2 Simplification $S_6$								
	2.3	Quartus								

## 1 Réduction de la logique numérique

En utilisant la méthode tabulaire de Quine-McCluskey, simplifiez la function logique suivante :

$$F(A, B, C, D) = \sum_{d} (0, 9, 13, 15) + \sum_{d} (2, 3, 4, 6, 11)$$

Commençons par créer le tableau contenant les minterms (sans passer par une table de vérité, le  $minterm\ x$  sera la représentation binaire de x) et simplifions en utilisant la technique de Quine-McCluskey.

Nombre de 1s	Minterm	Nombre de 1s	Minterm	Nombre de 1s	Minterm
0	0000√	0	00-0√	0	00*
1	0010√	0	0-00✓	2	1 1*
1	0100✓		001-*		
	0011√	1	0-10✓		
2	0110✓		01-0✓		
	1001✓		-011*		
3	1011√	2	10-1√		
3	1101✓		1-01✓		
4	1111√	3	1-11√		
		3	11-1√		

À l'aide de ces tableaux, trouvons maintenant les prime implicants.

Prime implicants	Minterms					
1 Time implicants	0000	1001	1101	1111		
001-						
-011						
00	<b>√</b>					
11		<b>√</b>	<b>√</b>	<b>√</b>		

Ainsi, selon cette table, la simplification de la function logique F est :

$$F(A, B, C, D) = \bar{A}\bar{D} + AD \tag{1}$$

# 2 Conception schématique des circuits combinatoires

## 2.1 Partie a

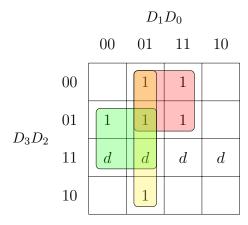
Concevoir la table de vérité de l'afficheur. Sur la carte, pour allumer un segment de de l'afficheur, il faudra générer le signal 0 et le signal 1 pour l'éteindre.

$D_3$	$D_2$	$D_1$	$D_0$	Chiffres & Lettres	$S_0$	$S_1$	$S_2$	$S_3$	$S_4$	$S_5$	$S_6$
0	0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	1	1	0	0	1	1	1	1
0	0	1	0	2	0	0	1	0	0	1	0
0	0	1	1	3	0	0	0	0	1	1	0
0	1	0	0	4	1	0	0	1	1	0	0
0	1	0	1	5	0	1	0	0	1	0	0
0	1	1	0	6	0	1	0	0	0	0	0
0	1	1	1	7	0	0	0	1	1	1	1
1	0	0	0	8	0	0	0	0	0	0	0
1	0	0	1	9	0	0	0	0	1	0	0
1	0	1	0	A	0	0	0	1	0	0	0
1	0	1	1	b	1	1	0	0	0	0	0
1	1	0	0	-	d	d	d	d	d	d	d
1	1	0	1	-	d	d	d	d	d	d	d
1	1	1	0	-	d	d	d	d	d	d	d
1	1	1	1	-	d	d	d	d	d	d	d

## 2.2 Partie b

Simplifier la SOP des functions logiques contrôlant les segments 4 et 6 avec la méthode de Karnaugh.

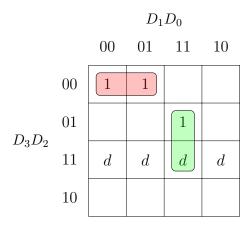
## 2.2.1 Simplification $S_4$



L'équation simplifiée est donc :

$$S_4 = \bar{D}_3 D_0 + D_2 \bar{D}_1 + \bar{D}_1 D_0 \tag{2}$$

## 2.2.2 Simplification $S_6$



L'équation simplifiée est donc :

$$S_6 = \bar{D}_3 \bar{D}_2 \bar{D}_1 + D_2 D_1 D_0 \tag{3}$$

## 2.3 Quartus

Voici maintenant le schéma résultant de la synthèse du circuit dans Quartus. Notez que pour montrer les symbols VCC et GND, l'option Show constant value est décochée. Le même GND est lié à data2, data4 et data5 dans le Mux8, mais ils sont montrés séparément dans le schéma.

