



# **ELE344**

# **CONCEPTION ET ARCHITECTURE**

# **DE PROCESSEURS**

## **PROJET 3**

## **PROCESSEUR MIPS AVEC PIPELINE**

**Hachem Bensalem, PhD**

# Projet 3: Processeur MIPS avec Pipeline

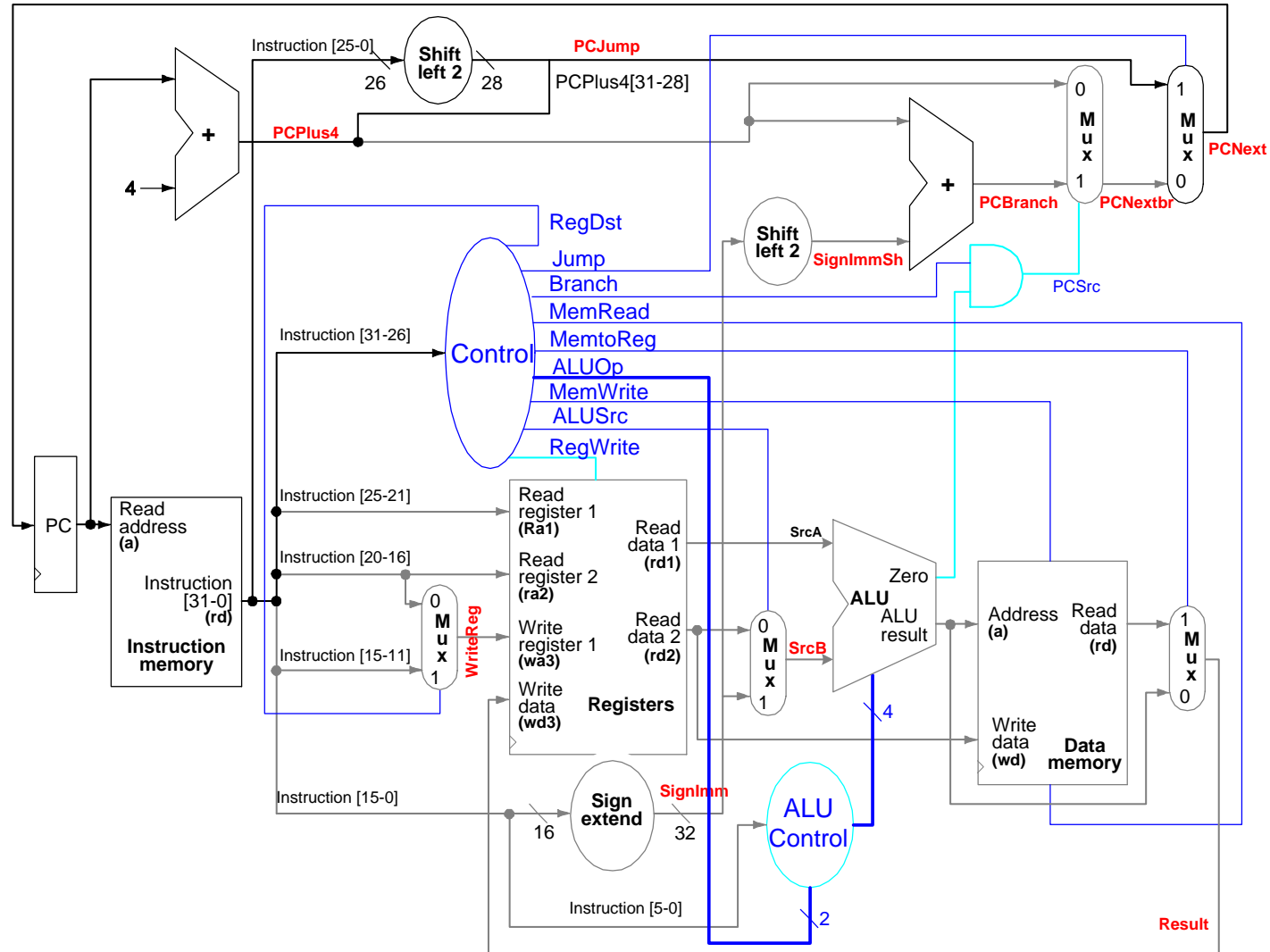
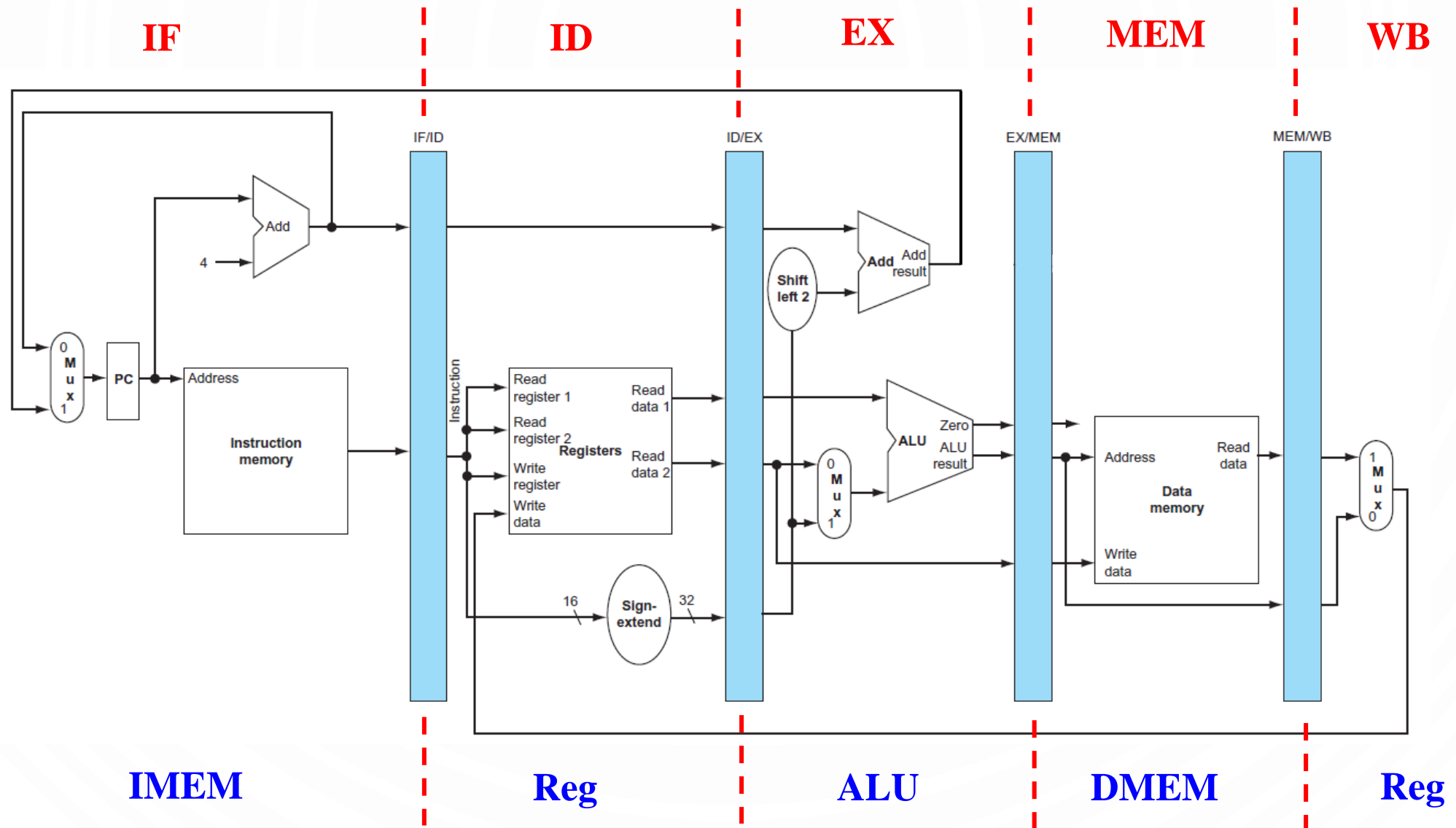


Fig.1 : MIPS monocycle du projet 2

# Projet 3: Processeur MIPS avec Pipeline



# Projet 3: Processeur MIPS avec Pipeline

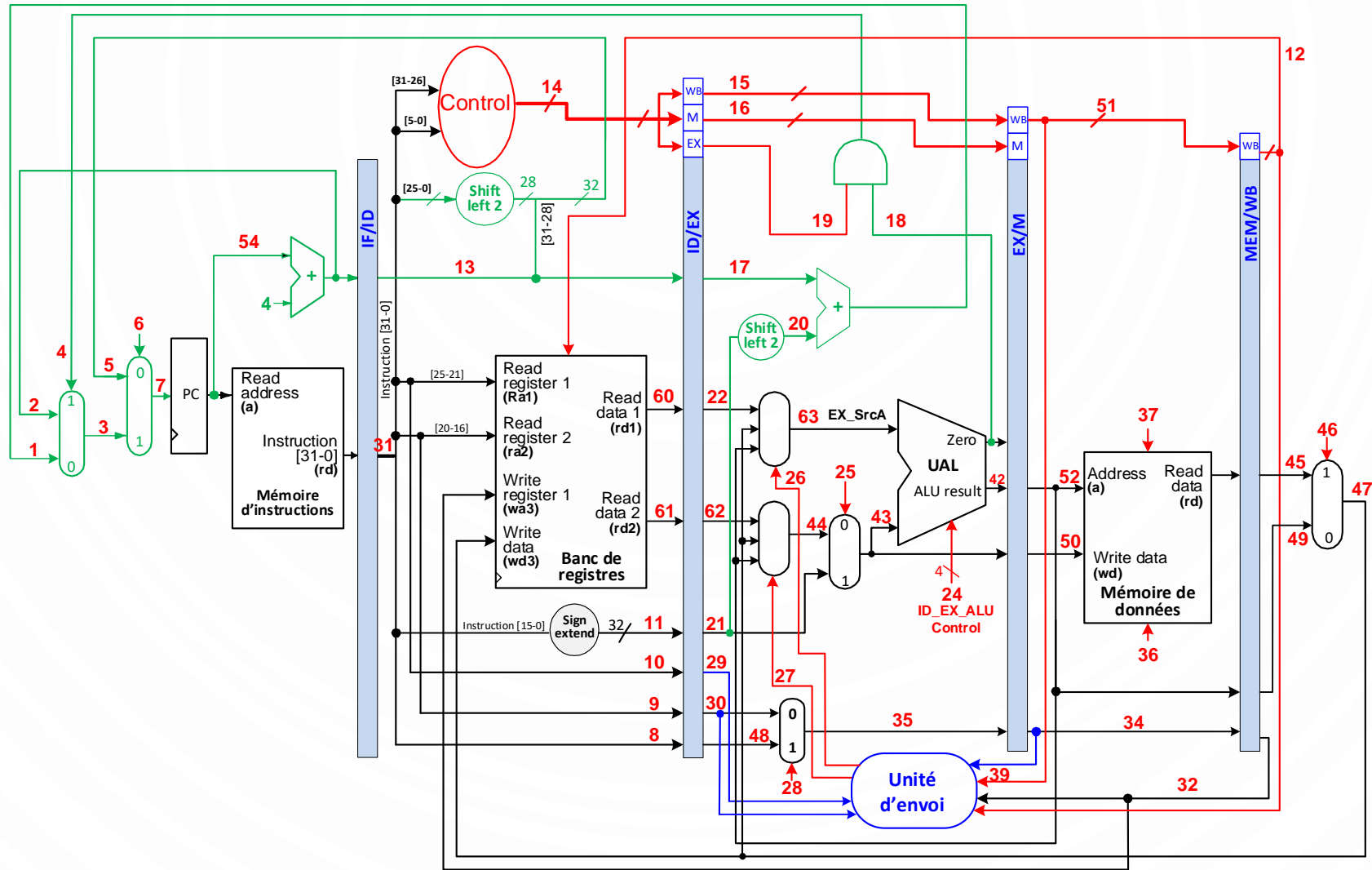


Fig.2 : MIPS avec cinq étages de Pipeline

### Projet 3: Processeur MIPS avec Pipeline

Le processeur MIPS contient deux composants : le contrôleur et le chemin de données (*Datapath*).

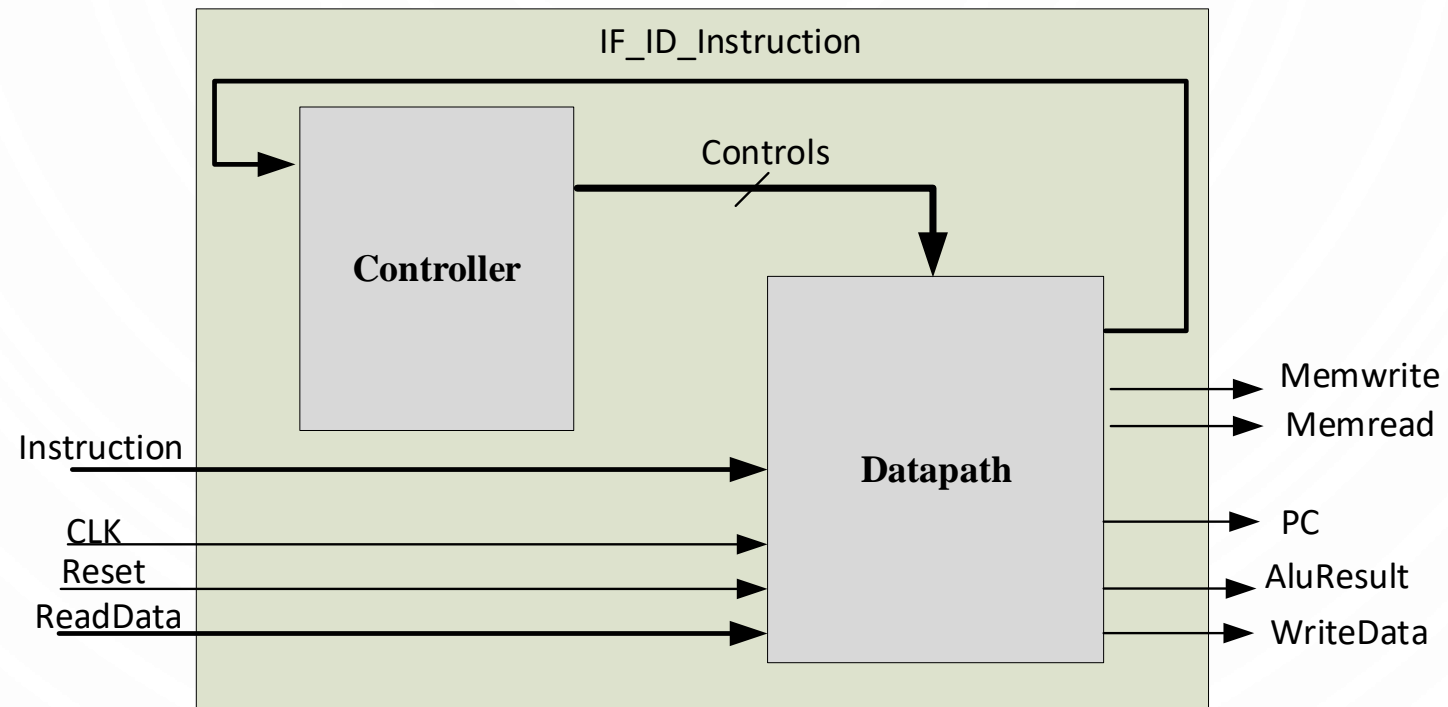
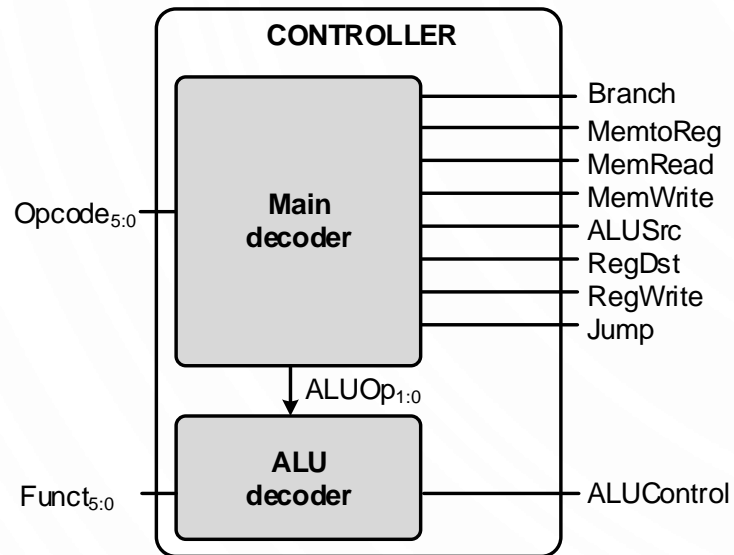


Fig.3 Le composant MIPS avec pipeline

## Projet 3: Le Contrôleur

Le contrôleur reste tel que décrit dans le projet 2. **Rien À Changer.**



```
ENTITY controller IS
PORT (
    OP, Funct: IN std_logic_vector(5 downto 0);
    MemtoReg,
    MemWrite,
    MemRead,
    Branch,
    AluSrc,
    RegDst,
    RegWrite,
    Jump : OUT std_logic;
    AluControl : OUT std_logic_vector(3 downto 0)
);
end;
```

### Projet 3: Processeur MIPS avec Pipeline

Le Datapath avec cinq étages de pipeline contient :

- Les étages de registre (Pipeline) (Nouveau)
- Une unité d'envoi (*forwarding unit*) (Nouveau)
- L'ALU (Fait au Projet 2 )
- Le Registre (Fait au Projet 2 )

1. Insertion des étages de registre (pipeline) par l'insertion d'un seul process synchrone par étage (Voir annexe 1).
2. Insertion de l'unité de renvoi par un encodeur de priorité après la détermination de l'équation de ForwardA et ForwardB.

## Projet 3: Processeur MIPS avec Pipeline

**VÉRIFICATION 1 :** Déterminer les équations de deux sorties **ForwardA** et **ForwardB** en fonction de leurs entrées en utilisant un encodeur de priorité.

**PRÉPARATION 2 :** Compléter le **tableau 2** du fichier Excel qui indique la valeur de signaux pour les 20 premiers cycles d'exécution (de droite à gauche) de processeur MIPS avec pipeline si le programme fourni dans votre projet 2 (modifié avec les NOP) est exécuté. Déposer le fichier Excel sous « Dépôt de la préparation 2 » sous Projet 3 dans Moodle (AVANT LE DÉBUT DE LA DEUXIÈME SÉANCE DU PROJET 3).



## Projet 3: PRÉPARATION 2 : Tableau 2

Nom du signal	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
PC (9:2)																				
Instruction																			addi	addi
IF_ID_Instruction																		addi	addi	
ID_EX_rs																				
ID_EX_rt																				
ID_EX_rd																				
ID_EX_instruction																	addi	addi	---	---
ID_EXWriteReg																				
ID_EX_AlucControl																				
EX_Aluresult																				
EX_ForwardA																				
EX_ForwardB																				
EX_MEM_instruction																addi	addi	---	---	---
EX_MEMWriteReg																				
EX_MEM_SrcB																				
MEM_WB_instruction															addi	addi	---	---	---	---
MEM_WBWriteReg																				
MEM_WB_RegWrite																				

## Projet 3: LES VÉRIFICATIONS

**VÉRIFICATION 2 :** Lorsque votre vérification du bon fonctionnement de votre design par simulation avec ModelSim est terminée, faire valider votre simulation par votre chargé de laboratoire. La simulation doit être claire, lisible et doit faire apparaître (dans l'ordre sur une fenêtre « wave ») le résultat des signaux CLK, RESET, PC (9:2), DATAADDRESS et WRITEDATA. La simulation doit exécuter avec succès tout le programme.

**VÉRIFICATION 3 :** Lorsque votre vérification des rapports de synthèse est faite, faire valider par votre chargé de laboratoire. Le slack doit être positif. Le barème de correction sous la section « Description HDL pour la synthèse » du document grille\_evaluation\_fichier\_VHDL.pdf sera entre autres utilisé.

### Projet 3: BONUS

#### **BONUS : Ajouter :**

- a. Unité de détection d'aléas de données pour LW. Cette unité doit alors suspendre (*stall*) l'exécution pour un cycle. La suspension fige le PC et le registre d'instruction pour un cycle et les signaux de contrôle à l'étage EX sont mis à zéro pour ne pas écrire dans la mémoire de données, ni dans le banc de registre (équivalent à un NOp).
- b. Réduction du nombre de cycles de retard dans le cas de branchement. La logique pour le branchement doit être devancé d'un étage pour avoir un seul cycle de retard plutôt que deux.

## Projet 3: Barème d'évaluation

### Annexe 2 Barème d'évaluation du Projet 3

Critères	Description	Note	Poids (%)
Préparation 1	Tableau 1 Description des signaux		15
Préparation 2	Tableau 2 : Valeurs des signaux ou registres pour les 20 premier cycles		20
Vérification 1	Équations de l'unité d'envoi ( <i>Forwarding unit</i> )		10
Vérification 2	Résultats de simulation		30
Vérification 3	Rapports de synthèse du top.vhd avec Quartus (Fréquence maximale, ressources utilisées, les délais et leurs chemins critiques)		10
Rapport final	Rapport Projet3 XXX.docx*		
VHDL	Fichiers VHDL**		15
<b>Total :</b>			<b>100</b>
<b>Bonus : Unité de détection d'aléas</b>			<b>5</b>
<b>Bonus : Réduction du nombre de cycles de retard</b>			<b>10</b>

**Fin ...**