

UNIVERSIDAD DEL VALLE DE GUATEMALA
Facultad de Ingeniería



Diseño de Nanoelectrónica

Protocolo de trabajo de graduación presentado por Elmer Torres,
estudiante de Ingeniería Electronica

Guatemala,

2021

Resumen

Lorem ipsum dolor sit amet, consectetur adipiscing elit. Cras vitae eleifend ipsum, ut mattis nunc. Pellentesque ac hendrerit lacus. Cras sollicitudin eget sem nec luctus.

Antecedentes

Durante los últimos años la Universidad del Valle de Guatemala ha invertido una gran cantidad recursos en avanzar el sector de tecnología en nuestra región del mundo, prueba de esto es la creación de un cubesat el cual fue capaz de orbitar la tierra durante 211 días, otra de las áreas que se desea desarrollar es la micro y nano electrónica gracias al Ing. Carlos esquit, el cual cuenta con una maestría en esta rama de la electrónica por lo que es la persona indicada para guiar el avance de estas tecnologías.

Los primeros avances hechos por la universidad en esta área de tecnología empezaron en 2013 cuando se agregaron cursos de VLSI a la malla curricular de estudios, posteriormente en 2014 se logro crear un acuerdo con la empresa Synopsis para poder obtener acceso a una gran variedad de herramientas para el desarrollo de las nuevas tecnologías, estos avances logrados por la universidad permitieron que los alumnos pudieran incursionar en esta rama de la electrónica. Estos avances permitieron que en 2014 se presentara el primer trabajo de graduación en el área de VLSI por parte de la UVG [1], este trabajo ha servido de guía para que otros estudiantes puedan experimentar con las herramientas que nos brinda Synopsis y así incursionar en estas nuevas tecnologías.

En los últimos años el ing. Carlos Esquit logro conseguir un patrocinio para realizar la fabricación de un chip en escala nanométrica por la empresa TSMC, la cual es una empresa líder en la fabricación de chips a nivel mundial, por lo que en los últimos años se ha estado trabajando con los estudiantes de electrónica en el desarrollo de este chip, las primeras bases para este proyecto se encuentran en [2] y [3], las cuales fueron de gran ayuda para poder a realizar el trabajo presentado en este documento.

Justificación

hgjhjjhvjvhgvgvjhg

Objetivos

Objetivo General

Lorem ipsum dolor sit amet, consectetur adipiscing elit. Praesent eu lectus tincidunt, malesuada lorem nec, accumsan ligula.

Objetivos Específicos

- Nulla ut ex ut mauris pretium elementum.
- Suspendisse malesuada lectus nec nisi iaculis, in luctus turpis laoreet.
- In efficitur nisl vitae justo interdum, vitae condimentum lectus maximus.
- Morbi quis libero sit amet velit commodo tristique eu sed nisl.

Marco teórico

Electrónica digital

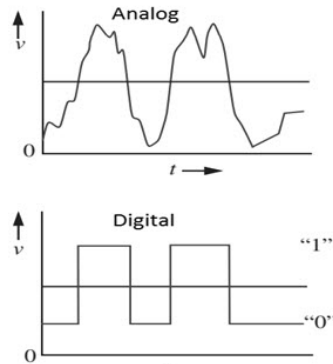


Figura 1: Electrónica Digital y Analógica

Esencialmente existen dos grandes divisiones en la electrónica, la rama que se dedica al estudio de las señales analógicas compuestas por múltiples valores que estas señales pueden tener, también existe una rama de la electrónica dedicada a las señales digitales las cuales se componen únicamente de valores 1 o 0, la electrónica digital se encuentra en la gran mayoría de dispositivos electrónicos que utilizamos en nuestro diario vivir, por ejemplos nuestros teléfonos y computadoras se basan en el lenguaje binario para poder almacenar y procesar toda la información que contenemos en ellos. La rama de electrónica digital es un gran campo de investigación debido que constantemente se están buscando nuevas tecnologías para hacer mas eficiente y pequeños los dispositivos electrónicos. En la figura 1 se puede observar la diferencia entre digital y analógico.

Transistores MOS

El silicio(Si), un material semiconductor, es uno de los componentes esenciales para la creación circuitos integrados. A este material es posible introducirle pequeñas cantidades de impurezas, llamados dopantes, para poder alterar las propiedades del silicio. existen dos tipos de semiconductores que se crean en el silicio, para el primer tipo se utiliza Arsénico como dopante para poder crear semiconductores de *tipo n* estos contiene un electrón libre

capaz de transmitir la corriente, por lo tanto su conductividad es alta. El segundo tipo utiliza Boron como dopante, a diferencia del anterior a este le falta un electrón que le permite actuar como un portador positivo dando lugar a los semiconductores de *tipo p*. Un transistor es creado apilando distintas capas de materiales conductores y aislantes en forma de sandwich, estas estructuras son creadas utilizando procesos químicos que involucran oxidar el silicio, introducir dopantes e introducir metales para las interconexiones. la tecnología CMOS cuenta con dos tipos de transistores, los *tipo n* (nMOS) y también los *tipo p* (pMOS) en la figura 2 se puede observar ambos tipos de transistores. [4]

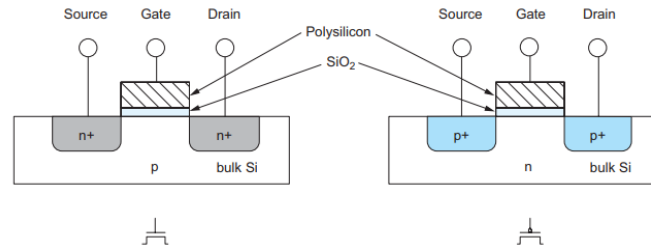


Figura 2: Transistores nMOS y pMOS.

VLSI

Cuando ya se tiene el diseño del circuito para un tarea en específico se debe tener en consideración el proceso de fabricación debido que tiene un gran impacto en el desempeño, potencia y costo de los circuitos integrados. El tamaño de los transistores e interconexiones esta limitado a la resolución del proceso de manufactura, avances continuos en este campo han permitido que la resolución del proceso sea mayor y esta industria pueda tener un crecimiento exponencial. A pesar de la gran complejidad de los chips estos son relativamente económicos, debido que estos pueden ser impresos a gran escala de forma similar a los libros. El proceso de fabricación consiste en una serie pasos en los cuales se van formando las diferentes capas del chip por medio de un proceso llamado Photolithoghaphy, el cual consiste en mascarar que se sobreponen al wafer de silicio antes de exponerlo a diferentes tipos de luz. El espacio del wafer se trata de optimizar lo mas posible para lograr fabricar el mayor numero de chips posibles en un unico wafer, por lo tanto el costo individual de cada chip es proporcional al área que este ocupa y no por el numero de transistores que este contiene.[4]

Flujo de diseño

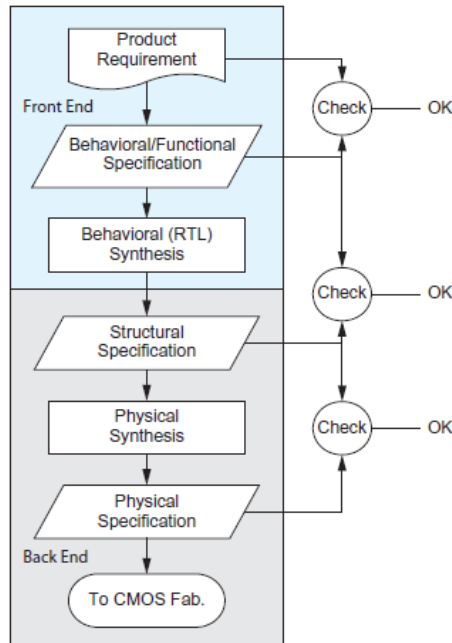


Figura 3: Design Flow

El flujo de diseño es un conjunto de procedimientos que se deben seguir para poder pasar de una fase de especificaciones técnicas a una implementación final del chip sin errores. El flujo se divide en dos partes, front-end se encarga de la capa de comportamiento lógico y back-end se encarga de la capa física y de estructura. El proceso empieza en la etapa de front-end, donde se realiza un análisis de los requerimientos del diseño para poder realizar las especificaciones de comportamiento a las cuales se les realiza una síntesis lógica para obtener un diseño a nivel de Register Transfer level (RTL) en formato de HDL. Luego pasa a la etapa de back-end en la cual se establecen las especificaciones físicas del sistema, luego se realiza la síntesis física de lo obtenido a partir de la síntesis lógica de la etapa de front-end, obtenemos una descripción física del sistema (layout) la cual puede proceder a ser fabricada. En la figura 3 se puede observar el flujo de diseño visualmente.

Front end

El diseño *Front-end* tiene más etapas que las vistas previamente en el diseño general, en esta etapa del diseño se plantea el diseño a través de un lenguaje descriptor de Hardware (HDL). Esta etapa de diseño se puede observar en la figura 4.

El proceso consta de los siguientes pasos:

1. La definición de la tarea y especificaciones que se desea cumplir con la implementación del chip.

2. Diseño lógico del sistema, se puede realizar utilizando el lenguaje Verilog de forma *structural* o *behavioral*, a este diseño se le conoce como RTL.
3. Se realiza la síntesis lógica, la cual nos permite convertir el RTL en un *netlist* de compuertas lógicas.
4. El netlist se obtiene de manera *structural* y con componentes de las librerías de la tecnología que se trabajara.
5. La parte final antes de proceder con el *Back-end* consta de la verificación de funcionalidad de la síntesis lógica, esta verificación se realiza con las herramientas de Formality o VCS.

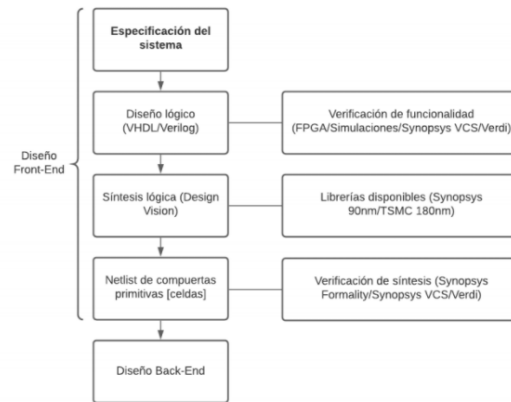


Figura 4: Diseño Front-end

Back end

La etapa de *Back-end* Consiste en la implementación física del diseño elaborado en la parte de *Front-end*, en esta etapa se toma el *netlist* que ya ha sido verificado y se convierte en un *layout* compuesto de *frames* o celdas por medio de la síntesis física. Esta etapa de diseño se puede observar en la figura 5.

El proceso consta de los siguientes pasos:

1. Se realiza la síntesis física, la cual toma el *netlist* verificado y lo convierte en una descripción física, conocida como *layout*. El *layout* obtenido contiene una topología del circuito que ya podría ser fabricale.
2. Se procede a realizar el *Placement*, el cual consiste en crear el diseño del *floorplan* para establecer de manera estratégica los componentes en la planta.
3. Procedemos a realizar la parte de *Routing*, en la cual se realiza la interconexión de las celdas.

4. Se realiza el *Layout Versus Schematic*(LVS), el cual consiste en una verificación entre el *layout* y el *netlist* del sistema.
5. Por ultimo se realiza el *Parasitic Extraction* para obtener todas las propiedades resistivas y capacitivas de cada uno de los nodos que conforman nuestro chip.

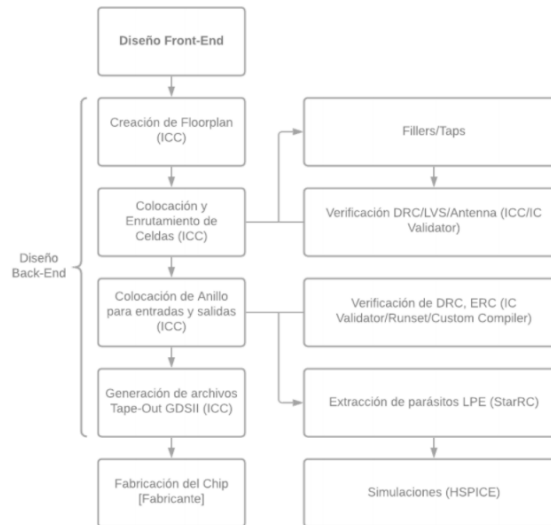


Figura 5: Diseño Back-end

Metodología

Cronograma de actividades

Índice preliminar

Referencias

- [1] J. d. I. Santos, “Diseño de un sumador/restador de 32 bits con tecnología CMOS en un proceso de 28 nanómetros usando aplicaciones de diseño de la empresa Synopsys,” en *Trabajo de graduación en modalidad de Tesis*, Facultad de Ingeniería Universidad del Valle de Guatemala, 2010.
- [2] L. A. Najera, “Implementación de circuitos sintetizados a nivel netlist a partir de un diseño en lenguaje descriptivo de hardware como primer paso en el flujo de diseño de un circuito integrado,” en *Trabajo de graduación en modalidad de Tesis*, Facultad de Ingeniería Universidad del Valle de Guatemala, 2019.
- [3] S. H. Rubio, “Definición del Flujo de Diseño para Fabricación de un Chip con Tecnología VLSI CMOS,” en *Trabajo de graduación en modalidad de Tesis*, Facultad de Ingeniería Universidad del Valle de Guatemala, 2019.
- [4] N. Weste y D. M. Harris, “A Circuits and Systems Perspective,” en *CMOS VLSI Design*, Pearson Education, Inc., 2011.