

UNIVERSIDAD DEL VALLE DE GUATEMALA
Facultad de Ingeniería



**Diseño de un circuito integrado con tecnología de 180 nm
usando librerías de diseño de TSMC: Ejecución y simulación
para la etapa de síntesis lógica**

Protocolo de trabajo de graduación presentado por Elmer Torres,
estudiante de Ingeniería Electronica

Guatemala,

2021

Resumen

El sector de la electrónica es uno de los que tiene mayor numero de avances continuamente, esto porque siempre se desea lograr mayor velocidad y eficiencia en los sistemas electrónicos que utilizamos diariamente, como los teléfonos y computadoras. Por lo que el diseño de circuitos a escala nanométrica tiene un gran auge a nivel mundial. Sin embargo este también es una de los procesos de fabricación mas complicados que existen, por lo tanto para llevar a cabo el diseño de estos sistemas se sigue un Flujo de diseño que divide todo el proceso en etapas claves, en las cuales se realizan verificaciones antes de proceder a la siguiente etapa y lograr que el diseño sea libre de errores para su fabricación.

La primera etapa del flujo de diseño constituye la síntesis lógica del sistema, la cual ya se llevo a cabo previamente utilizando librerías proporcionadas por synopsys, pero ahora ya estamos un paso mas cerca de realizar la fabricación del diseño, por lo que es necesario cambiar las librerías empleadas anteriormente por las nuevas que nos brinda el fabricante, el cambio de librerías implica un cambio drástico a lo que se tenia antes, por lo tanto es necesario que la síntesis y pruebas deban realizarse nuevamente para asegurarse que nuestro diseño cumpla con todos los parámetros establecidos por el fabricante.

La etapa de síntesis lógica es de vital importancia para todo el proceso debido que si desde esta etapa tenemos algún error que pasemos por alto y no solucionemos antes de proceder con el flujo de diseño podemos provocar que todo el proyecto falle, generando que hayamos desperdiciado todo el tiempo invertido en el desarrollo y también los recursos económicos que toma la fabricación en silicio.

Antecedentes

Durante los últimos años la Universidad del Valle de Guatemala ha invertido sus recursos en avanzar el sector de tecnología en nuestra región del mundo, prueba de esto es la creación de un cubesat el cual fue capaz de orbitar la tierra durante 211 días, otra de las áreas que se desea desarrollar es la micro y nano electrónica gracias al Ing. Carlos Esquit, el cual cuenta con una maestría en esta rama de la electrónica por lo que es la persona indicada para guiar el avance de estas tecnologías.

Los primeros avances hechos por la universidad en esta área de tecnología empezaron en 2013 cuando se agregaron cursos de VLSI a la malla curricular de estudios, posteriormente en 2014 se logro crear un acuerdo con la empresa Synopsys para poder obtener acceso a una gran variedad de herramientas para el desarrollo de las nuevas tecnologías, estos avances logrados por la universidad permitieron que los alumnos pudieran incursionar en esta rama de la electrónica. Logrando que en 2014 se presentara el primer trabajo de graduación en el área de VLSI por parte de la UVG [1], este trabajo ha servido de guía para que otros estudiantes puedan experimentar con las herramientas que nos brinda Synopsys y así incursionar en estas nuevas tecnologías.

En los últimos años se logro conseguir el apoyo para realizar la fabricación de un chip a escala nanométrica por la empresa TSMC, la cual es una empresa líder y pionera en la fabricación de nuevos chips a nivel mundial, este apoyo se logro a través del centro de investigación y desarrollo de tecnología nanométrica y digital IMEC, esta tiene como propósito lograr crear equipos talentosos al rededor del mundo que sean capaces de destacar en el sector tecnológico, por lo que la universidad ha invertido recursos para que los estudiantes de electrónica puedan realizar el desarrollo de este chip. Los primeros avances de este proyecto se encuentran en [2] y [3], las cuales fueron de gran ayuda para poder a realizar el trabajo presentado en este documento.

Justificación

La fabricación de chips utilizando silicio es un proceso de fabricación costoso y complejo, teniendo un costo cercano a los 3 millones de dolares y el desarrollo toma cerca de un año, por lo que es necesario que los diseños que se desean materializar cumplan con las características que el fabricante provee. El diseño de estos chips suele ser dividido en distintas etapas para poder verificar constantemente si el diseño cumple los requisitos necesarios, este proceso se denomina *Design Flow* (Flujo de Diseño). Compañías como Intel o AMD cuentan con su propio flujo de diseño debido a la gran complejidad de sus diseños, esto les permite dividir el trabajo en distintos módulos para que los ingenieros encargados sean capaces de crear e integrar las distintas partes de los procesadores que se encuentran dentro de todas las computadoras al rededor del mundo.

El objetivo de este trabajo es establecer una base solida para el desarrollo de la etapa de *Logic Synthesis*. Esta etapa es el primer paso para poder llevar a cabo el diseño completo de un chip, donde partimos de un código desarrollado en *HDL* hasta la verificación de la síntesis lógica del circuito. El fin de este trabajo es motivar a las personas a indagar mas sobre el avance de la nanoelectrónica en Guatemala y hacer crecer esta área de trabajo en nuestra región.

Objetivos

Objetivo General

Realizar y verificar la etapa de síntesis lógica en el flujo de diseño, cumpliendo con todos los requisitos necesarios para que las siguientes etapas puedan desarrollarse libre de errores.

Objetivos Específicos

- Construir el código HDL con todos los parámetros necesarios para poder ser sintetizado de manera correcta.
- Realizar las simulaciones necesarias empleando la herramienta de SPICE para comprobar el funcionamiento correcto del código descriptor del diseño y la síntesis lógica.
- Obtener el diseño del circuito a nivel de *Register Transfer level* (RTL) que cumpla con todos los requisitos necesarios para llegar a la siguiente etapa.
- Mantener una comunicación eficiente con el equipo encargado de desarrollar la prueba de LVS, para poder solventar los errores rápidamente.
- Proveer los archivos e información necesaria al equipo encargado de realizar la síntesis física del diseño.
- Proveer todos los archivos e información necesaria al equipo encargado de realizar la automatización del proceso completo, para lograr realizar todas las tareas con éxito.
- Realizar un manual que contenga instrucciones de el uso correcto de todas las herramientas empleadas para la etapa de *Logic Synthesis*, para que sea de utilidad en el desarrollo futuros proyectos.

Marco teórico

Transistores MOS

El silicio(Si), un material semiconductor, es uno de los componentes esenciales para la creación circuitos integrados. A este material es posible introducirle pequeñas cantidades de impurezas, llamados dopantes, para poder alterar las propiedades del silicio. existen dos tipos de semiconductores que se crean en el silicio, para el primer tipo se utiliza Arsénico como dopante para poder crear semiconductores de *tipo n* estos contiene un electrón libre capaz de transmitir la corriente, por lo tanto su conductividad es alta. El segundo tipo utiliza Boro como dopante, a diferencia del anterior a este le falta un electrón que le permite actuar como un portador positivo dando lugar a los semiconductores de *tipo p*. Un transistor es creado apilando distintas capas de materiales conductores y aislantes en forma de sandwich, estas estructuras son creadas utilizando procesos químicos que involucran oxidar el silicio, introducir dopantes e introducir metales para las interconexiones. La tecnología CMOS cuenta con dos tipos de transistores, los *tipo n*(nMOS) y también los *tipo p*(pMOS) en la figura 1 se puede observar ambos tipos de transistores. [4]

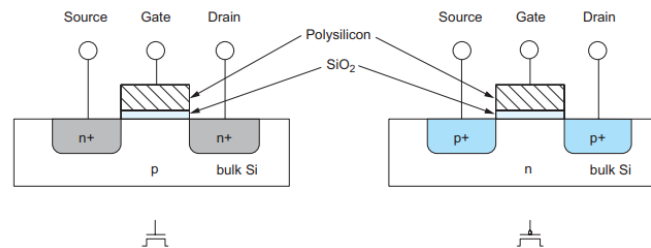


Figura 1: Transistores nMOS y pMOS.

VLSI

Cuando ya se tiene el diseño del circuito para un tarea en específico se debe tener en consideración el proceso de fabricación debido que tiene un gran impacto en el desempeño, potencia y costo de los circuitos integrados. El tamaño de los transistores e interconexiones esta limitado a la resolución del proceso de manufactura, avances continuos en este campo han permitido que la resolución del proceso sea mayor y esta industria pueda tener un crecimiento exponencial. A pesar de la gran complejidad de los chips estos son relativamente económicos, debido que estos pueden ser impresos a gran escala de forma similar a los libros. El proceso de fabricación consiste en una serie pasos en los cuales se van formando las diferentes capas del chip por medio de un proceso llamado *Photolithography*, el cual consiste en mascarar que se sobreponen a una oblea circular fabricada de silicio denominada *wafer* antes de exponerlo a diferentes tipos de luz. El espacio del *wafer* se trata de optimizar lo mas posible para lograr fabricar el mayor numero de chips posibles en un único *wafer*, por lo tanto el costo individual de cada chip es proporcional al área que este ocupa y no por el numero de transistores que este contiene.[4]

Flujo de diseño

El flujo de diseño es un conjunto de procedimientos que se deben seguir para poder pasar de una fase de especificaciones técnicas a una implementación final del chip sin errores. El flujo se divide en dos partes, front-end se encarga de la capa de comportamiento lógico y back-end se encarga de la capa física y de estructura. El proceso empieza en la etapa de front-end, donde se realiza un análisis de los requerimientos del diseño para poder realizar las especificaciones de comportamiento a las cuales se les realiza una síntesis lógica para obtener un diseño a nivel de Register Transfer level (RTL) en formato de HDL. Luego pasa a la etapa de back-end en la cual se establecen las especificaciones físicas del sistema, luego se realiza la síntesis física de lo obtenido a partir de la síntesis lógica de la etapa de front-end, obtenemos una descripción física del sistema (layout) la cual puede proceder a ser fabricada. En la figura 2 se puede observar el flujo de diseño visualmente.

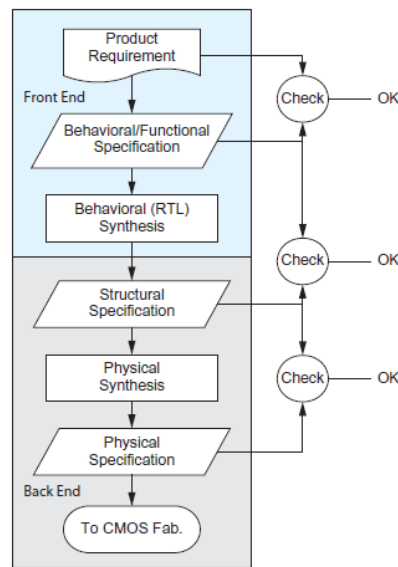


Figura 2: Design Flow

Front end

El diseño *Front-end* tiene mas etapas que las vistas previamente en el diseño general, en esta etapa del diseño se plantea el diseño a través de un lenguaje descriptor de Hardware (HDL). Esta etapa de diseño se puede observar en la figura3.

El proceso consta de los siguientes pasos:

1. La definición de la tarea y especificaciones que se desea cumplir con la implementación del chip.
2. Diseño lógico del sistema, se puede realizar utilizando el lenguaje Verilog de forma *structural* o *behavioral*, a este diseño se le conoce como RTL.

3. Se realiza la síntesis lógica, la cual nos permite convertir el RTL en un *netlist* de compuertas lógicas.
4. El netlist se obtiene de manera *structural* y con componentes de las librerías de la tecnología que se trabajara.
5. La parte final antes de proceder con el *Back-end* consta de la verificación de funcionalidad de la síntesis lógica, esta verificación se realiza con las herramientas de Formality o VCS.

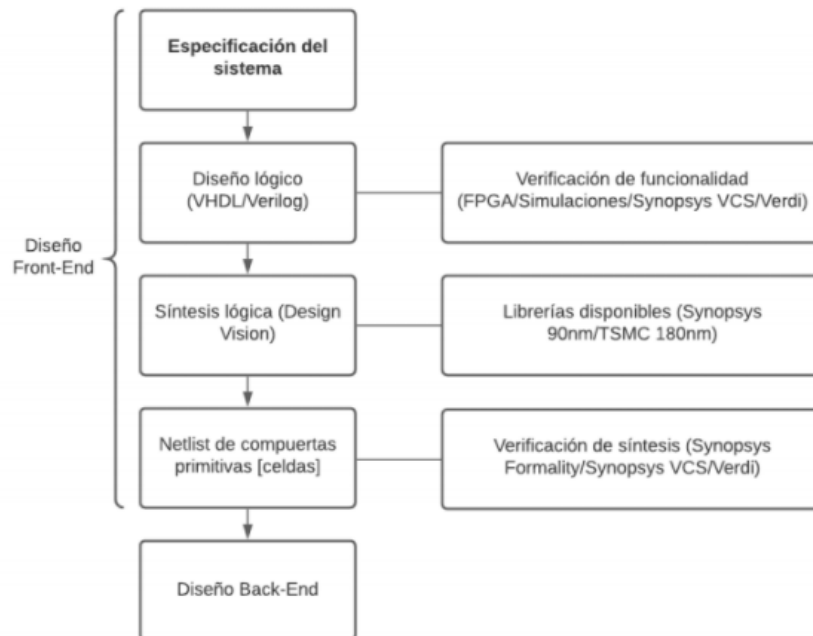


Figura 3: Diseño Front-end

Back end

La etapa de *Back-end* Consiste en la implementación física del diseño elaborado en la parte de *Front-end*, en esta etapa se toma el *netlist* que ya ha sido verificado y se convierte en un *layout* compuesto de *frames* o celdas por medio de la síntesis física. Esta etapa de diseño se puede observar en la figura 5.

El proceso consta de los siguientes pasos:

1. Se realiza la síntesis física, la cual toma el *netlist* verificado y lo convierte en una descripción física, conocida como *layout*. El *layout* obtenido contiene una topología del circuito que ya podría ser fabricable.

2. Se procede a realizar el *Placement*, el cual consiste en el diseño del *floorplan* que contiene las restricciones que se seguirán para organizar los componentes de manera estratégica en la planta.
3. Procedemos a realizar la parte de *Routing*, en la cual se realiza la interconexión de las celdas.
4. Se realiza el *Layout Versus Schematic*(LVS), el cual consiste en la verificación de la equivalencia entre el *layout* y el *netlist* del sistema.
5. Por ultimo se realiza *Parasitic Extraction* y simulaciones, para obtener todas las propiedades físicas (resistividad, capacitancia, *delay*) de cada uno de los nodos que conforman nuestro chip.

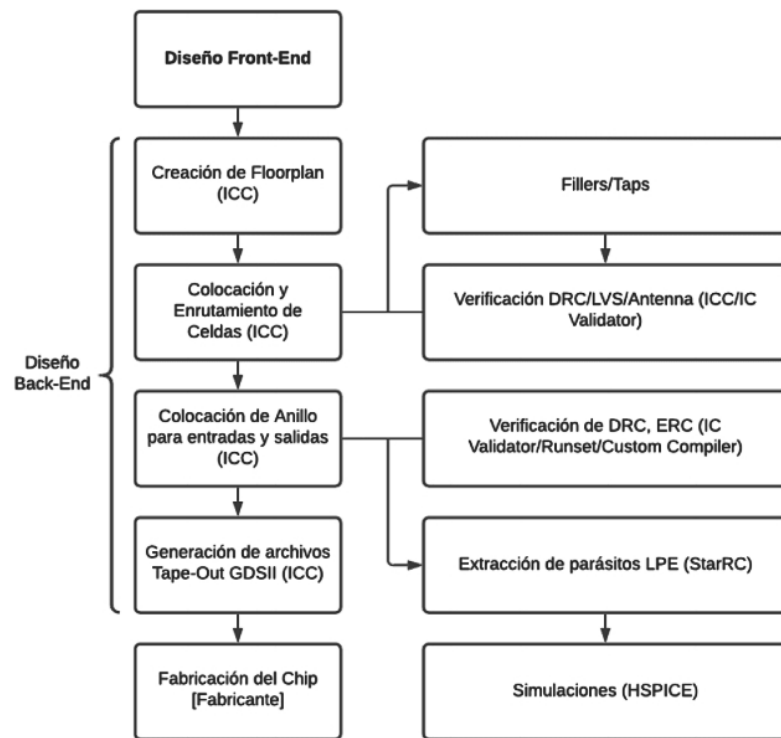


Figura 4: Diseño Back-end

HDL

Para la construcción y pruebas de circuitos que tengan un nivel de complejidad alto se utilizan los lenguajes descriptores de Hardware, denominados HDL (Hardware description Language), en los cuales es posible describir por texto conexiones, funciones y módulos electrónicos. Estos lenguajes permiten construir circuitos de manera rápida y sin la necesidad de invertir recursos físicos o tiempo en el ensamblaje de los circuitos, también nos brinda la capacidad de realizar cambios y simulaciones de una manera sencilla y ordenada. Algunos de los lenguajes descriptores de hardware más utilizados son Verilog y VHDL.[5]

Verilog

Desde sus inicios en 1984, Verilog ha sido de los lenguajes descriptores de Hardware preferidos debido a su amplio uso en el diseño de circuitos integrados y sistemas digitales. Una de las características que hacen destacar a verilog entre otros lenguajes, es su capacidad de poder especificar los sistemas digitales en una variedad de niveles de abstracción. Los sistemas digitales desarrollados utilizando verilog pueden ser simulados para verificar el funcionamiento del circuito descrito. Debido a que verilog fue diseñado con el objetivo de ser utilizado en todas las fases que conforman la creación de un sistema electrónico, es capaz de soportar el desarrollo, síntesis, verificación y simulaciones de diseños de hardware.[6]

Netlist

Un netlist está conformado por la representación real del diseño de un circuito electrónico. Este se conforma de instancias de los elementos básicos que conforman el circuito, sus interconexiones y sus atributos. Los elementos que contiene son referencias de las librerías que contienen los comportamientos y características reales de cada uno de los componentes. Las netlist están un paso más cerca de la implementación real de un circuito en Silicio.[7]

Synopsys

La compañía Synopsys se especializa en la creación de herramientas para el desarrollo y verificación de circuitos de nanométricos fabricados en silicio. Muchas empresas dedicadas al desarrollo de nuevas tecnologías como Intel, AMD, o Nvidia utilizan las herramientas que Synopsys para llevar a cabo sus proyectos. Synopsys cuenta con un amplio repertorio de herramientas especializadas para cada una de las diferentes etapas del desarrollo de un circuito a escala manométrica, con las cuales es posible optimizar el rendimiento, potencia, y área de un Chip. [8]

Design Vision

Design Vision es una herramienta utilizada para realizar la síntesis lógica de circuitos. Toma archivos de diseño HDL y los sintetiza para obtener archivos Netlist a nivel compuerta, soporta archivos Verilog y VHDL. Es capaz de realizar la síntesis utilizando librerías estándar y también librerías personalizadas como las de TSMC. La herramienta cuenta con gui(Graphic User Interface) y también se puede utilizar desde la línea de comandos.[9]

Custom Compiler

Custom compiler es una de las herramientas que synopsys nos proporciona para el desarrollo de circuitos, esta permite realizar simulaciones, análisis y diseño de diferentes etapas del proceso de creación de un chip. Esta herramienta nos permite observar de manera visual

y amigable los diferentes archivos generados por las diversas etapas de diseño que tengamos en nuestro proyecto.[10]

Síntesis lógica empleando librerías de Synopsys

La etapa de síntesis lógica ya se ha desarrollado previamente por la UVG, esta se llevo a cabo empleando las librerías que synopsys nos brinda para la utilización de su software, sin embargo, estas librerías no nos permiten realizar la fabricación del diseño y es necesario volver a realizar el proceso del flujo de diseño pero empleando las librerías que nos brinda el fabricante TSMC. Por lo que en este trabajo utilizaremos técnicas y comandos empleados previamente en [11].

Metodología

Para llevar al cabo la síntesis lógica del circuito sin ningún error y poder proceder con la siguiente etapa de diseño, se propone:

1. Establecer las especificaciones que debe cumplir el diseño del circuito.
2. Desarrollo del diseño del circuito en lenguaje descriptor de hardware, incluyendo los pines de entrada y salida (I/O) que son necesarios para el funcionamiento correcto.
3. Realizar la compilación y pruebas del diseño, para verificar el correcto funcionamiento de este.
4. Realizar la síntesis lógica del código HDL, incorporando las librerías que nos brinda el fabricante TSMC.
5. Traducción de las estructuras Netlist, de nivel compuerta a nivel transistor utilizando NetTran.

Nuestros objetivos los podremos medir en base al numero de errores que obtengamos al realizar la síntesis lógica del diseño, debido que es de suma importancia que nuestro diseño este libre de errores antes de poder proceder con la siguiente etapa del diseño. También los podremos medir en base al feed-back que obtengamos de las otras etapas, debido que puede que en otras fases del diseño nuestra síntesis lógica pueda generar otro tipo de problemas.

Cronograma de actividades

Nombre de la tarea	Fecha de inicio	Fecha de finalización	Asignado	Estado	15.03.2021	22.03.2021	29.03.2021	05.04.2021	12.04.2021	19.04.2021	26.04.2021	03.05.2021	10.05.2021	17.05.2021	24.05.2021	31.05.2021	07.06.2021	14.06.2021	21.06.2021
Asignacion de Tema	15.03.2021	21.03.2021	Elmer	Cerrado															
Familiarizacion con el tema se	22.03.2021	28.03.2021	Elmer	Cerrado															
Investigacion y analisis de tra	29.03.2021	04.04.2021	Elmer	Cerrado															
Familiarizacion las herramient	05.04.2021	11.04.2021	Elmer	Cerrado															
Familiarizacion las herramient	12.04.2021	18.04.2021	Elmer	Cerrado															
Definicion de los objetivos	19.04.2021	25.04.2021	Elmer	Cerrado															
Redaccion del borrador de pr	26.04.2021	02.05.2021	Elmer	Cerrado															
Investigacion para marco teo	03.05.2021	09.05.2021	Elmer	Cerrado															
Determinar Metodologia	10.05.2021	16.05.2021	Elmer	Cerrado															
Redaccion de protocolo final	17.05.2021	23.05.2021	Elmer	Cerrado															
Redaccion de protocolo final	24.05.2021	30.05.2021	Elmer	Cerrado															
Redaccion de protocolo final	31.05.2021	06.06.2021	Elmer	Abierto															
Replicacion de lo realizado pr	07.06.2021	13.06.2021	Elmer	Abierto															
Ejecucion de la sintesis logica	14.06.2021	20.06.2021	Elmer	Abierto															
Pruebas de la sintesis logica	21.06.2021	27.06.2021	Elmer	Abierto															

Figura 5: Cronograma de Trabajo

Índice preliminar

Resumen	1
Antecedentes	2
Justificación	3
Objetivos	4
Objetivo General	4
Objetivos Específicos	4
Marco teórico	5
Transistores MOS	5
VLSI	5
Flujo de diseño	6
Front end	6
Back end	7
HDL	8
Verilog	9
Netlist	9
Synopsys	9
Design Vision	9
Custom Compiler	9
Síntesis lógica empleando librerías de Synopsys	10
Metodología	10
Cronograma de actividades	11
Referencias	13

Referencias

- [1] J. d. I. Santos, “Diseño de un sumador/restador de 32 bits con tecnología CMOS en un proceso de 28 nanómetros usando aplicaciones de diseño de la empresa Synopsys,” en *Trabajo de graduación en modalidad de Tesis*, Facultad de Ingeniería Universidad del Valle de Guatemala, 2014.
- [2] L. A. Najera, “Implementación de circuitos sintetizados a nivel netlist a partir de un diseño en lenguaje descriptivo de hardware como primer paso en el flujo de diseño de un circuito integrado,” en *Trabajo de graduación en modalidad de Tesis*, Facultad de Ingeniería Universidad del Valle de Guatemala, 2019.
- [3] S. H. Rubio, “Definición del Flujo de Diseño para Fabricación de un Chip con Tecnología VLSI CMOS,” en *Trabajo de graduación en modalidad de Tesis*, Facultad de Ingeniería Universidad del Valle de Guatemala, 2019.
- [4] N. Weste y D. M. Harris, “A Circuits and Systems Perspective,” en *CMOS VLSI Design*, Pearson Education, Inc., 2011.
- [5] H. Paul y H. Winfield, “The Art Of Electronics,” Cambridge University, 2015.
- [6] IEEE, “Hardware Description Language,” en *Standard Verilog*, The Institute of Electrical and Electronics Engineers, 2001.
- [7] X. Liming, “VLSI Circuit Design Methodology Demystified,” The Institute of Electrical and Electronics Engineers, 2008.
- [8] Solvnet.com, “Synopsys Corporate Backgrounder Spring 2018,” Synopsys, 2008.
- [9] Synopsys, “Design Vision User Guide,” Synopsys Inc, 2020.
- [10] —, “Custom Compiler Datasheet,” Synopsys Inc, 2018.
- [11] K. S. Cardona, “Mejoramiento del proceso de síntesis lógica llevada a cabo para la elaboración de un circuito integrado a escala nanométrica,” en *Trabajo de graduación en modalidad de Tesis*, Facultad de Ingeniería Universidad del Valle de Guatemala, 2021.