

- CSR은 12-bit address로 구성됨
 - 상위 2-bit 주소 `addr[11:10]` 은 read/write (00, 01, 10) 또는 read-only (11) 여부를 구분
 - 그 다음 2-bit 주소 `addr[9:8]` 은 해당 CSR에 접근할 수 있는 가장 하위 privilege

CSR Listing

Unprivileged CSR

Address	Privilege	Name	Description
0x001	URW	<code>fflags</code>	Floating-point Accrued Exception
0x002	URW	<code>frm</code>	Floating-Point Dynamic Rounding Mode
0x003	URW	<code>fcsr</code>	Floating-Point Control and Status Register (<code>frm</code> + <code>fflags</code>)
0xC00	URO	<code>cycle</code>	Cycle counter for RDCYCLE instruction
0xC01	URO	<code>time</code>	Timer for RDTIME instruction
0xC02	URO	<code>instret</code>	Instructions-retired counter for RDINSTRET instruction
0xC03	URO	<code>hpmcounter3</code>	Performance-monitoring counter
0xC04	URO	<code>hpmcounter4</code>	Performance-monitoring counter
⋮	⋮	⋮	⋮
0xC1F	URO	<code>hpmcounter31</code>	Performance-monitoring counter

Supervisor-level CSR

Supervisor trap setup

Address	Privilege	Name	Description
0x100	SRW	<code>sstatus</code>	Supervisor status register
0x104	SRW	<code>sie</code>	Supervisor interrupt-enable register
0x105	SRW	<code>stvec</code>	Supervisor trap-handler base address
0x106	SRW	<code>scounteren</code>	Supervisor counter enable

Supervisor trap handling

Address	Privilege	Name	Description
0x140	SRW	sscratch	Scratch register for supervisor trap handlers
0x141	SRW	sepc	Supervisor exception program counter
0x142	SRW	scause	Supervisor trap cause
0x143	SRW	stval	Supervisor bad address or instruction
0x144	SRW	sip	Supervisor interrupt pending
0xDA0	SRO	scountovf	Supervisor counter overflow

Machine-level CSR

Machine trap setup

Address	Privilege	Name	Description
0x300	MRW	mstatus	Machine status register
0x301	MRW	misa	ISA and extensions
0x302	MRW	medeleg	Machine exception delegation register
0x303	MRW	mideleg	Machine interrupt delegation register
0x304	MRW	mie	Machine interrupt-enable register
0x305	MRW	mtvec	Machine trap-handler base address
0x306	MRW	mcounteren	Machine counter enable

Machine counter setup

Address	Privilege	Name	Description
0x320	MRW	mcountinhibit	Machine counter-inhibit register
0x323	MRW	mhpmevent3	Machine performance-monitoring event selector
0x324	MRW	mhpmevent4	Machine performance-monitoring event selector
⋮	⋮	⋮	⋮
0x33F	MRW	mhpmevent31	Machine performance-monitoring event selector

Machine trap handling

Address	Privilege	Name	Description
0x340	MRW	mscratch	Scratch register for machine trap handlers
0x341	MRW	mepc	Machine exception program counter
0x342	MRW	mcause	Machine trap cause
0x343	MRW	mtval	Machine bad address or instruction
0x344	MRW	mip	Machine interrupt pending
0x34A	MRW	mtinst	Machine trap instruction (transformed)
0x34B	MRW	mtval2	Machine bad guest physical address

Debug and trace registers

Address	Privilege	Name	Description
0x7A0	MRW	tselect	Debug/Trace trigger register select
0x7A1	MRW	tdata1	First Debug/Trace trigger data register
0x7A2	MRW	tdata2	Second Debug/Trace trigger data register
0x7A3	MRW	tdata3	Third Debug/Trace trigger data register
0x7A4	MRW	tinfo	Trigger information register
0x7A5	MRW	tcontrol	Trigger control register
0x7A8	MRW	mcontext	Machine-mode context register

Machine counter and timers

Address	Privilege	Name	Description
0xB00	MRW	mcycle	Machine cycle counter
0xB02	MRW	minstret	Machine instructions-retired counter
0xB03	MRW	mhpmcounter3	Machine performance-monitoring counter
0xB04	MRW	mhpmcounter4	Machine performance-monitoring counter
⋮	⋮	⋮	⋮
0xB1F	MRW	mhpmcounter31	Machine performance-monitoring counter

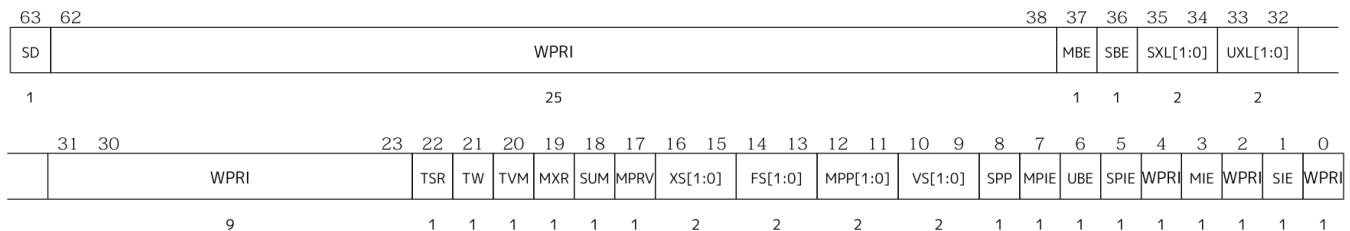
Machine information registers

Address	Privilege	Name	Description
0xF11	MRO	<code>mvendorid</code>	Vendor ID
0xF12	MRO	<code>marchid</code>	Architecture ID
0xF13	MRO	<code>mimpid</code>	Implementation ID
0xF14	MRO	<code>mhartid</code>	Hardware thread ID
0xF15	MRO	<code>mconfigptr</code>	Pointer to configuration data structure

CSR description

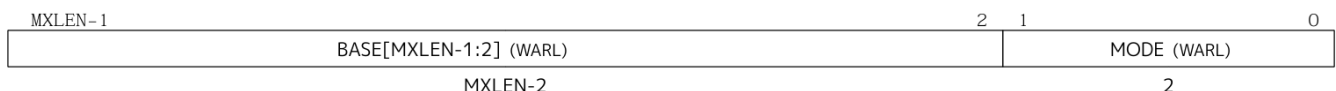
Machine-level CSR

Machine status register (`mstatus`)



- `MIE` , `SIE` : Machine-level / supervisor-level interrupt enable
- `MPIE` , `SPIE` : Machine-level / supervisor-level previous interrupt enable
- `MPP` , `SPP` : Machine-level / supervisor-level previous privilege level
- `MBE` , `SBE` , `UBE` : Machine-level / supervisor-level / user-level endianness control
- `FS[1:0]` , `VS[1:0]` : Floating-point extension / vector extension context status
- `SXL[1:0]` , `UXL[1:0]` : Supervisor-level / user-level `XLEN` control
- `MPRV` : Enable effective privilege mode for loads and stores (as though current privilege is `MPP`)
- `MXR` : Enable loads from pages marked as executable
- `SUM` : Enable S-mode memory accesses to pages accesible by U-mode
- `TW` : Time-out wait control for `WFI` instruction

Machine trap-vector base-address register (`mtvec`)



- M-mode trap이 발생했을 때 이동하는 PC 값의 base address 및 제어 방식을 저장하는 register
- `MODE = 0` 인 경우
 - 모든 trap이 `BASE` 값으로 PC를 이동
- `MODE = 1` 인 경우
 - Synchronous exception으로 인한 trap인 경우, `BASE` 값으로 PC를 이동
 - Asynchronous interrupt로 인한 trap인 경우, `BASE` 값에 `interrupt cause number x 4` 값을 더해 PC를 이동

Machine trap delegation registers (`medeleg` , `mideleg`)

- 기본적으로, 모든 trap은 M-mode에서 실행됨
- 특정 trap에 대해 자동적으로 S-mode handler로 이동하여 처리하는 것이 가능
- 각 delegation register에서 해당 exception/interrupt에 해당하는 bit가 설정된 경우 S-mode handler에서 처리
 - S-mode handler는 `mtvec` 이 아닌 `stvec` 을 기준으로 handler address를 결정
 - `mstatus` 값이 아닌 `sstatus` 값을 사용하고, 필요한 값 업데이트 역시 S-mode에 해당하는 값을 업데이트
- Delegation 되는 exception/interrupt는 `mcause` 에서 사용하는 비트를 동일하게 사용
- Delegation 은 아래 조건을 모두 만족시키는 경우 발생함
 - 1. 현재 S-mode 혹은 그보다 하위 권한 상태
 - 2. 현재 발생한 exception/interrupt에 대해 해당하는 비트가 `medeleg` , `mideleg` 에 설정
 - 3. interrupt인 경우 해당하는 비트가 `sip` , `sie` 에 설정되고, `sstatus` 의 SIE 비트 역시 설정

Machine interrupt registers (`mip` , `mie`)



Figure 15. Standard portion (bits 15:0) of `mip`.



Figure 16. Standard portion (bits 15:0) of `mie`.

- `mip` : 현재 pending된 interrupt를 표시하는 register
- `mie` : 각 interrupt가 enable 되었는 지 여부를 표시하는 register
- 각 register에 대해, interrupt 종류는 `mcause` register 에서 사용하는 것과 동일한 위치의 비트를 사용
- 어떠한 interrupt가 M-mode trap을 발동시키기 위해서는, 아래와 같은 조건을 모두 만족시켜야 함
 - 1. 현재 M-mode 이고 `mstatus` 의 MIE 비트가 설정되었거나, 현재 M-mode 하위 권한 상태
 - 2. `mip`, `mie` 의 동일한 비트가 설정
 - 3. `mideleg` 에 대해 2) 번에서 설정된 비트가 설정되지 않음
- Machine interrupt (`MSIP`, `MTIP`, `MEIP`) 의 경우, 위 조건을 만족시키면 반드시 M-mode trap을 발생
- Supervisor interrupt (`SSIP`, `STIP`, `SEIP`) 이더라도, 적절한 delegation이 설정되지 않는다면 M-mode trap을 발생
 - Delegation이 적절하게 설정되는 경우, S-mode trap을 발동시킬 수 있음

Machine exception program counter register (`mepc`)

- M-mode trap이 발생하는 경우, 해당 trap을 발생시킨 PC 값을 저장하는 register
- 최하위 1비트는 항상 0이고, C extension을 지원하지 않는 경우 최하위 2비트는 항상 0
- `mret` 명령어를 실행하면 `mepc` 에 저장된 PC로 이동함

Machine cause register (`mcause`)

- M-mode trap이 발생하는 경우, 해당 trap을 발생시킨 원인을 저장하는 register
- 최상위 비트는 exception인지 interrupt인지 여부를 구분하는 용도로 사용
- 하위 비트는 exception/interrupt 종류를 구분하는 용도로 사용

Interrupt	Exception code	Description
0	0	Instruction address misaligned
0	1	Instruction access fault
0	2	Illegal instruction
0	3	Breakpoint
0	4	Load address misaligned
0	5	Load access fault
0	6	Store/AMO address misaligned
0	7	Store/AMO access fault

Interrupt	Exception code	Description
0	8	Environment call from U-mode
0	9	Environment call from S-mode
0	10	<i>Reserved</i>
0	11	Environment call from M-mode
0	12	Instruction page fault
0	13	Load page fault
0	14	<i>Reserved</i>
0	15	Store/AMO page fault
0	16-17	<i>Reserved</i>
0	18	Software check
0	19	Hardware error
0	20-23	<i>Reserved</i>
0	24-31	<i>Designated for custom use</i>
0	32-47	<i>Reserved</i>
0	48-63	<i>Designated for custom use</i>
0	64-	<i>Reserved</i>
1	0	<i>Reserved</i>
1	1	Supervisor software interrupt
1	2	<i>Reserved</i>
1	3	Machine software interrupt
1	4	<i>Reserved</i>
1	5	Supervisor timer interrupt
1	6	<i>Reserved</i>
1	7	Machine timer interrupt
1	8	<i>Reserved</i>
1	9	Supervisor external interrupt
1	10	<i>Reserved</i>
1	11	Machine external interrupt
1	12	<i>Reserved</i>
1	13	Counter-overflow interrupt
1	14-15	<i>Reserved</i>

Interrupt	Exception code	Description
1	16-	<i>Designated for platform use</i>

Machine trap value register (`mtval`)

- M-mode trap이 발생했을 경우, 해당 trap을 발생시킨 exception의 세부 정보를 저장하기 위한 register
- 프로그램에 의해 값이 쓰여질 수 없으며, trap이 발생했을 경우에만 값이 업데이트 될 수 있음