

MOSFET-Gleichungen

Sperrbereich

$$I_{Dn/p} = 0$$

wenn $U_{GSn} - U_{Tn} \leq 0$ beim n-MOSFET
wenn $U_{GSp} - U_{Tp} \geq 0$ beim p-MOSFET

Widerstandsbereich

$$I_{Dn/p} = \pm \beta_{n/p} \left[(U_{GSn/p} - U_{Tn/p}) U_{DSn/p} - \frac{U_{DSn/p}^2}{2} \right] (1 \pm \lambda_{n/p} U_{DSn/p})$$

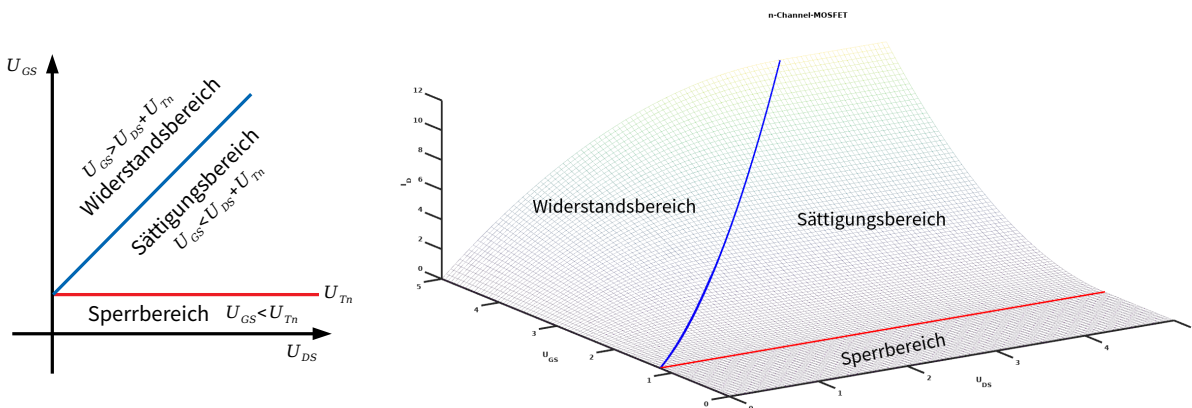
wenn $0 < U_{DSn} < U_{GSn} - U_{Tn}$ und $\lambda_n > 0$ beim n-MOSFET (+)
wenn $U_{GSp} - U_{Tp} < U_{DSp} < 0$ und $\lambda_p > 0$ beim p-MOSFET (-)

Sättigungsbereich

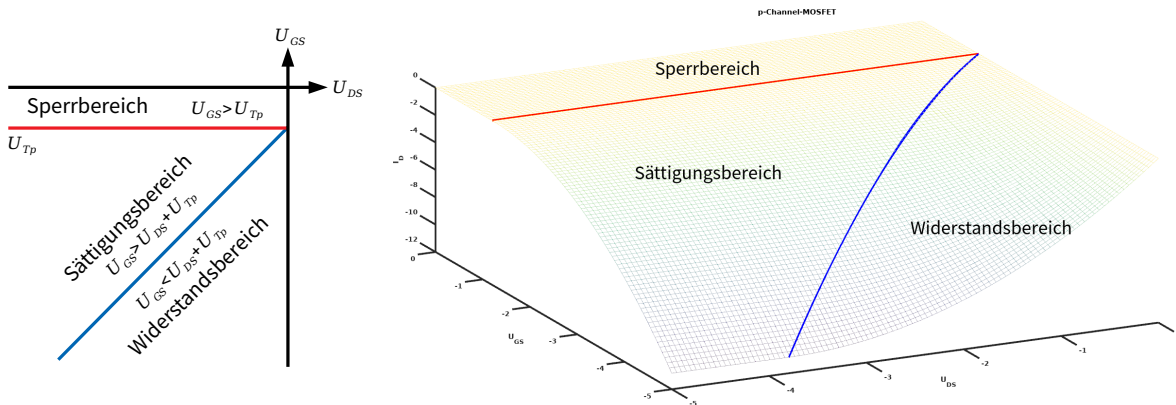
$$I_{Dn/p} = \pm \frac{1}{2} \beta_{n/p} (U_{GSn/p} - U_{Tn/p})^2 (1 \pm \lambda_{n/p} U_{DSn/p})$$

wenn $U_{DSn} \geq U_{GSn} - U_{Tn} > 0$ und $\lambda_n > 0$ beim n-MOSFET (+)
wenn $U_{DSp} \leq U_{GSp} - U_{Tp} < 0$ und $\lambda_p > 0$ beim p-MOSFET (-)

3D-Plot n-Kanal-MOSFET



3D-Plot p-Kanal-MOSFET



Prozessparameter

$\beta / k / C$

Prozessverstärkungsfaktor (*transconductance coefficient*)

$$\beta_n = k_n \frac{W}{L_{eff}} \quad \beta_p = k_p \frac{W}{L_{eff}}$$

$$k_n = \mu_n C'_{ox} = \frac{\mu_n \varepsilon_0 \varepsilon_{SiO_2}}{d_{ox}} \stackrel{typ.}{=} 30 \dots 200 \frac{\mu A}{V^2}$$

$$k_p = \mu_p C'_{ox} = \frac{\mu_p \varepsilon_0 \varepsilon_{SiO_2}}{d_{ox}} \stackrel{typ.}{=} 15 \dots 100 \frac{\mu A}{V^2}$$

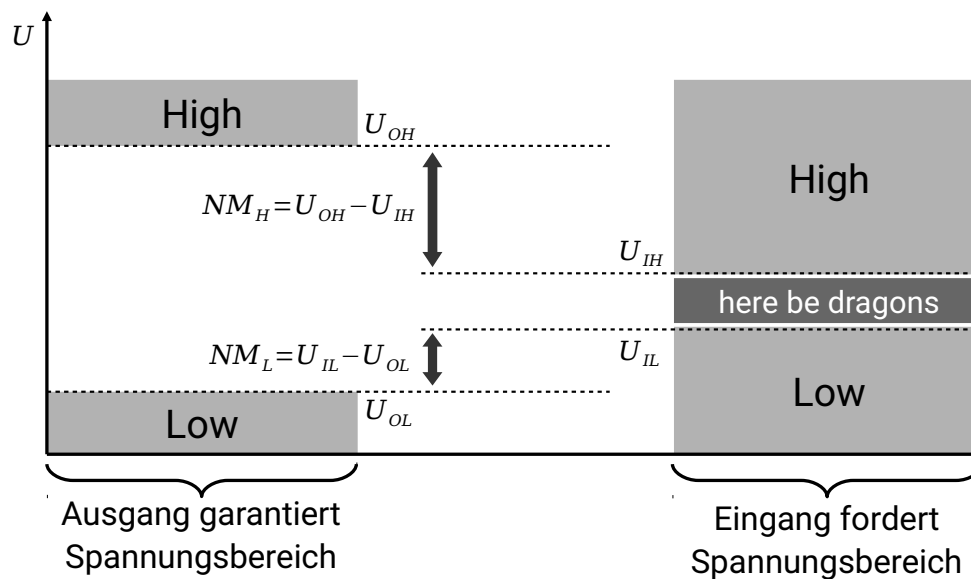
NM_{L/H}

Parasitäre Kapazitäten

Mit $C_G = C'_{ox} W L$:

$$\begin{aligned} C_{GS} &= C_G && \text{Gate-Source-Kapazität} \\ C_j &= \frac{2}{3} C_G && \text{Drain/Source-Bulk-Sperrschichtkapazität (junction)} \\ C_{GD} &= \frac{1}{3} C_G && \text{Gate-Drain-Kapazität} \end{aligned}$$

Störabstände (*noise margins*)



Für symmetrische Dimensionierung $\frac{\beta_n}{\beta_p} = 1$ gilt:

$$U_{IL} = \frac{3 U_{DD} - 3 |U_{Tp}| + 5 U_{Tn}}{8} \implies NM_L \approx U_{IL} \text{ für } U_{OL} \approx 0$$

$$U_{IH} = \frac{5 U_{DD} - 5 |U_{Tp}| + 3 U_{Tn}}{8} \implies NM_H \approx U_{DD} - U_{IH} \text{ für } U_{OH} \approx U_{DD}$$

Verzögerungszeiten

Laden / Entladen einer Kapazität

$$i(t) = -C_L \frac{du_c(t)}{dt}$$

Problem: Finde t , stelle also um:

$$dt = -\frac{C_L}{i(t)} du_c$$

t_p / t_{LH}

Wobei $i(t)$ durch die Gleichung des entsprechenden MOSFETs bestimmt wird, d.h. nur von u_c abhängt. Die Gesamtzeit ergibt sich dann durch Integration:

$$t_{charge} = \pm \int_{U_{start}}^{U_{end}} \frac{C_L}{i(u_c)} du_c$$

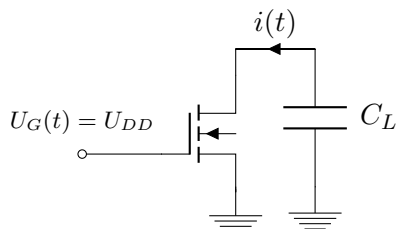
Mit “+” ... laden, “-” ... entladen und Pfeilung so, dass $i > 0$. Als Endwert sollte nicht die vollständige Umladung (also z.B. U_{DD} oder $0V$) verwendet werden, da dieser Wert mathematisch nie erreicht wird.

Häufig auftretende Integrale:

$$\int_{U_{start}}^{U_{end}} \frac{1}{(a-u)^2} du = \left[\frac{1}{a-u} \right]_{U_{start}}^{U_{end}}$$

$$\int_{U_{start}}^{U_{end}} \frac{1}{b u - u^2/2} du = \left[\frac{1}{b} \ln \left(\frac{u}{u-2b} \right) \right]_{U_{start}}^{U_{end}}$$

Kapazität über NMOS entladen

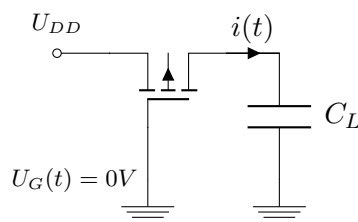


Startspannung	$U_{start} = U_{DD}$
Zielspannung	$U_{end} = 0.1 U_{DD}$
Threshold-Spannung	$U_{Tn} = 0.2 U_{DD}$
Kanallängenmodulation	vernachlässigt, $\lambda = 0$

Abfallzeit:

$$t_{HL} \approx 4 \frac{C_L}{\beta_n U_{DD}}$$

Kapazität über PMOS laden



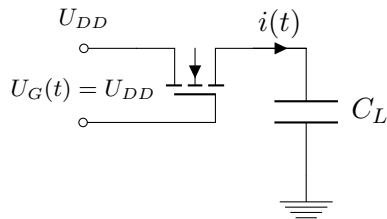
Startspannung	$U_{start} = 0V$
Zielspannung	$U_{end} = 0.9 U_{DD}$
Threshold-Spannung	$U_{Tp} = -0.2 U_{DD}$
Kanallängenmodulation	vernachlässigt, $\lambda = 0$

Beachte: $i(t) < 0$

Anstiegszeit:

$$t_{LH} \approx 4 \frac{C_L}{\beta_p U_{DD}}$$

Kapazität über NMOS laden



Beachte: $i(t) < 0$

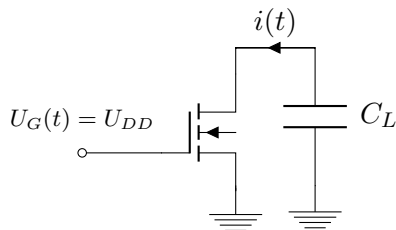
Startspannung	$U_{start} = 0V$
Zielspannung	$U_{end} = 0.9 (U_{DD} - U_{Tn})$
Threshold-Spannung	egal (immer Sättigung)
Kanallängenmodulation	vernachlässigt, $\lambda = 0$

t_p / t_{LH}

Anstiegszeit:

$$t_{LH} \approx 18 \frac{C_L}{\beta_n (U_{DD} - U_{Tn})}$$

Über NMOS geladene Kapazität wieder mit NMOS entladen



Startspannung	$U_{start} = U_{DD} - U_{Tn} (!!!)$
Zielspannung	$U_{end} = 0.1 (U_{DD} - U_{Tn})$
Threshold-Spannung	egal (immer linearer Bereich)
Kanallängenmodulation	vernachlässigt, $\lambda = 0$

Abfallzeit:

$$t_{HL} \approx 3 \frac{C_L}{\beta_n (U_{DD} - U_{Tn})}$$

Durchschnittliche Verzögerungszeit t_p

Die Durchschnittliche Verzögerungszeit t_p gibt die durchschnittliche Zeit an, die verstreicht zwischen dem Moment, an dem das Eingangssignal den Schaltpunkt 50% U_{DD} erreicht und dem Moment, an dem das Ausgangssignal ebenfalls den Schaltpunkt überstreicht. Es wird zwischen Anstiegs- und Abfallzeit gemittelt, $t_p = \frac{t_{pHL} + t_{pLH}}{2}$.

Sei Eingangssignal ideal (rechteckförmig) und Umladung erfolgt linear. Dann ist 50% U_{DD} schon nach der Hälfte der Anstiegs- / Abfallzeit erreicht, d.h. $t_{pHL} = \frac{1}{2} t_{HL}$, $t_{pLH} = \frac{1}{2} t_{LH}$. Somit:

$$t_p = \frac{t_{HL} + t_{LH}}{4}$$

Für den **CMOS-Inverter** oder Schaltungen mit äquivalenten Transistoren gilt bei symmetrischer Dimensionierung ($\beta_p = \beta_n$): Die Flanken sind symmetrisch und die Verzögerungszeit ist

$$t_p \approx \frac{2 C_L}{\beta_n U_{DD}}$$

Entladung durch Leckstrom

Für konstanten Leckstrom I_{leak} entlädt sich C von U_{start} auf U_{end} in

$$t_{dis} = C_L \frac{U_{start} - U_{end}}{I_{leak}}$$

Dimensionierung und Gateweiten

Effektive Gateweite bestimmen

- Bestimmen, welche FETs im gegebenen Fall (z.B. Worst-Case) leiten
- Nicht leitende FETs erhalten Gateweite 0, andere erhalten physikalische Gateweite
- Mit Gateweiten (näherungsweise) wie mit Leitwerten rechnen und Schrittweise zusammenfassen

Parallelschaltung : $W_{\parallel} = W_1 + W_2 + \dots$	Reihenschaltung : $W_{ges} = \frac{1}{\frac{1}{W_1} + \frac{1}{W_2} + \frac{1}{\dots}}$
---	---

Dimens.

- Effektive Gateweite ist Ergebnis für die gesamte betrachtete Schaltung (z.B. n-Kanal-Zweig)

Dimensionierung auf symmetrische Schaltflanken im Worst-Case

- Effektive Gateweite des Zweiges bestimmen, für symmetrische Schaltflanken muss gelten

$$W_{P,\text{eff}} \stackrel{!}{=} \beta_R W_{N,\text{eff}} \stackrel{\text{typ.}}{=} 2 W_{N,\text{eff}}$$

- Längste MOSFET-Kette im zu dimensionierenden Kanalzweig mit Länge N erhält

$$W_1 = W_2 = \dots = W_N = N W_{\text{eff}}$$

- Parallele Kettenschaltungen auf gleiche effektive Gateweite dimensionieren

Schaltschwelle des CMOS-Inverters

$$U_e = \frac{U_{DD} + \sqrt{\beta_n/\beta_p} U_{Tn} - |U_{Tp}|}{1 + \sqrt{\beta_n/\beta_p}}$$

Verlustleistung

Allgemein setzt sich die Verlustleistung einer *CMOS-Schaltung* aus drei Teilleistungen zusammen:

- P_{stat} : Statische Verlustleistung, wenn dauerhaft über Transistoren ein Strom fließt
- P_{dynC} : Dynamische Verlustleistung zum Laden der Gate-Kapazitäten
- P_{dynQ} : Dynamischen Verlustleistung durch Querstrom, der beim Umschalten eines Inverters fließt, während beide Transistoren leiten

$$P = P_{stat} + P_{dynC} + P_{dynQ}$$

Bei CMOS beläuft sich die statische Verlustleistung P_{stat} im wesentlichen auf die Drain-Leckströme $I_{Si} \approx 10^{-10} A$

$$P_{stat} = U_{DD} \sum_n I_{Si,n}$$

Die dynamische Verlustleistung, die durch die Lade- und Entladevorgänge abgegeben wird, berechnet sich durch $P_{dynC} = \frac{1}{T} \int_T u(t) i(t) dt$.

Für den Umschaltvorgang von 0 auf U_{DD} und zurück bei der Frequenz $f_C = 1/T$ und der Schaltwahrscheinlichkeit p gilt:

$$P_{dynC} = p f_C C_L U_{DD}^2$$

Beim Umschalten leiten alle Transistoren kurz, woraus ein dynamischer Querstrom von max. $I_{DQ} \approx \frac{\beta_n}{2} \left(\frac{U_{DD}}{2} - U_{Tn} \right)^2$ folgt. Worst-Case-Abschätzung:

- Im Mittel fließt halber max. dynamischer Querstrom während Umschaltzeit: $I = I_{DQ}/2$
- $t_{LH} = t_{HL}$, immer 2 Umschaltvorgänge pro Taktperiode T (z.B. Taktverteilternetzwerk)

$$P_{dynQ} = U_{DD} I \frac{t_{HL} + t_{LH}}{T} = U_{DD} I_{DQ} \frac{t_{HL}}{T}$$

Power-Delay-Product

Power-Delay-Product:

$$W_{PDP} = P \cdot t_p$$

Energy-Delay-Product:

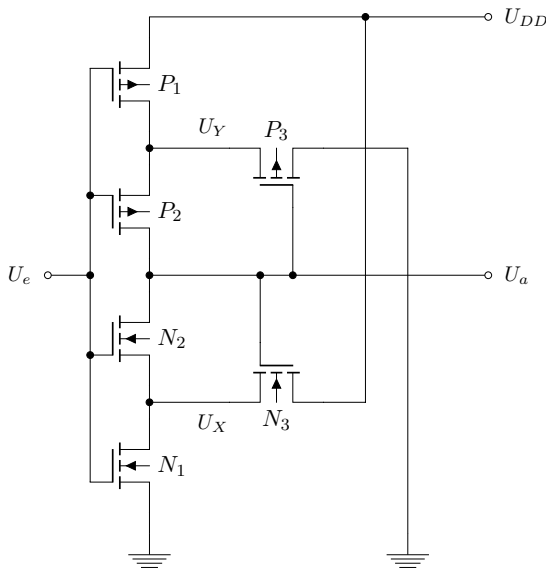
$$W_{EDP} = P \cdot t_p^2$$

Power-Energy-Product:

$$W_{PEP} = P^2 \cdot t_p$$

Leistung

Schmitt-Trigger



Bei steigendem $U_e = 0V \rightarrow U_{DD}$ beginnt N_1 beim Überschreiten von $U_e = U_{Tn}$ im Sättigungsbereich zu leiten. N_3 leitet ständig an der Grenze zwischen *Sperr-* und Sättigungsbereich ($U_{GSN3} = U_{DSN3} = U_{DD} - U_X$) $\Rightarrow U_X$ fällt. Sobald $U_{GSN2} = U_e - U_X > U_{Tn}$ kippt der Schmitt-Trigger.

Bei fallendem $U_e = U_{DD} \rightarrow 0V$ beginnt P_1 beim Unterschreiten von $U_e = U_{DD} + U_{Tp}$ im Sättigungsbereich zu leiten. P_3 leitet ständig an der Grenze zwischen *Sperr-* und Sättigungsbereich ($U_{GSP3} = U_{DSP3} = U_{DD} - U_Y$) $\Rightarrow U_Y$ steigt. Sobald $U_{GSP2} = U_e - U_Y < U_{Tp}$ kippt der Schmitt-Trigger.

Schmitt

Schaltsschwellen

Für $\beta_{n/p} = k_{n/p} \frac{W_{n/p}}{L}$ und Näherung $I_{DN2} \approx 0$ bzw. $I_{DP2} \approx 0$ kurz vor dem Schaltzeitpunkt folgt für die obere Schwelle U_{M+} und für die untere Schwelle U_{M-} :

$$U_{M+} = \frac{\sqrt{W_{N3}/W_{N1}} U_{DD} + U_{Tn}}{\sqrt{W_{N3}/W_{N1}} + 1}$$

$$U_{M-} = \frac{U_{DD} + U_{Tp}}{\sqrt{W_{P3}/W_{P1}} + 1}$$

Obere und untere Schwelle können *unabhängig* voneinander durch Dimensionierung von N_1 / N_3 bzw. P_1 / P_3 konfiguriert werden.

Ansatz beispielhaft für NMOS

Schaltung kippt, sobald N_2 leitet, d.h. $U_{GSN2} = U_e - U_X > U_{Tn}$, Schaltpunkt also bei $U_X = U_e - U_{Tn}$. Bestimme U_e für Kippunkt.

Ansatz: $I_{DN3} = I_{DN1}$ mit $N_3 \dots$ Sättigung, $N_1 \dots$ Grenze linear / Sättigung, einfacher Sättigung.

$$\frac{1}{2} \beta_{N3} (U_{GSN3} - U_{Tn})^2 = \frac{1}{2} \beta_{N1} (U_{GSN1} - U_{Tn})^2$$

Mit $U_{GSN3} = U_{DD} - U_X$ und $U_{GSN1} = U_e$ folgt:

$$\beta_{N3} (U_{DD} - U_X - U_{Tn})^2 = \beta_{N1} (U_e - U_{Tn})^2$$

Setze $U_X = U_e - U_{Tn}$ ein:

$$\beta_{N3} (U_{DD} - U_e)^2 = \beta_{N1} (U_e - U_{Tn})^2$$

$$\sqrt{\frac{\beta_{N3}}{\beta_{N1}}} (U_{DD} - U_e) = U_e - U_{Tn}$$

Umformen nach $U_{M+} = U_e$ führt mit $\beta \sim W$ zur obigen Gleichung.