

DataLab. Internship Program (2023 Summer)

Week 2

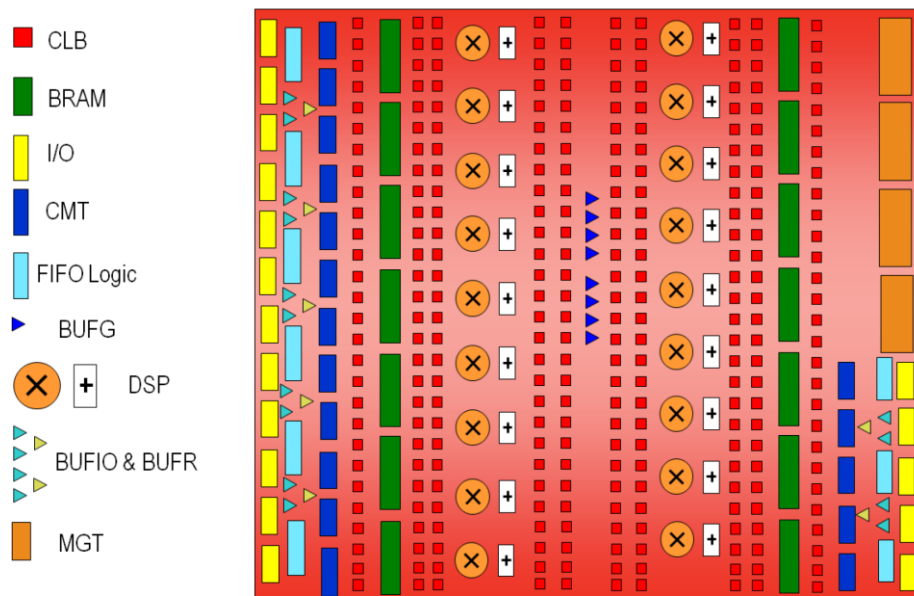
Tutor: 배은태

학습 목표

이번 주에는 반도체 설계 과정 및 관련 용어, Xilinx 7-series FPGA의 기본 구조 및 Vivado를 이용한 FPGA 개발 플로우를 이해하고, Artix 7 FPGA기반의 교육용 보드를 이용하여 실습을 진행해봅시다.

문제

1. always문의 sensitivity list에 대해 간단히 서술해주세요.
2. FPGA와 ASIC의 차이점에 대해 간단히 서술해주세요.
3. 반도체 설계에서 말하는 IP(Intellectual Property)에 대해 간단히 서술해주세요.
4. 다음 그림은 Xilinx 7-series FPGA의 구성을 나타내는 블록 다이어그램입니다. 각 요소들은 FPGA를 구성하는 하드웨어 자원(resource)입니다.



4-1. CLB(Configurable Logic Block)와 LUT(Lookup Table)에 대해 간단히 서술해주세요. (Hint: FPGA의 reconfigurable한 특성과 관련되어 있습니다.)

4-2. CMT(Clock Management Tile)는 MMCM과 PLL로 구성되어 있습니다. 각각의 기능에 대해 간단히 서술해주세요.

4-3. DSP(Digital Signal Processing)에 대해 간단히 서술해주세요.

4-4. BRAM과 Distributed RAM의 차이점에 대해 간단히 서술해주세요.

5. 다음 용어에 대해 간단히 설명해주세요.

- Synthesis
- Place and Route (P&R)
- Bitstream generation
- SoC (System on Chip)

참고 자료

- <https://wikidocs.net/book/4588>
- 7_series_architecture_overview.pdf
- upyssk0t.pdf