

浙江大学 2013 - 2014 学年 春夏 学期

《 数字系统设计 I 》课程期末考试试卷

课程号: 111C0120 , 开课学院: 信息与电子工程学系

考试试卷: ☒ A 卷、B 卷 (请在选定项上打 \checkmark)

考试形式: ☒ 闭、开卷 (请在选定项上打 \checkmark), 允许带 计算器 入场

考试日期: 2014 年 7 月 3 日, 考试时间: 120 分钟

诚信考试, 沉着应考, 杜绝违纪。

考生姓名: _____ 学号: _____ 所属院系 (专业): _____

题序	一	二	三	四	五	六	七	八	总分
得分									
评卷人									

一、是非题 (共 15 分, 得分 _____)

- (1) 2014 个 “1” 异或的结果再与 117 个 “0” 同或, 得到的结果是 “0”。 (\times)
- (2) 有一 8421BCD 数码 10010011, 它相当于十进制数 “147”。 (\times)
- (3) 三态门输出为高阻时, 其输出线上电压为高电平。 (\times)
- (4) 任意两个最大项之和恒为 “1”。 (\checkmark)
- (5) CMOS 与非门的多余脚悬空等效于低电平。 (\times)
- (6) 将 JK 触发器的 K 端接到触发器反向输出端, 把 J 端接到输入 T, 就能把 JK 触发器改造成 T 触发器。 (\times)
- (7) 超前进位加法器比串行进位加法器速度慢。 (\times)
- (8) 组合逻辑电路产生竞争冒险的内因是信号在电路内部的电平不一致而且有尖峰脉冲噪声存在。 (\times)
- (9) 施密特触发器电路具有两个稳态且每个稳态需要相应的输入条件维持。 (\checkmark)
- (10) 五进制计数器的有效状态为 5 个。 (\checkmark)
- (11) 当时序逻辑电路存在无效循环时该电路不能自启动。 (\checkmark)
- (12) 米里 (Mealy) 状态机和莫尔 (Moore) 状态机可以相互转换。 (\times)
- (13) 最少 64 片容量为 256×4 的 RAM 可组合成容量为 $4K \times 8$ 的 RAM。 (\times)
- (14) 流水线操作算法结构一定比并行算法结构所需要的运算时间少。 (\times)
- (15) 大批量定型产品的生产因为是成熟设计所以不需要测试。 (\times)

二、组合电路 (15分, 得分_____)

璐璐设计了一种全新的 ISEE 门, 它的逻辑符号如下图所示, 与其它的门不一样, ISEE 门具有三个输入, 输入输出真值表如下表所示。

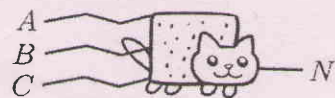
(1) 请问输入 A, B, C 的顺序可以调换吗? 为什么?

(2) 写出 N 的布尔表达式, 并且化简成为两项相加的形式。

(3) 试仅用 4 个逻辑门实现 ISEE 门的功能, 画出电路图。

(可以选用的门包括: 与门、或门、非门、与非门、或非门)。

(4) 以 A, B 作为地址, 用 4 选 1 数据选择器实现 ISEE 门 (可用反相器), 画出电路图。



题 2 表 ISEE 门真值表

A	B	C	N
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

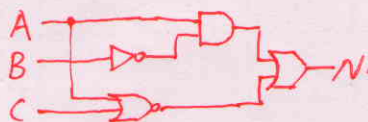
解: (1) 不能调换, 因为 $N(0,0,1)=0$
 $N(0,1,0)=1$
 $N(1,0,0)=1$ 不相等
 $N(0,1,1)=0$
 $N(1,0,1)=1$
 $N(1,1,0)=0$ 不相等

(2)

A \ B \ C	00	01	11	10
0	1	0	0	1
1	1	1	0	0

$$N = A\bar{B} + \bar{A}\bar{C}$$

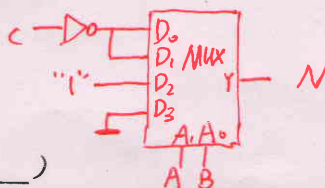
(3) $N = \overline{A+C} + A \cdot \bar{B}$ 有



(4)

A	B	N
0	0	1
0	1	0
1	0	1
1	1	0

故



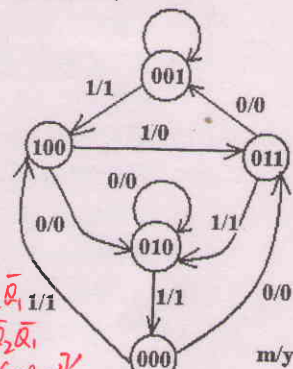
三、时序电路设计 (14分, 得分_____)

题 3 图中为某时序电路的状态转换图, 其中 m 为输入信号, y 为输出信号, 试用 D 触发器及与非门设计此同步时序电路, 要求:

(1) 写出次态卡诺图、激励方程、输出方程;

(2) 画出逻辑电路图。

排列: $Q_2 Q_1 Q_0$



题 3 图 状态转换图

解 (1)

$Q_2^* \backslash Q_1 Q_0$	00	01	11	10
$m Q_2$	0	0	0	0
00	0	x	x	x
01	0	x	x	x
11	0	x	x	x
10	1	1	1	1

$$Q_2^* = m\bar{Q}_2 + \bar{Q}_1$$

$$Q_1^* = m\bar{Q}_2 + \bar{Q}_1$$

$Q_1^* \backslash Q_2 Q_0$	00	01	11	10
$m Q_1$	1	0	0	1
00	1	x	x	x
01	1	x	x	x
11	1	x	x	x
10	0	0	1	0

$$Q_1^* = \bar{m} \cdot \bar{Q}_2 + Q_2 + m Q_1 Q_0$$

$$Q_0^* = Q_2 + \bar{m} \bar{Q}_2 + m Q_1 Q_0$$

$$= [\bar{Q}_2 \cdot (\bar{Q}_2 \bar{m})' + (m Q_1 Q_0)]'$$

$Q_0^* \backslash Q_2 Q_1$	00	01	11	10
$m Q_0$	1	0	1	0
00	1	x	x	x
01	0	x	x	x
11	1	x	x	x
10	0	0	0	0

$$Q_0^* = m Q_2 + \bar{m} Q_1 + \bar{m} Q_2 Q_1$$

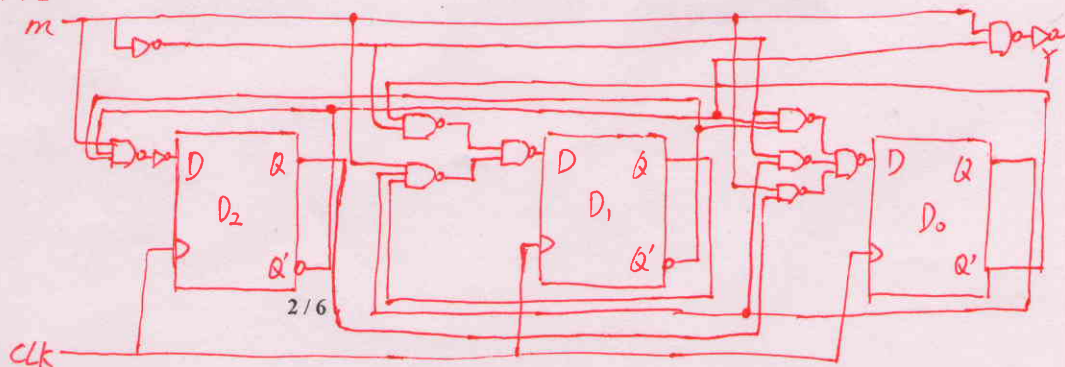
$$D_0 = m Q_2 + \bar{m} Q_1 + \bar{m} Q_2 Q_1$$

$$= [(m \bar{Q}_2 \bar{Q}_1)' \cdot (\bar{m} Q_2)]'$$

$Q_2^* \backslash Q_1 Q_0$	00	01	11	10
$m Q_2$	0	0	0	0
00	0	x	x	x
01	0	x	x	x
11	0	x	x	x
10	1	1	1	1

$$Y = m \bar{Q}_2$$

电路: 用 D 触发器构成



四、时序电路分析 (14 分, 得分_____)

综合分析下图所示电路, RAM 的低 16 个地址单元中的数据在表中列出。要求:

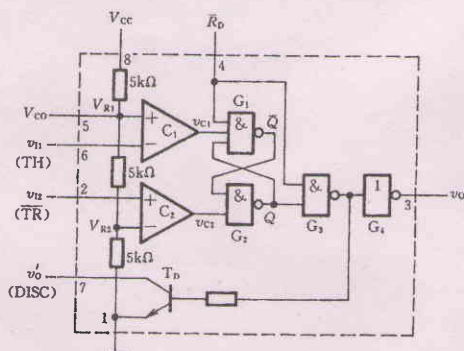
- (1) 说明 555 定时器构成什么电路? 试计算其工作频率。
- (2) 说明 74LS160 构成多少进制计数器?
- (3) 分析整个电路的功能, 并说明 RAM 在此处起什么作用? 输出信号有什么规律?

题 4 表 RAM 中的内容

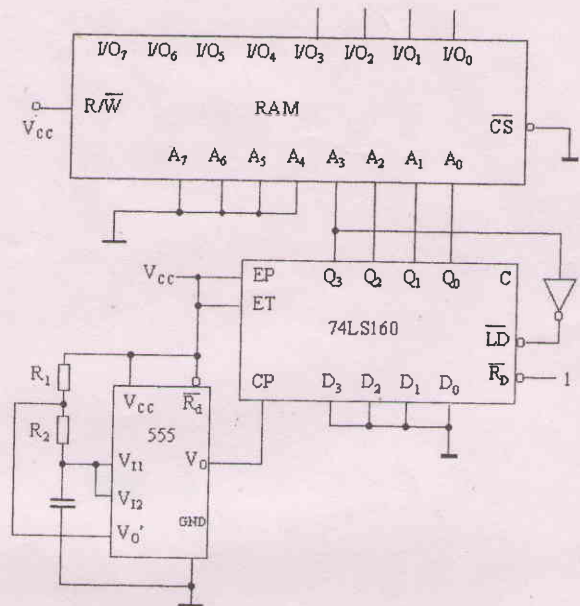
A3	A2	A1	A0	D3	D2	D1	D0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

4 位同步二进制计数器 74LS160 的功能表

CLK	R' _D	LD'	EP	ET	工作状态
x	0	x	x	x	清零
↑	1	0	x	x	预置数
x	1	1	0	1	保持
x	1	1	x	0	保持 (但 C=0)
↑	1	1	1	1	计数



555 时基电路功能框图



解: (1) 多谐振荡器

$$f = \frac{1}{(R_1 + 2R_2) \cdot C \cdot \ln 2}$$

(2) 九进制 $(1000)_2 \xrightarrow{LD} (0000)_2$

(3) RAM 中存储 4 位格雷码

RAM 是信号序列, 输出是 0~8 的格雷码循环序列。

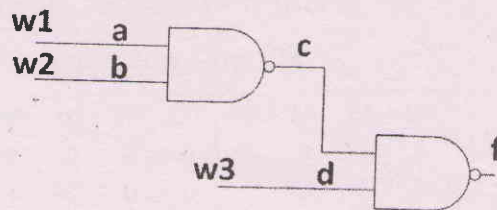
该电路是周期为 9 的循环格雷码信号序列发生器。

五、测试 (8分, 得分_____)

假设题5图所示电路可能出现固定型 SAI 与 SAO 故障, 需要写出寻找图中故障点的测试向量。在三输入的8种测试信号组合中, 能测试该电路所有可能故障的最小测试集是什么? (注: 最小测试集是指最少数量的输入信号 $w1, w2, w3$ 的数字组合。)

解:

w_1	w_2	w_3	a	b	c	d	f	故障	可选
0	0	0					SAI SAO		✓
0	0	1					SAO SAO SAI		
0	1	0					SAI SAO		✓
0	1	1	(SAI)	-	SAO	SAO	SAI	✓	
1	0	0					SAI SAO		✓
1	0	1			(SAO)	SAO	SAO SAI	✓	
1	1	0					SAO		
1	1	1	(SAO)	(SAO)	SAI	-	SAO	✓	



题5图 被测试电路

所以最小测试集是 $\{000, 011, 101, 111\}$
 或 $\{010, 011, 101, 111\}$
 或 $\{011, 100, 101, 111\}$

六、控制器设计 (12分, 得分_____)

已知 ASM 如下图示, 请设计一个 MUX 型控制器, 写出设计过程, 并画出电路图。

解:

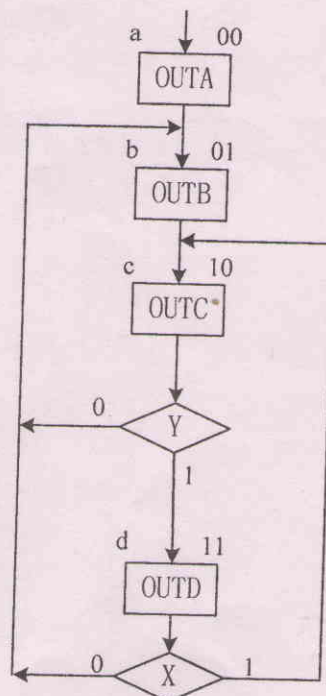
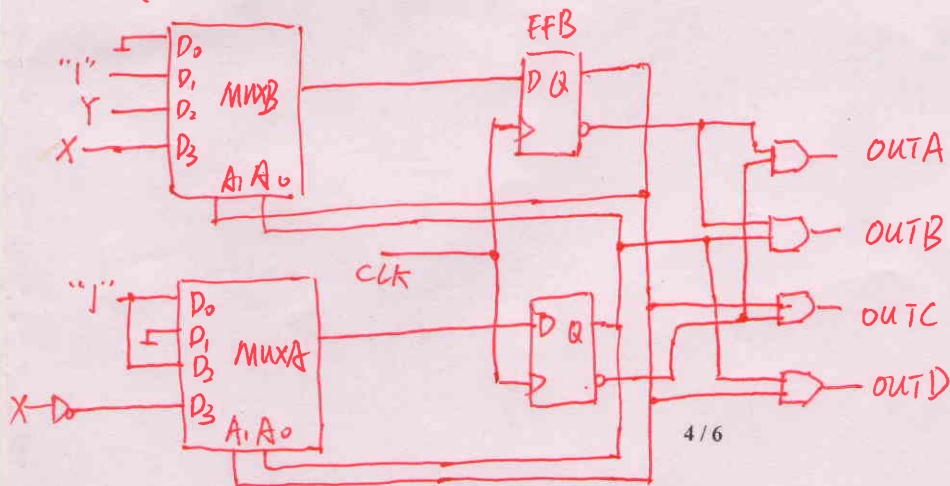
Q_B	Q_A	Q_B^*	Q_A^*	条件
0	0	0	1	0
0	1	1	0	0
1	0	0	1	1
1	1	1	1	1
1	1	0	1	X
1	1	1	0	X

状态转移表.

$MUXB(0) = 0$
 $MUXB(1) = 1$
 $MUXB(2) = Y$
 $MUXB(3) = X$
 $MUXA(0) = 1$
 $MUXA(1) = 0$
 $MUXA(2) = 1$
 $MUXA(3) = \bar{X}$

输出: $OUTA = \bar{Q}_B \bar{Q}_A$
 $OUTB = \bar{Q}_B Q_A$
 $OUTC = Q_B \bar{Q}_A$
 $OUTD = Q_B Q_A$

电路图:



ASM图

七、Verilog HDL (10分, 得分_____)

有限状态机 (FSM) 是表示有限个状态及在这些状态之间的转移和动作等行为的数学模型。

(1) 如下代码是一个 FSM 的 Verilog 语言硬件描述, 请根据下面的代码画出状态转换图, 并画出代码所对应的电路。

(2) 假设输入一串测试数据, 其格式为 test={reset, A[1:0]}, 并且在每个时钟的上升沿来临前 test 分别为 100₂, 000₂, 000₂, 001₂, 011₂。请写出测试数据结束 state, q 的最后值, 并写出求解过程。

```
module fsm1(input clk, input reset, input [1:0] A, output reg q);
```

```
  reg [1:0] state, nextstate;
```

```
  parameter S0 = 2'b00;
```

```
  parameter S1 = 2'b01;
```

```
  parameter S2 = 2'b10;
```

```
  always @(posedge clk)
```

```
    if (reset) state <= S0;
```

```
    else state <= nextstate;
```

```
  always @(*)
```

```
    case (state)
```

```
      S0: if (A[1]) nextstate = S1;
```

```
          else nextstate = S2;
```

```
      S1: if (A[0]) nextstate = S1;
```

```
          else nextstate = S0;
```

```
      S2: if (&A) nextstate = S2;
```

```
          else nextstate = S0;
```

```
      default: nextstate = S0;
```

```
    endcase
```

```
  always @(*)
```

```
    case (state)
```

```
      S0: q = 0;
```

```
      S1: q = 0;
```

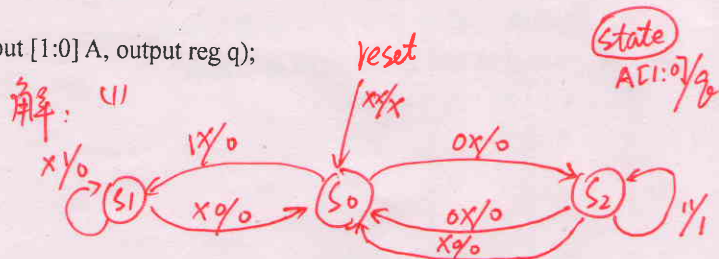
```
      S2: if (&A) q = 1;
```

```
          else q = 0;
```

```
      default: q = 0;
```

```
    endcase
```

```
endmodule
```



Q_1^*

$A[1:0]$	00	01	11	10
00	1	1	0	0
01	0	0	0	0
11	x	x	x	x
10	0	0	1	0

$$Q_1^* = \bar{Q}_1 \bar{Q}_0 \bar{A}[1] + Q_1 A[1] A[0]$$

$$Q_1 = Q_1^*$$

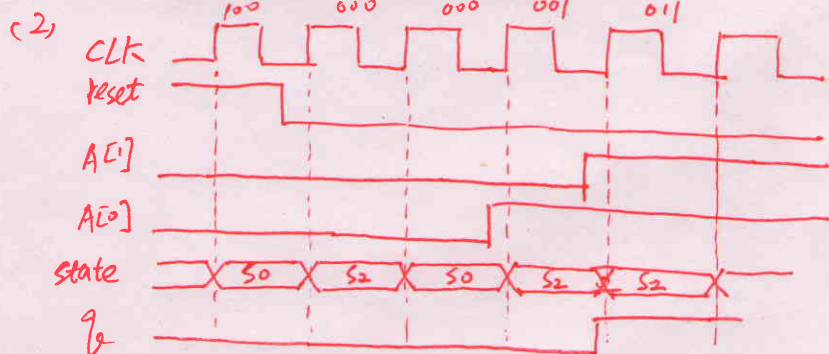
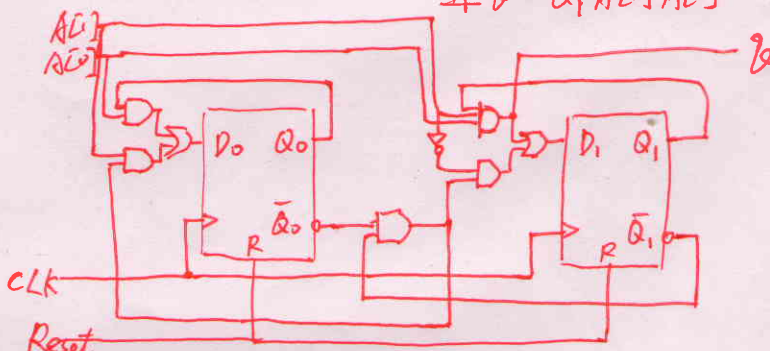
Q_0^*

$A[1:0]$	00	01	11	10
00	0	0	1	1
01	0	1	1	0
11	x	x	x	x
10	0	0	0	0

$$Q_0^* = \bar{Q}_1 \bar{Q}_0 A[1] + Q_0 A[1] A[0]$$

$$Q_0 = Q_0^*$$

$$q = Q_1 A[1] A[0]$$



结束时最后值. $\left. \begin{matrix} \text{state} = S_2 \\ q = 1 \end{matrix} \right\}$

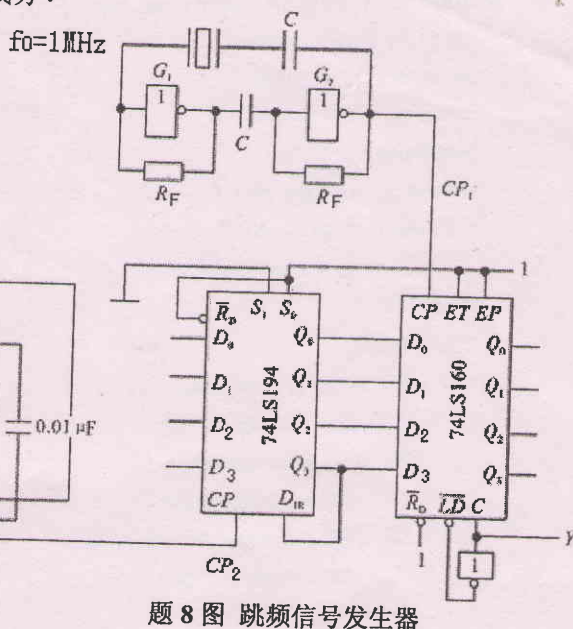
八、脉冲电路 (12分, 得分_____)

如题8图所示为一跳频信号发生器, 其中 NE555 为 555 定时器, 74LS194 为四位双向移位寄存器, 74LS160 为十进制加法计数器。

- (1) NE555 构成什么功能电路? 当 2K 的滑动电阻处于中心位置时, 求 CP2 频率。
- (2) 当 74LS194 的状态为 0001 时, 画出 74LS160 的状态转换图, 说明它是几进制计数器, 并求输出 Y 的频率。
- (3) 已知 74LS194 工作在循环右移状态, 当它的状态为 0001 时, 画出 74LS194 的状态转换图; (注: $Q_3Q_2Q_1Q_0$ 右移一次后为 $D_{IR}Q_3Q_2Q_1$)
- (4) 该跳频电路输出 Y 会出现哪几种频率成分?

题8表 双向移位寄存器 74LS194 的功能表

CLK	R' _D	S ₁	S ₀	工作状态
x	0	x	x	清零
↑	1	0	0	保持
↑	1	0	1	右移
↑	1	1	0	左移
↑	1	1	1	并行输入



题8图 跳频信号发生器

解:

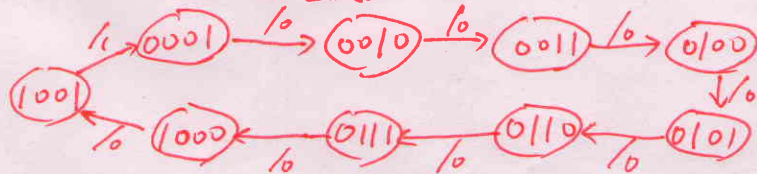
1) 多谐振荡器。

$$\begin{aligned} R_1 &= 48k\Omega \\ R_2 &= 48k\Omega \\ C &= 10\mu F \end{aligned}$$

$$\begin{aligned} T &= (R_1 + 2R_2) \cdot C \cdot \ln 2 \\ &= 48 \times 3 \times 10 \times 0.69 \times 10^{-3} \\ &\approx 0.998 \approx 1 \text{ sec} \end{aligned}$$

有 $f_{CP2} \approx 1 \text{ Hz}$.

(2) 当 74LS160 有进位时, 置数 0001



此时为九进制计数器。

$$T_0 = \frac{1}{f_0} \quad T' = 9T_0$$

$$\therefore f = \frac{1}{9T_0} = \frac{f_0}{9} = \frac{1 \text{ MHz}}{9} = 111.1 \text{ kHz}$$

(3) 74LS194 右移到 0。



(4). 当 74LS194 的输出状态分别为

$\begin{matrix} 0001 \\ 0010 \\ 0100 \\ 1000 \end{matrix}$

时, 74LS160 分别为

$\left. \begin{matrix} \text{九进制} \\ \text{八进制} \\ \text{七进制} \\ \text{六进制} \end{matrix} \right\}$

$$Y \text{ 出现的频率成分分别为 } \begin{cases} \frac{1000}{9} \text{ kHz} \\ 125 \text{ kHz} \\ \frac{500}{3} \text{ kHz} \\ 500 \text{ kHz} \end{cases}$$

共 4 种频率成分。