

## 2016 数字系统设计期中考试答案

一、判断题（共 10 分，得分 \_\_\_\_\_）在表格中对应填入√（正确）或×（错误）

1	2	3	4	5	6	7	8	9	10
√	√	×	×	√	√	√	√	×	×

1. 数字电路中用，“1”和“0”分别表示两种状态，二者无大小之分。√
2. 负逻辑的与非门就是正逻辑的或非门。√
3. 因为逻辑表达式  $A+B+AB=A+B$  成立，所以  $AB=0$  成立。×
4. 共阴发光二极管数码显示器需选用有效输出为低电平的七段显示译码器来驱动。×
5. 格雷码具有任何相邻码组只有一位码元不同的特性。√
6. 逻辑函数两次求反则还原，逻辑函数的对偶式再作对偶变换也还原为它本身。√
7. CMOS OD 门（漏极开路门）的输出端可以直接相连，实现线与运算。√
8. 同步 RS 触发器存在空翻现象，而边沿触发器和主从触发器克服了空翻。√
9. 组合逻辑电路中产生竞争冒险的主要原因是输入信号受到尖峰干扰。×
10. D 触发器的特征方程  $Q^{n+1}=D$ ，而与  $Q^n$  无关，所以，D 触发器不是时序电路。×

二、

(2) 用卡诺图法化简等式左边的逻辑函数为最简与-或式；  
 (3) 写出等式左边逻辑函数的对偶式。  $+ \rightarrow \cdot$   $\cdot \rightarrow +$

11)  $A+B+D + \bar{A}\bar{B}\bar{C}D + \bar{A}BC + C\bar{D} + (\bar{A}+B+C)(\bar{A}+\bar{C})$

12)  $A, B, C, D$  本身不变

$0 \rightarrow 1$   $1 \rightarrow 0$

$B'D' + A'BD + BC + AB'$

13)  $(ABD)' \cdot (A'+B+C+D) \cdot (A'+B+C) \cdot (C+D') \cdot (A'B+C+A'D)$

$= (B'+D')(A'+B+D)(B+C)(A+B') \leftarrow \text{最简}$

$= (A+B'+D)(B+C)(B'+D')(A'+B+D) \leftarrow \text{右式}$

11)  $A+B+D + \bar{A}\bar{B}\bar{C}D + \bar{A}BC + C\bar{D} + (\bar{A}+B+C)(\bar{A}+\bar{C})$

$= A'B'D' + A'BC'D + A'BC + C\bar{D}' + AB'C' + AC$

$= B(A'C'D + A'C + AC + C\bar{D}') + B'(A'D' + A\bar{C}' + C\bar{D}' + AC)$

$= B(A'C'D + C + C\bar{D}') + B'(A'D' + C\bar{D}' + A)$

$= B(A'C'D + C) + B'(A + D' + C\bar{D}')$

$= B(A'D + C) + B'(A + D')$

$= B(A'D + C) + B'[A(D + D') + D']$

$= B(A'D + C) + B'(AD + D')$

$= \text{右边}$

三、

① CMOS 门

对于 TTL 电路而言输入接大电阻相当于高电平。  
对于 CMOS 门若不论输入端接多大电阻，其输入都取该电阻另一端所接的电压。

$$Y = \overline{A+0} \cdot \overline{B+C}$$

$$= \overline{A} \overline{B} \overline{C}$$

↑

② TTL 门

当  $C=0$  时， $Y = A+B$   
当  $C=1$  时，三态门输出为高阻态。  
则输入端为高电平， $Y = \overline{B}$   
因此， $Y = (A+B)\overline{C} + \overline{B}C = A\overline{C} + \overline{B}\overline{C} + \overline{B}C$  2/6

四、

g

	ab	00	01	11	10
c	0	1	0	0	0
	1	0	1	x	0

1) 考虑到  $V$  为一个输入变量，则单独分离

①

	ab	00	01	11	10
c	0	1	0	0	0
	1	0	1	x	0

②

	ab	00	01	11	10
c	0	0	0	V	0
	1	0	0	x	0

$$g = bc + a'b'c' + abV$$

2)  $g = bc + a'b'c' + abV$   
 $= abc + a'bc + a'b'c' + abV$   
 $= a'bc + a'b'c' + abV$

五、

五、 组合模块电路(12分, 得分\_\_\_\_\_)

试用一片 2-4 译码器 74HC239 和尽量少的门电路设计一个多输出组合网络, 要求写出主要步骤。它的输入是 4 位二进制码  $ABCD$ , 3 个输出为:

$F_1$ :  $ABCD$  是 4 的倍数;  
 $F_2$ :  $ABCD$  在 8~11 之间;  
 $F_3$ :  $ABCD$  不等于 0。

解: 考虑  $F_1, F_2$  的真值表的特点

0=0 时  $F_1=1$

74HC239 双 2-4 译码器/多路分配器

输入	输出
允许 $\bar{G}$	选择 B A
H	X X
L	L L
L	L H
L	H L
L	H H

输出	Y0	Y1	Y2	Y3
L	L	L	L	L
H	L	L	L	L
L	H	L	L	L
L	L	H	L	L
L	L	L	H	L
L	L	L	L	H

功能表

设计如下:

3/6

六、

方法一: 若考虑将  $A_0 \sim A_7$  对应与  $I_0 \sim I_7$  相连  
 不考虑电路不工作状态。  
 电路工作但无输入码输入  $I_0 \sim I_7$  的  $G_0$

$G_0' = I_0' I_1' I_2' I_3' I_4' I_5' I_6' I_7' = I_0' I_1' I_2' I_3' I_4' I_5' I_6' I_7' + I_8 + I_9$   
 $= I_8' + I_8 + I_9 = I_8 I_9'$

$Z_0 = I_9 + I_9' I_8' = \sum m(0, 2, 4, 6) = I_9 + I_9' I_8' I_0 = I_9 + I_8' I_0$   
 $Z_1 = I_9 + I_9' I_8' = \sum m(1, 2, 5, 6) = I_9 + I_8' (I_0' \oplus I_1')$   
 $Z_2 = I_9 + I_9' I_8' = \sum m(3, 4, 5, 6) = I_9 + I_8' (I_2' I_0 + I_2' I_1 + I_2' I_0')$   
 $Z_3 = I_9 + I_9' I_8' (I_2 + I_1 + I_0) = I_9' \cdot I_8' \cdot I_1' \cdot I_0'$  (电路图回答)

方法二: 若考虑将  $A_1 \sim A_8$  对应与  $I_0 \sim I_7$  相连。  
 不考虑电路不工作状态  
 电路工作但无输入码输入  $I_0 \sim I_7$  的  $G_0'$

$I_8' = I_0' I_1' I_2' I_3' I_4' I_5' I_6' I_7' I_8' = I_0 + I_1' I_2' I_3' I_4' I_5' I_6' I_7' I_8' + I_9$   
 $= I_8' + I_0 + I_9 = I_8 I_0' I_9'$

$Z_0 = I_9 + I_9' I_8' = I_9 + I_8' I_0'$   
 $Z_1 = I_9 + I_9' I_8' = I_9 + I_8' I_1'$   
 $Z_2 = I_9 + I_9' I_8' = I_9 + I_8' I_2'$   
 $Z_3 = I_9 + I_9' I_8' = I_9 + I_8' I_3'$

(电路图回答)

4/6





七、

解：设两位无符号二进制数为  $X = x_1x_0$   $Y = y_1y_0$   $Z = X \cdot Y = z_2z_1z_0$

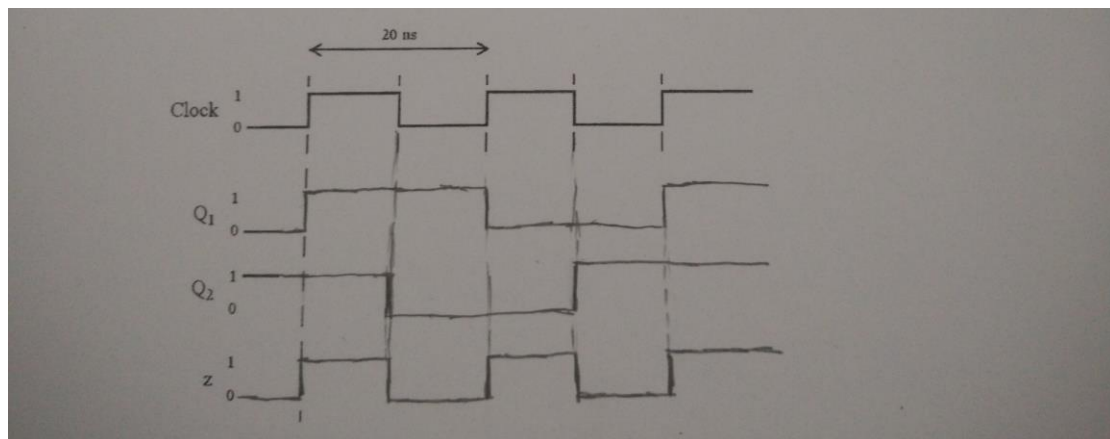
列

$$\begin{array}{r} x \quad x_1x_0 \\ y \quad y_1y_0 \\ \hline x_1y_0 \quad x_0y_0 \\ + \quad x_1y_1 \quad x_0y_1 \\ \hline x_1y_1 \quad (x_1y_0 + x_0y_1) \quad x_0y_0 \\ \downarrow \quad \downarrow \quad \downarrow \\ z_2 \quad z_1 \quad z_0 \end{array}$$

考虑到对于全加器而言，当  $C1=0$  时， $C0 = A \cdot B$  实现与功能，所以电路图如图所示

八、 触发器分析 (8分, 得分\_\_\_\_\_)

八、



九、

解：(1) 状态转移表如下所示，默认  $z_2$  输出为 0。

状态转移表

状态/输出	X, Y	00	01	10	11
A	C	A	B	D	
B	C	A	B	B	
C	C	C	B	F	
D	A	E	B	D	
E	B	F	B	D	
F	C	E	B	F	

(2) 等效状态为 A和C、D和F。化简后的状态转移图如下：

输入/输出:  $X, Y/z$   
Default:  $z = 0$