

习题讲解

Hw1 – Hw3、Quiz 1

王彤
wangt_@zju.edu.cn

Homework 1

1. 能实现任何逻辑函数的逻辑门的集合，被称为逻辑门的完全集。已知二输入与门、二输入或门和非门为一个完全集。试证明：二输入或门、异或门为逻辑门的完全集。

解：

利用异或门得到非门： $Y = A \oplus 1 = \bar{A}$,

再加上本来的或门，可以用非门和或门得到与门： $Y = \overline{\bar{A} + \bar{B}} = \overline{\bar{A}} \overline{\bar{B}} =$

AB 。

或 $Y = (A \oplus B) \oplus (A + B) = AB$

Homework 1

2. 采用公式法将下面的逻辑函数化简成最简与或式，并用与非门实现。

解： $Y = (A\bar{B} + D)(AB + \bar{B})D + ABE + A\bar{D}E$

$$= AD(B + \bar{B}) + \bar{B}D + ABE + A\bar{D}E$$

$$= \underline{AD} + \bar{B}D + ABE + \underline{A\bar{D}E}$$

$$= \underline{AD(1 + E)} + \bar{B}D + ABE + A\bar{D}E$$

$$= AD + \bar{B}D + ABE + A\bar{D}E + ADE$$

$$= AD + \bar{B}D + \underline{ABE + AE}$$

$$= AD + \bar{B}D + AE$$

$$= \overline{\overline{AD} \cdot \overline{\bar{B}D} \cdot \overline{AE}}$$

$$A + \bar{A}B = A + B$$

$$A + AB = A$$

$$A + B = \overline{\bar{A} \cdot \bar{B}}$$

Homework 1

3. 用权6, 3, 1, 1将十进制表示为含权的二进制码。

解:

十进制	6	3	<u>1</u>	<u>1</u>
0	0	0	0	0
1	0	0	0	1
2	0	0	1	1
3	0	1	0	0
4	0	1	0	1
5	0	1	1	1
6	1	0	0	0
7	1	0	0	1
8	1	0	1	1
9	1	1	0	0

Homework 1

4. 列出真值表：输入是3位二进制，输出为3位循环码

解：

3 位二进制	3 位循环码
000	000
001	001
010	011
011	010
100	110
101	111
110	101
111	100

Homework 1

5. 和**8421BCD**码（1010100）等值的二进制数为_____。

解：BCD 码定义：用**4 位二进制**的前10 个码代表十进制的0~9。

$(101)_2 = 5$ ， $(0100)_2 = 4$ ，所以该BCD码代表十进制数54

$$54 = 32 + 16 + 0 + 4 + 2 + 0 = (110110)_2$$

误：1. 没有理解8421BCD码，把(1010100)看作二进制数，换算84

$$2. (5 + 4 =) 9 / 504$$

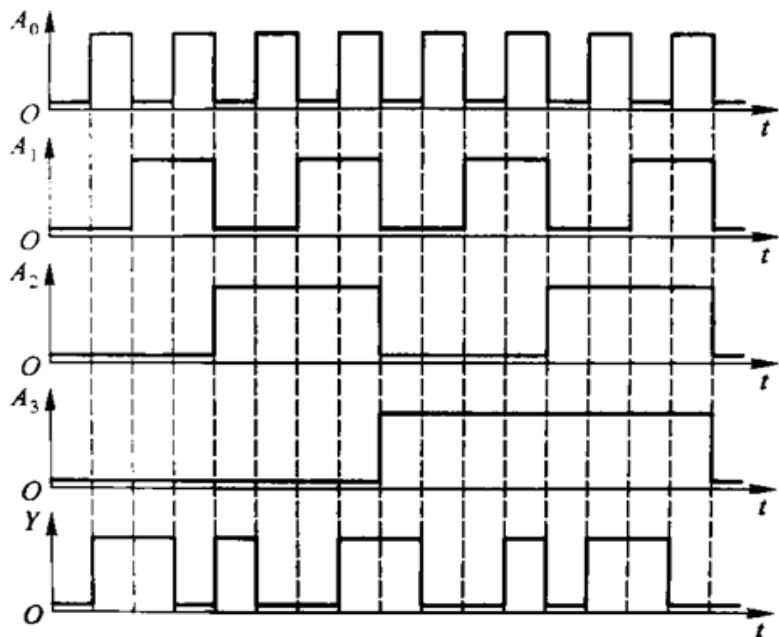
6. 一个格雷码的前一个码是0101，后一个是1100，这个格雷码是_____。

解：根据格雷码的定义，答案为**0100**。

注意，虽然**1101** 也满足每项只变化1 比特，但是，格雷码还需要满足每一位的状态按照一定的顺序循环。自右向左，状态循环中连续的0、1 数目增加一倍。

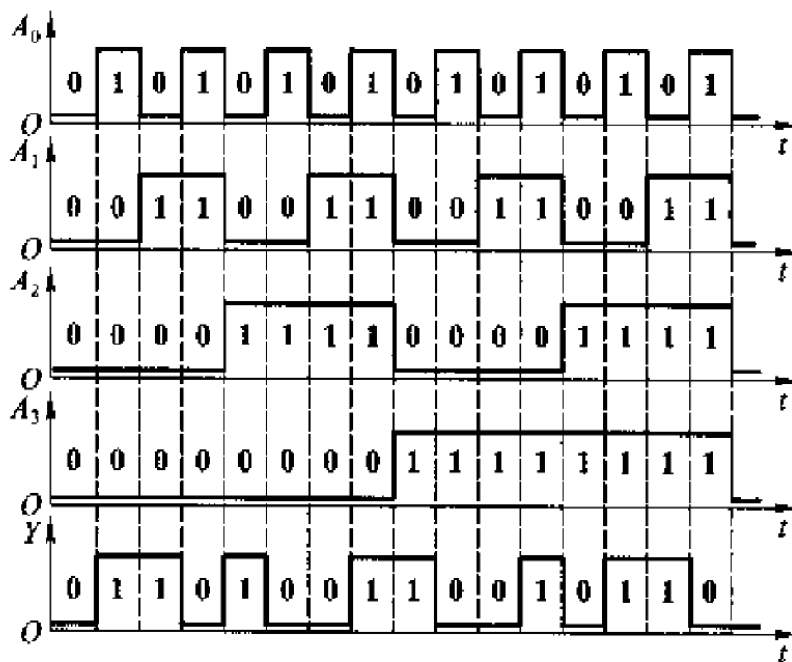
Homework 1

7. 给定逻辑函数 Y 的波形图如下图所示，试写出该逻辑函数的真值表和逻辑表达式。



Homework 1

7. 给定逻辑函数Y的波形图如下图所示，试写出该逻辑函数的真值表和逻辑表达式。



Homework 1

7. 给定逻辑函数Y的波形图如下图所示，试写出该逻辑函数的真值表和逻辑表达式。

A3	A2	A1	A0	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

$$\begin{aligned} Y &= A_3'A_2'A_1'A_0 + A_3'A_2'A_1A_0' \\ &\quad + A_3'A_2A_1'A_0' + A_3'A_2A_1A_0 \\ &\quad + A_3A_2'A_1'A_0' + A_3A_2'A_1A_0 \\ &\quad + A_3A_2A_1'A_0 + A_3A_2A_1A_0' \\ &= A_3 \oplus A_2 \oplus A_1 \oplus A_0 \end{aligned}$$

Homework 1

8. 采用卡诺图法化简下列逻辑函数，要求表达式尽量简单。

1) $F(A, B, C, D) = \sum m(0,1,4,7,9,10,13) + \sum d(2,5,8,12,14,15)$ ，其中d为任意项

CD \ AB	00	01	11	10
00	1	1		X
01	1	X	1	
11	X	1	X	X
10	X	1		1

$$F(A, B, C, D) = \bar{C} + A\bar{D} + BD$$

Homework 1

8. 采用卡诺图法化简下列逻辑函数，要求表达式尽量简单。

$$2) Y(A, B, C, D) = (\bar{A} + B + C + D)(A + \bar{B})(A + B + D)(\bar{B} + C)(\bar{B} + \bar{C} + \bar{D})$$

AB \ CD	00	01	11	10
00		1	1	
01				
11				1
10		1	1	1

$$Y = \prod M(0, 2, 4, 5, 6, 7, 8, 12, 13, 15)$$

$$= \sum m(1, 3, 9, 10, 11, 14)$$

反演定理：

$$Y' = A\bar{B}\bar{C}\bar{D} + \bar{A}B + \bar{A}\bar{B}\bar{D} + B\bar{C} + BCD$$

$$Y(A, B, C, D) = B\bar{D} + AC\bar{D}$$

Homework 1

9. 将下面函数化简为最简与或式，不必考虑冒险。

1) $Y = \bar{A}D + ABC\bar{C} + A\bar{B}\bar{D} + \bar{A}\bar{B}\bar{C}\bar{D}$ ，约束条件为

$$ABC + ABD + ACD + BCD = 0$$

CD \ AB	00	01	11	10
00	1	1	1	
01		1	X	
11	1	X	X	X
10	1		X	1

无关项覆盖最小项

无关：是否把这些最小项写入逻辑函数式无关紧要，可以写入也可以删除

$$Y = \bar{A}D + A\bar{D} + \bar{A}\bar{B}\bar{C}$$

Homework 1

9. 将下面函数化简为最简与或式，不必考虑冒险。

2) $Y = \prod M(1,3,4,6,7,9,11,12,14,15)$

CD AB	00	01	11	10
00	1			1
01		1		
11		1		
10	1			1

$$Y = \sum m(0,2,5,8,9,13)$$

$$Y = \bar{B}\bar{D} + B\bar{C}D$$

Homework 1

10. 用最小项之和与最大项之积来表示下列函数

$$F(A, B, C, D) = \bar{B}D + \bar{A}D + BD$$

CD AB	00	01	11	10
00	0	1	1	0
01	0	1	1	0
11	0	1	1	0
10	0	1	1	0

$$F(A, B, C, D) = \bar{B}D + \bar{A}D + BD$$

$$= (\bar{B} + \bar{A} + B)D$$

$$= D$$

$$= \sum m(1, 3, 5, 7, 9, 11, 13, 15)$$

$$= \prod M(0, 2, 4, 6, 8, 10, 12, 14)$$

Homework 1

11. 用异或门和与门实现下面的布尔表达式。

$$F = A\bar{B}C\bar{D} + \bar{A}BC\bar{D} + A\bar{B}\bar{C}D + \bar{A}B\bar{C}D$$

解：

$$\begin{aligned} F &= A\bar{B}(C\bar{D} + \bar{C}D) + \bar{A}B(C\bar{D} + \bar{C}D) \\ &= (A\bar{B} + \bar{A}B)(C\bar{D} + \bar{C}D) \end{aligned}$$

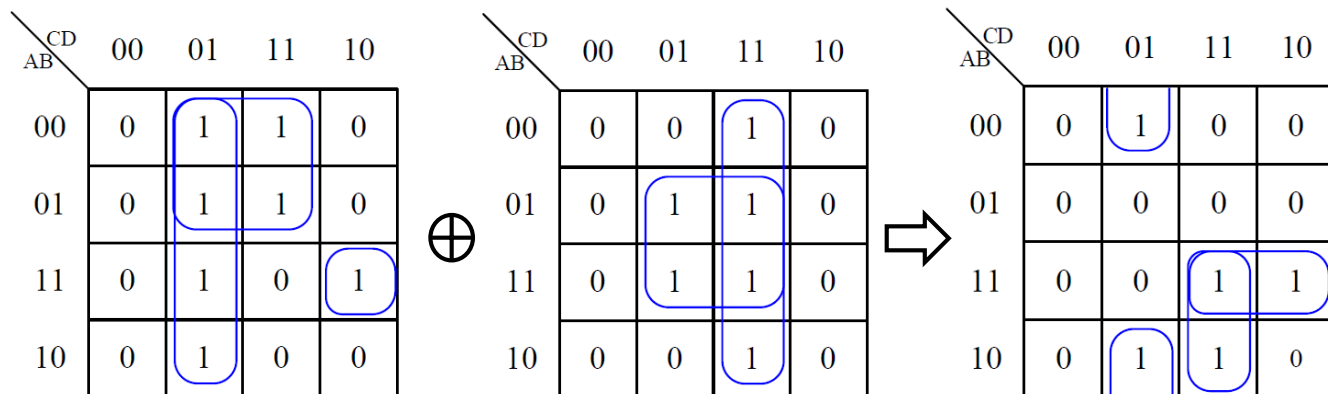
12. 有函数 $F1(A, B, C, D) = ABC\bar{D} + B\bar{C}D + \bar{A}\bar{B}D + A\bar{B}\bar{C}D + \bar{A}D$

$$F2(A, B, C, D) = CD + ABCD + BD + ACD + BCD$$

试求函数 $F3(A, B, C, D) = F1 \oplus F2$ 的最简与或表达式。

Homework 1

12. 解:



$$F_3(A, B, C, D) = \bar{B}\bar{C}D + ACD + ABC = \bar{B}\bar{C}D + A\bar{B}D + ABC$$

Homework 1


12. 解:

$$F1(A, B, C, D) = \bar{C}D + \bar{A}D + ABC\bar{D}$$

$$F2(A, B, C, D) = BD + CD$$

$$\begin{aligned} F3(A, B, C, D) &= \bar{A}\bar{B}\bar{C}D + A\bar{B}\bar{C}D + A\bar{B}CD + ABC\bar{D} + ABCD \\ &= \bar{B}\bar{C}D + ACD + ABC \end{aligned}$$

误: $F3(A, B, C, D) = \bar{A}\bar{B}\bar{C}D + A\bar{B}\bar{C}D + A\bar{B}CD + ABC\bar{D} + ABCD$


$$\begin{aligned} &= \bar{B}\bar{C}D + ACD + ABC\bar{D} \\ &= \bar{B}\bar{C}D + ABC + A\bar{B}CD \end{aligned}$$

Homework 1

- 逻辑表达式形式变换（课本2.9节）
- 与或 \rightarrow 与非-与非：
将整个与或项两次求反
- 与或 \rightarrow 与或非：
将不包含在Y内的最小项相加后求反
- 与或 \rightarrow 或与：
与或 \rightarrow 与或非 \rightarrow 或与
$$A + BC = (A + B)(A + C)$$
- 与或 \rightarrow 或非-或非：
与或 \rightarrow 与或非 \rightarrow 或非

Homework 2

1. 设计一个码变换电路，将二-十进制（BCD 码）转化成余 3 码。要求采用与门、或门和反相器实现，所有门的输入端不超过两个。列出卡诺图、逻辑表达式，画出电路图。

解：

BCD	余3码	BCD	余3码
0000	0011	0101	1000
0001	0100	0110	1001
0010	0101	0111	1010
0011	0110	1000	1011
0100	0111	1001	1100

Homework 2

1. Y0

CD \ AB	00	01	11	10
00	1	0	0	1
01	1	0	0	1
11	X	X	X	X
10	1	0	X	X

Y1

CD \ AB	00	01	11	10
00	1	0	1	0
01	1	0	1	0
11	X	X	X	X
10	1	0	X	X

无关项

Y2

CD \ AB	00	01	11	10
00	0	1	1	1
01	1	0	0	0
11	X	X	X	X
10	0	1	X	X

Y3

CD \ AB	00	01	11	10
00	0	0	0	0
01	0	1	1	1
11	X	X	X	X
10	1	1	X	X

$$Y_3 = A + BD + BC$$

$$Y_2 = \overline{B}D + \overline{B}C + B\overline{C}\overline{D}$$

$$Y_1 = \overline{C}\overline{D} + CD$$

$$Y_0 = \overline{D}$$

Homework 2

2. 画出4片8-3优先编码器74HC148组成32-5线的优先编码器的逻辑图，允许附加必要的门电路。采用74HC148的逻辑图。

解：首先明确74HC148输入输出端口对应的意义。

输入：S为使能端，低电平有效。

输出： Y'_S 为低时，代表“电路工作，且无编码输入”。

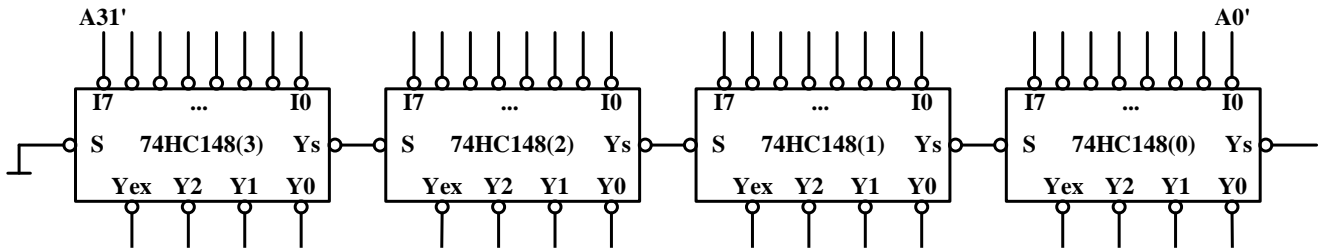
Y'_{EX} 为低时，代表“电路工作，且有编码输入”。

编码器不工作时，输出全部为高电平“1”。

按照书本中例题4.5.1的解法，高优先级的编码器没有编码输出时，低优先级的才能使能，所以先将 Y_S 和S依次相连；

Homework 2

2. $Z_4 = 1$: $I \in [16, 31]$

$$Z3 = 1: I \in [8,15] \cup [24,31]$$
$$Z_2 = 1: I \in [4,7] \cup [12,15] \cup [20,23] \cup [28,31]$$
$$Z1 = 1: I \in \{2,3,6,7,10,11,14,15,18,19,22,23,26,27,30,31\}$$
$$Z_0 = 1: I \in \{1, 3, 5, 7, 9, 11, 13, 15, 17, 19, 21, 23, 25, 27, 29, 31\}$$


Homework 2

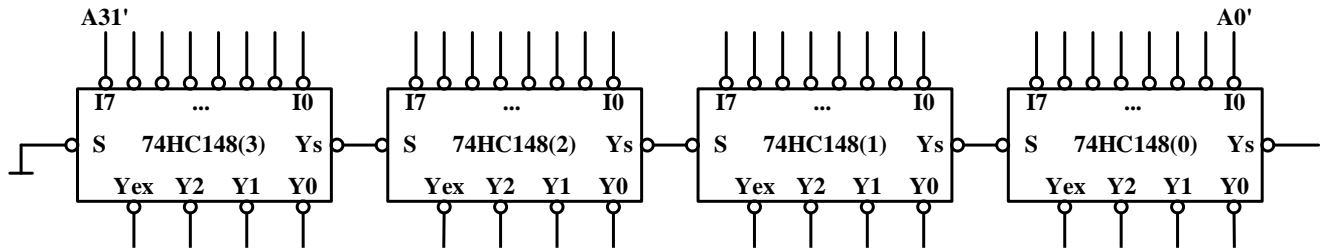
$$2. \quad Z4 = Y_{EX}(2) + Y_{EX}(3) = \overline{Y'_{EX}(2) \cdot Y'_{EX}(3)}$$

$$Z3 = Y_{EX}(1) + Y_{EX}(3) = \overline{Y'_{EX}(1) \cdot Y'_{EX}(3)}$$

$$Z2 = Y2(0) + Y2(1) + Y2(2) + Y2(3) = \overline{Y2'(0) \cdot Y2'(1) \cdot Y2'(2) \cdot Y2'(3)}$$

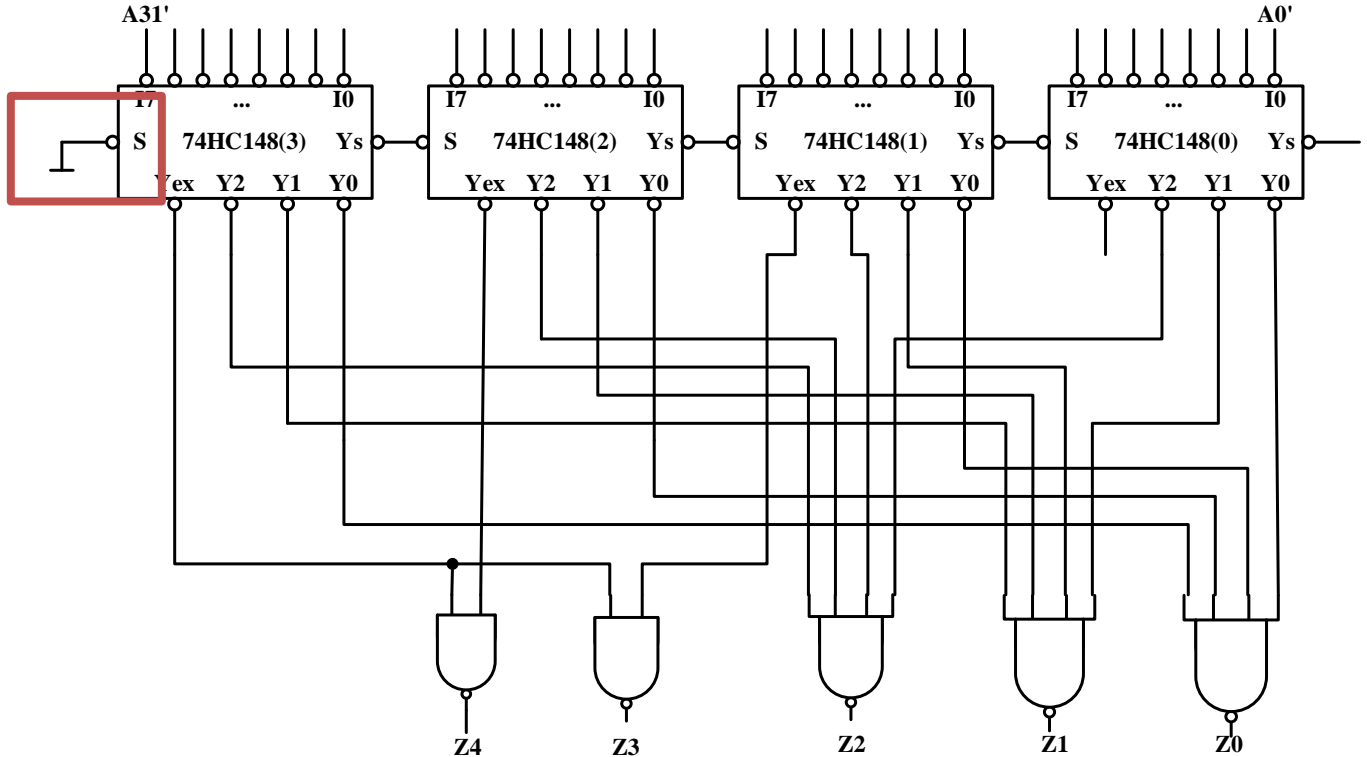
$$Z1 = Y1(0) + Y1(1) + Y1(2) + Y1(3) = \overline{Y1'(0) \cdot Y1'(1) \cdot Y1'(2) \cdot Y1'(3)}$$

$$Z0 = Y0(0) + Y0(1) + Y0(2) + Y0(3) = \overline{Y0'(0) \cdot Y0'(1) \cdot Y0'(2) \cdot Y0'(3)}$$



Homework 2

2.



Homework 2

3. 设计代码转换电路，输入为 3 位格雷码，输出为二进制码。要求用一个 8 线-3 线优先级编码器 74HC148 和一个 3 线-8 线译码器 74HC138，不采用其它器件。

解：

将格雷码输入 3 线-8 线译码器，可以得到一个最小项；利用这个最小项输入 8 线-3 线优先级编码器，可以获得一个唯一的三位的编码，所以只用将两者连接好，就可以得到二进制码。

这里需要注意输入输出的有效性（高有效或是低有效）。

Homework 2

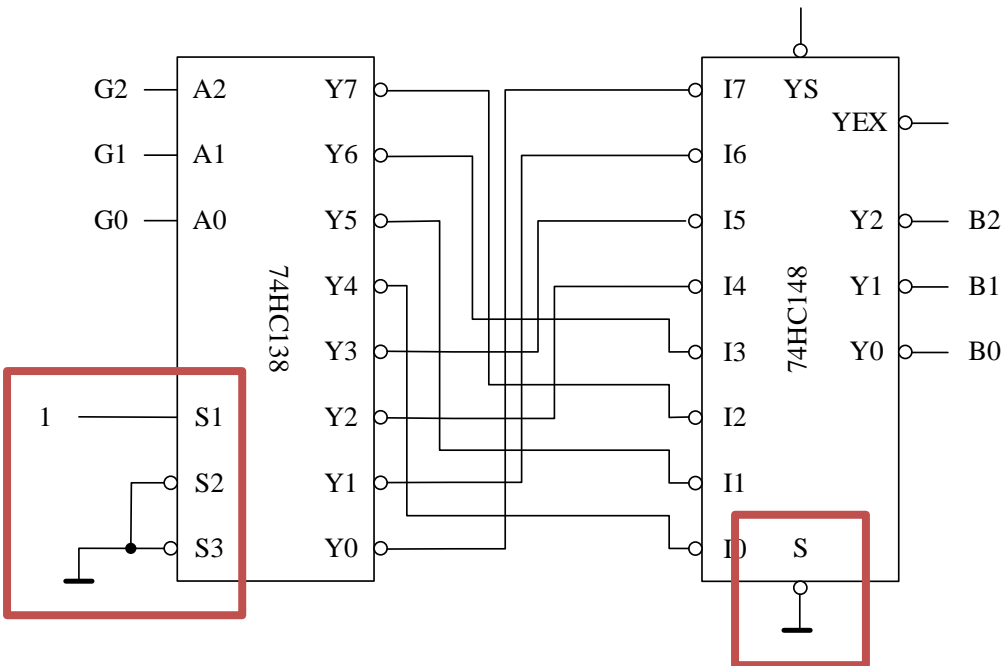
3.

格雷码	译码器输出 $Y'_0Y'_1Y'_2Y'_3Y'_4Y'_5Y'_6Y'_7$	优先编码器输入 $I'_0I'_1I'_2I'_3I'_4I'_5I'_6I'_7$	二进制码
000	0111_1111	XXXX_XXX0	000
001	1011_1111	XXXX_XX01	001
011	1110_1111	XXXX_X011	010
010	1101_1111	XXXX_0111	011
110	1111_1101	XXX0_1111	100
111	1111_1110	XX01_1111	101
101	1111_1011	X011_1111	110
100	1111_0111	0111_1111	111

译码器输出	优先编码器输入
Y'_0	I'_7
Y'_1	I'_6
Y'_3	I'_5
Y'_2	I'_4
Y'_6	I'_3
Y'_7	I'_2
Y'_5	I'_1
Y'_4	I'_0

Homework 2

3.



译码器 输出	优先编码 器输入
Y'_0	I'_7
Y'_1	I'_6
Y'_3	I'_5
Y'_2	I'_4
Y'_6	I'_3
Y'_7	I'_2
Y'_5	I'_1
Y'_4	I'_0

Homework 2

4. 用一个8选1数据选择器设计一个函数发生器电路（S0、S1、A分别对应A2、A1、A0输入端口），电路功能表如下所示。

S1	S0	Y
0	0	$A \bullet B$
0	1	$A + B$
1	0	$A \oplus B$
1	1	\overline{A}

解：（例4.5.5）

$$S' = 0$$

$$Y = D_0(A'_2A'_1A'_0) + D_1(A'_2A'_1A_0) + D_2(A'_2A_1A'_0) + D_3(A'_2A_1A_0) + \\ D_4(A_2A'_1A'_0) + D_5(A_2A'_1A_0) + D_6(A_2A_1A'_0) + D_7(A_2A_1A_0)$$

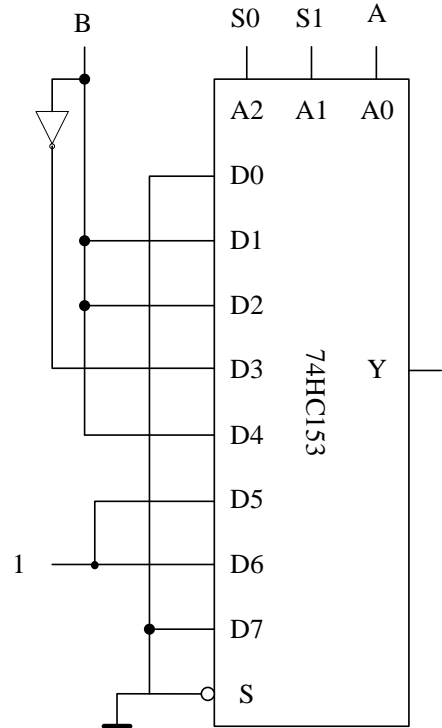
Homework 2

4.

S1	S0	Y
0	0	$A \bullet B$
0	1	$A + B$
1	0	$A \oplus B$
1	1	\bar{A}

$$\begin{aligned}
 Y &= \bar{S}_0 \bar{S}_1 (A \bullet B) + S_0 \bar{S}_1 (A + B) + \\
 &\quad \bar{S}_0 S_1 (A \oplus B) + S_0 S_1 (\bar{A}) \\
 &= \bar{S}_0 \bar{S}_1 AB + S_0 \bar{S}_1 A + S_0 \bar{S}_1 \bar{A} B + \\
 &\quad \bar{S}_0 S_1 \bar{A} B + \bar{S}_0 S_1 A \bar{B} + S_0 S_1 \bar{A}
 \end{aligned}$$

$$\begin{aligned}
 Y &= m_0 0 + m_1 B + m_2 B + m_3 \bar{B} + \\
 &\quad m_4 B + m_5 1 + m_6 1 + m_7 0
 \end{aligned}$$



Homework 2

5. 用一个3线-8线译码器和门电路设计下列逻辑函数（A、B、C分别对应A2、A1、A0输入端口）。

$$Y_1 = AB + A\bar{C}$$

$$Y_2 = \overline{AB + BD \bullet BC} + \bar{A}B + B\bar{C}$$

$$Y_1 = ABC + A\bar{B}\bar{C} + \bar{A}\bar{B}\bar{C} = m_4 + m_6 + m_7 = \overline{\overline{m_4} \bullet \overline{m_6} \bullet \overline{m_7}}$$

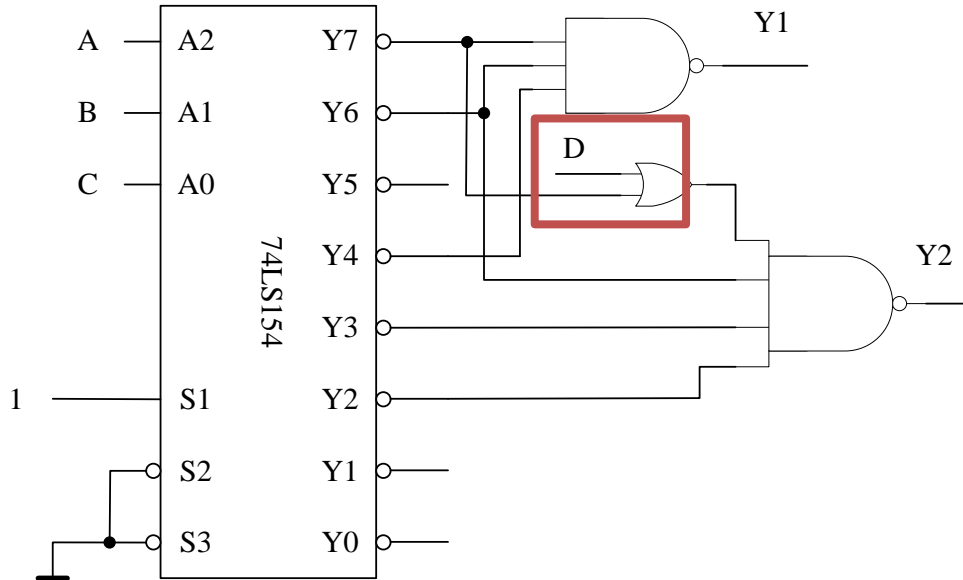
$$Y_2 = \overline{AB + BD \bullet BC} + \bar{A}B + B\bar{C} = ABC\bar{D} + \bar{A}B + B\bar{C}$$

$$= ABC\bar{D} + \bar{A}BC + \bar{A}\bar{B}\bar{C} + A\bar{B}\bar{C} = m_2 + m_3 + m_6 + m_7 \bar{D}$$

$$= \overline{\overline{m_2} \bullet \overline{m_3} \bullet \overline{m_6} \bullet \overline{m_7} \bar{D}} = \overline{\overline{m_2} \bullet \overline{m_3} \bullet \overline{m_6} \bullet (\overline{m_7} + D)}$$

Homework 2

5.

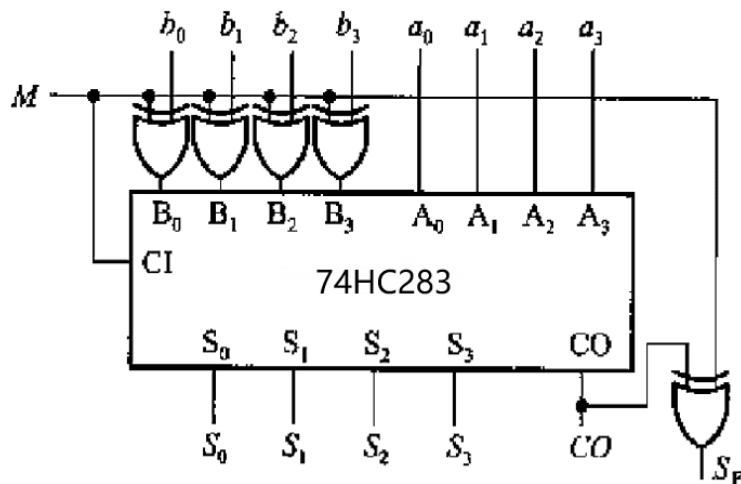


Homework 2

6. 试用4位并行加法器74HC283设计一个加/减运算电路。当控制信号 $M = 0$ 时，它将两个输入的4位二进制数相加，而 $M = 1$ 时它将两个输入的4位二进制数相减。两数相加的绝对值不大于15。允许附加必要的门电路。

解： $M = 0$ 时， $S_3S_2S_1S_0 = a_3a_2a_1a_0 + b_3b_2b_1b_0$

$M = 1$ 时， $S_3S_2S_1S_0 = a_3a_2a_1a_0 + [b_3b_2b_1b_0]_{\text{补}} = a_3a_2a_1a_0 + b_3'b_2'b_1'b_0' + 1$



输出的和是补码形式，
 S_F 是和的符号位，
 和为正数时 $S_F = 0$ ，
 和为负数是 $S_F = 1$ 。

Homework 2

7. 试用两个4位数值比较器组成三个数的判断电路。要求能够判别三个4位二进制数 $A(a_3a_2a_1a_0)$ 、 $B(b_3b_2b_1b_0)$ 、 $C(c_3c_2c_1c_0)$ 是否相等、A是否最大、A是否最小，并分别给出“三个数相等”、“A最大”、“A最小”的输出信号。可以附加必要的门电路。

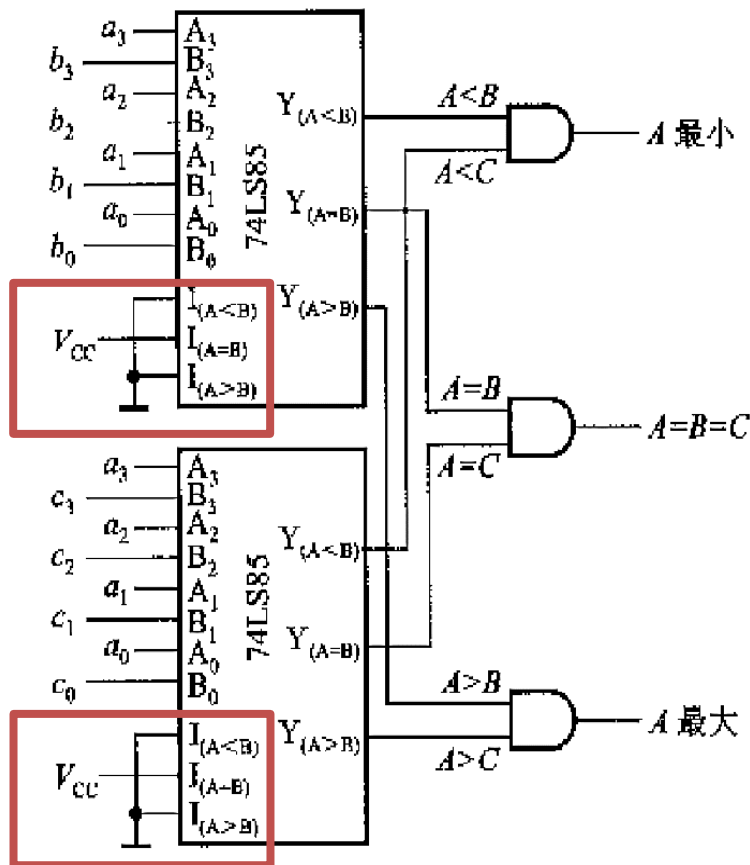
解：“A最大” = $(A > B) \cdot (A > C)$

“A最小” = $(A < B) \cdot (A < C)$

“三个数相等” = $(A = B) \cdot (A = C)$

Homework 2

7.



Homework 2

7.

误： 八位数值比较器

$$c_3c_2c_1c_0a_3a_2a_1a_0 \quad a_3a_2a_1a_0b_3b_2b_1b_0$$

$$c_3c_2c_1c_0a_3a_2a_1a_0 = a_3a_2a_1a_0b_3b_2b_1b_0 : (A = B = C)$$

$$c_3c_2c_1c_0a_3a_2a_1a_0 > a_3a_2a_1a_0b_3b_2b_1b_0 : C > A \& (A = B \mid A > B \mid A < B)$$

$$A > B \& A = C$$

$$c_3c_2c_1c_0a_3a_2a_1a_0 < a_3a_2a_1a_0b_3b_2b_1b_0 : C < A \& (A = B \mid A > B \mid A < B)$$

$$A < B \& A = C$$

Homework 2

8. 设计一个四比特位**8421BCD码**乘以5的电路，要求输出也为**8421BCD码**，写出设计过程，画出电路。

1)用**4线-16线译码器及门电路**实现此电路（只画出十位的**BCD码电路**即可）。

2)不用任何器件设计此电路，请写出设计过程，画出电路。

解：输入 $A_3A_2A_1A_0$ ，输出 $Y_7Y_6Y_5Y_4Y_3Y_2Y_1Y_0$ ：

$$Y_7Y_6Y_5Y_4 * 10 + Y_3Y_2Y_1Y_0 * 1 = A_3A_2A_1A_0 * 5$$

对右边进行化简，得到：

$$Y_7Y_6Y_5Y_4 * 10 + Y_3Y_2Y_1Y_0 * 1 = (A_3A_2A_1 * 2 + A_0) * 5 = A_3A_2A_1 * 10 + A_0 * 5$$

因为 $A_0 * 5$ 不会产生进位：

$$Y_7Y_6Y_5Y_4 = A_3A_2A_1$$

$$Y_3Y_2Y_1Y_0 = A_0 * 5$$

Homework 2

8.

输入	A3	A2	A1	A0	乘5	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0
0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	5	0	0	0	0	0	1	0	1
2	0	0	1	0	10	0	0	0	1	0	0	0	0
3	0	0	1	1	15	0	0	0	1	0	1	0	1
4	0	1	0	0	20	0	0	1	0	0	0	0	0
5	0	1	0	1	25	0	0	1	0	0	1	0	1
6	0	1	1	0	30	0	0	1	1	0	0	0	0
7	0	1	1	1	35	0	0	1	1	0	1	0	1
8	1	0	0	0	40	0	1	0	0	0	0	0	0
9	1	0	0	1	45	0	1	0	0	0	1	0	1

$$Y_7 = 0 \quad Y_6 = A_3 \quad Y_5 = A_2 \quad Y_4 = A_1$$

$$Y_3 = 0 \quad Y_2 = A_0 \quad Y_1 = 0 \quad Y_0 = A_0$$

Homework 2

$$8. \quad \begin{array}{llll} Y_7 = 0 & Y_6 = A_3 & Y_5 = A_2 & Y_4 = A_1 \\ Y_3 = 0 & Y_2 = A_0 & Y_1 = 0 & Y_0 = A_0 \end{array}$$

按照第一小题的题意，要用4线-16线译码器及门电路实现此电路（只画出十位的BCD码电路即可）。

利用4线-16线译码器可以得到 $A_3A_2A_1A_0$ 的全部最小项，**须注意除去无关项**。

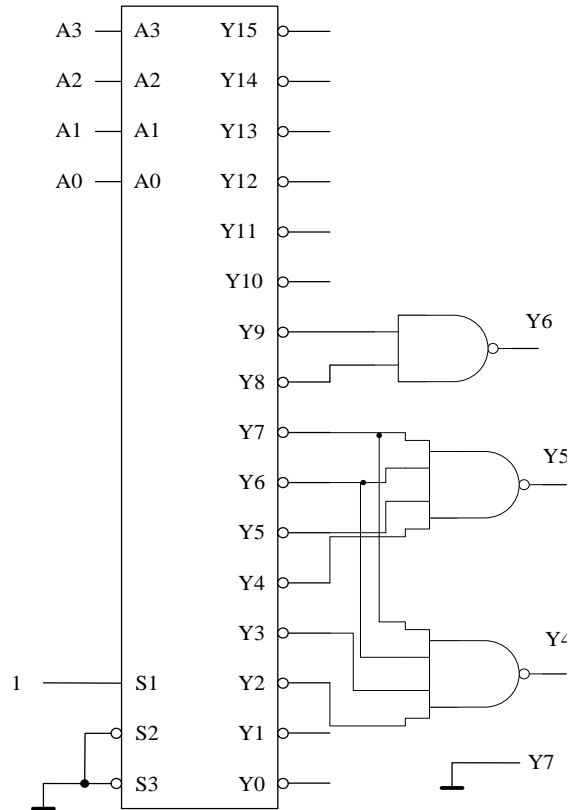
$$Y_6 = A_3 = m_8 + m_9 + \dots + m_{15} = m_8 + m_9 = \overline{\overline{m_8 \bullet m_9}}$$

$$Y_5 = A_2 = \sum m(4, 5, 6, 7, 12, 13, 14, 15) = \overline{\overline{m_4 \bullet m_5 \bullet m_6 \bullet m_7}}$$

$$Y_4 = A_1 = \sum m(2, 3, 6, 7, 10, 11, 14, 15) = \overline{\overline{m_2 \bullet m_3 \bullet m_6 \bullet m_7}}$$

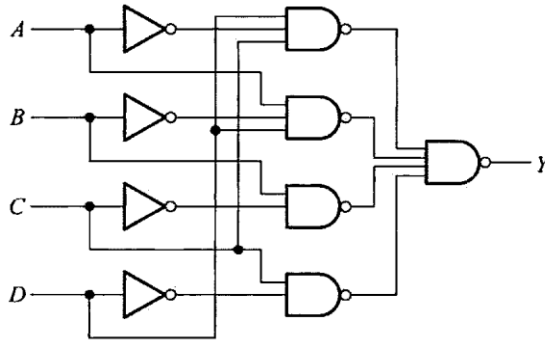
Homework 2

8.



Homework 2

9. 试分析下图电路中当A、B、C、D单独一个改变状态时是否存在竞争-冒险现象？如果存在竞争-冒险现象，那么都发生在其他变量为何种取值的情况下？



$$Y = A'CD + AB'D + BC' + CD'$$

Homework 2

9.

$$Y = A'CD + AB'D + BC' + CD'$$

(1) 当 $B = 0$, $C = D = 1$ 时, 输出逻辑式简化为 $Y = A + A'$

故A改变状态时存在竞争-冒险现象。

(2) 当 $A = 1$, $C = 0$, $D = 1$ 时, 输出逻辑式简化为 $Y = B + B'$

故B改变状态时存在竞争-冒险现象。

(3) 当 $A = 0$, $B = D = 1$, 或者 $B = 1$, $D = 0$ 时, 输出逻辑式简化为 $Y = C + C'$

故C改变状态时存在竞争-冒险现象。

(4) 当 $A = 1$, $B = 0$, $C = 1$, 或者 $A = 0$, $C = 1$ 时, 输出逻辑式简化为 $Y = D + D'$

故D改变状态时存在竞争-冒险现象。

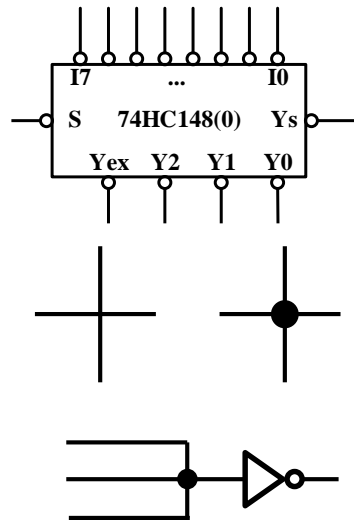
Homework 2

- 组合逻辑电路设计
- 译码器： $Y = \sum m_i$ ， 或/与非
- 数据选择器： $Y = D_0(A'_1A'_0) + D_1(A'_1A_0) + D_2(A_1A'_0) + D_3(A_1A_0)$
- 半加器/全加器
- 数值比较器
- 多片低位器件互联组成高位器件：
 - 3线-8线译码器 \rightarrow 4线-16线译码器
 - 4位数值比较器 \rightarrow 8位数值比较器

Homework 2

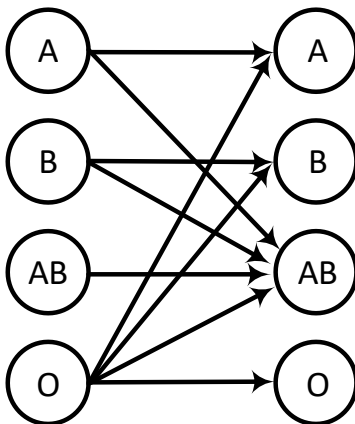
画图规范存在问题:

- 设计过程
- 逻辑框图内部标注: 不写/改写
- 输入输出信号
- 没有用规定的器件实现
- 低电平有效符号
- 交叉点
- 与门
- 高电平/接地
- 不画器件
- 输入输出编码



Homework 3

1. 人的血型有 A、B、AB、O 四种。输血时输血者的血型与受血者的血型必须符合图1中用箭头指示的授受关系。试用数据选择器设计一个逻辑电路，判断输血者与受血者的血型是否符合上述规定。（提示：可以用两个逻辑变量的四种取值表示输血者的血型，用另外两个逻辑变量的四种取值来表示受血者的血型）



Homework 3

1. 首先对血型编号，以MN表示输
者血型，PQ表示受血者血型，令
 $A=00$ ， $B=01$ ， $AB=10$ ， $O=11$ ，Y
表示判断结果， $Y=0$ 表示不符合要
求， $Y=1$ 表示符合要求。

根据授受关系可列出真值表：

根据真值表，列出逻辑表达式：

$$Y = M'N'P'Q' + M'N'PQ' + M'NP'Q + \\ M'NPQ + MN'PQ' + MNP'Q' + \\ MNP'Q + MNPQ' + MNPQ$$

M	N	P	Q	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

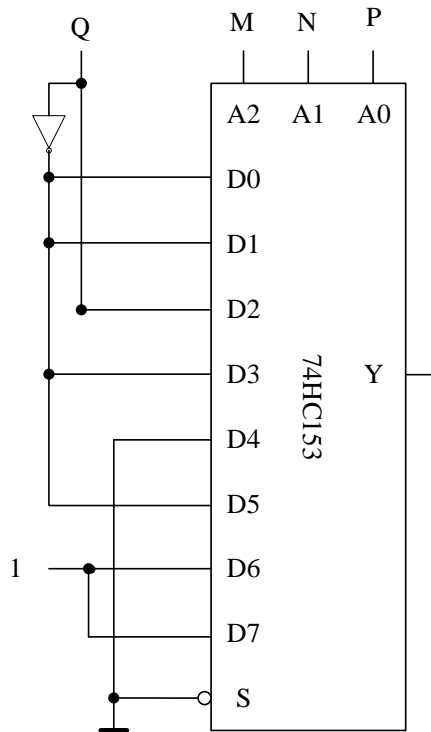
Homework 3

1. 首先对血型编号，以MN表示输血者血型，PQ表示受血者血型，令
 $A=00$ ， $B=01$ ， $AB=10$ ， $O=11$ ， Y
 表示判断结果， $Y=0$ 表示不符合要
 求， $Y=1$ 表示符合要求。

根据授受关系可列出真值表：

根据真值表，列出逻辑表达式：

$$Y = M'N'P'Q' + M'N'PQ' + M'NP'Q' + M'NPQ' + MN'PQ' + MNP'Q' + MNPQ$$



Homework 3

2. BCH(binary coded hexary)数字运算系统就是一种有限域运算系统。在模为6的BCH数字运算系统中，0到5分别采用000-001-010-011-100-101表示。模6运算域的加减法，与我们实数域加减法的区别就是**输入在0到5范围内**，且计算结果要对6取模。如 $3+4 = (7 \bmod 6) = 1$ 。现要设计一个数字子系统，可以完成BCH码的加减计数功能，控制端为MODE。当MODE=0时，BCH数字系统为当前输入数字加1再模6；当MODE=1时，BCH数字系统为当前输入数字减1再模6。框图如下图所示：A,B,C,MODE为输入，X,Y,Z为BCH输出。



Homework 3

2. (1) 请列出输入输出真值表。（注意考虑无关项）

输入				输出		
MODE	A	B	C	X	Y	Z
0	0	0	0	0	0	1
0	0	0	1	0	1	0
0	0	1	0	0	1	1
0	0	1	1	1	0	0
0	1	0	0	1	0	1
0	1	0	1	0	0	0
1	0	0	0	1	0	1
1	0	0	1	0	0	0
1	0	1	0	0	0	1
1	0	1	1	0	1	0
1	1	0	0	0	1	1
1	1	0	1	1	0	0

Homework 3

2. (2) 根据真值表，利用卡诺图，写出X,Y,Z的最简与或式。（画出卡诺图，并给出化简结果。）

BC MA	00	01	11	10
00	0	1	0	1
01	0	0	X	X
11	1	0	X	X
10	0	0	1	0

BC MA	00	01	11	10
00	0	0	1	0
01	1	0	X	X
11	0	1	X	X
10	1	0	0	0

BC MA	00	01	11	10
00	1	0	0	1
01	1	0	X	X
11	1	0	X	X
10	1	0	0	1

$$X = \text{MODE}'(BC + AC') + \text{MODE}(AC + A'B'C')$$

$$Y = \text{MODE}(BC + AC') + \text{MODE}'(BC' + A'B'C)$$

$$Z = C'$$

Homework 3

3. 一个4输入优先编码器真值表如表所示，其中D0的优先级最低，D3的优先级最高。X表示无关条件，V表示有效位指示符。

输入				输出		
D ₀	D ₁	D ₂	D ₃	x	y	V
0	0	0	0	X	X	0
1	0	0	0	0	0	1
X	1	0	0	0	1	1
X	X	1	0	1	0	1
X	X	X	1	1	1	1

(1) 优先编码器输出表达式如下：

$$x = D_2 + D_3 \quad y = \overline{D_1 D_2} + D_3 \quad V = D_0 + D_1 + D_2 + D_3$$

写出这个 4 输入优先编码器的 Verilog HDL 行为描述，输入 D 用 4 位矢量，always 模块中用 if-else 描述，假定输入 D[3]具有最高优先级。

Homework 3

3. (1) 优先编码器输出表达式如下：

$$x = D_2 + D_3 \quad y = \overline{D_1 D_2} + D_3 \quad V = D_0 + D_1 + D_2 + D_3$$

写出这个 4 输入优先编码器的 Verilog HDL 行为描述，输入 D 用 4 位矢量，always 模块中用 if-else 描述，假定输入 D[3] 具有最高优先级。

```
1  module encoder_behavior(x, y, V, D);
2      input[3:0] D;
3      output x, y, V;
4      reg x, y, V;
5      always @ (D)
6          begin
7              if (D[3]) begin x = 1'b1; y = 1'b1; V = 1'b1; end
8              else if (D[2]) begin x = 1'b1; y = 1'b0; V = 1'b1; end
9              else if (D[1]) begin x = 1'b0; y = 1'b1; V = 1'b1; end
10             else if (D[0]) begin x = 1'b0; y = 1'b0; V = 1'b1; end
11             else          begin x = 1'b0; y = 1'b0; V = 1'b0; end
12         end
13     endmodule
14
```

注：用always块建立组合逻辑模型时，用阻塞赋值。

Homework 3

3.（2）采用 Verilog HDL 语言仿真验证题目2的 4 输入优先编码器的行为级模型，给出仿真结果波形（需包含输入信号所有可能的值）。波形注意要截完整，不要遗漏信号名。

解：

本题主要考察模块的调用，以及测试文件的写法，由于只要求验证行为级模型，所以只需要调用行为级模型，并且赋予输入信号所有有可能的值，观察输出就可以了。当然门级模型一同验证比对也是可以的。要产生输入信号所有有可能的值，可以采用真值表的方法产生，也可以采用行为描述（定义变量不断加1）。

Homework 3

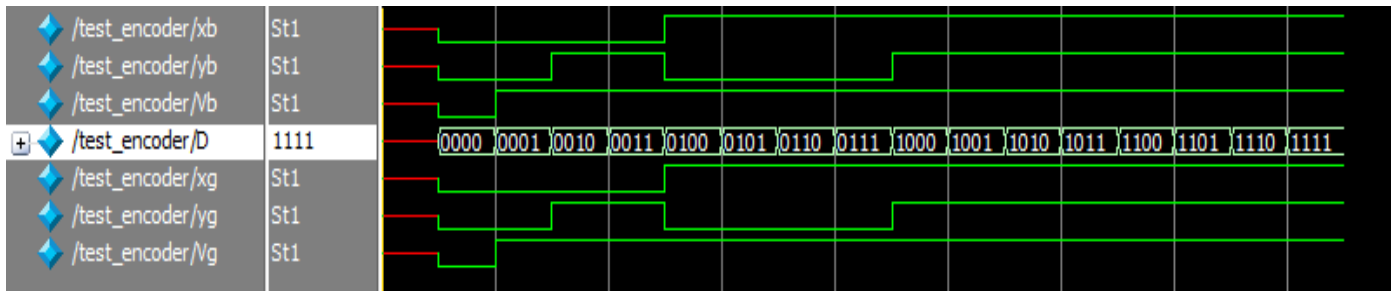
3. (2)

```
1  `timescale 1ns/1ns
2  `include "encoder_behavior.v"
3  `include "encoder_gate.v"
4  module test_encoder;
5      wire xb, yb, Vb;
6      wire xg, yg, Vg;
7      reg[3:0] D;
8      encoder_behavior encoder1(xb, yb, Vb, D);
9      encoder_gate encoder2(xg, yg, Vg, D);
10     initial
11         begin
12             #10 D=4'b0000;|
13             #10 D=4'b0001;
14             #10 D=4'b0010;
15             #10 D=4'b0011;
16             #10 D=4'b0100;
17             #10 D=4'b0101;
18             #10 D=4'b0110;
19             #10 D=4'b0111;
20             #10 D=4'b1000;
21             #10 D=4'b1001;
22             #10 D=4'b1010;
23             #10 D=4'b1011;
24             #10 D=4'b1100;
25             #10 D=4'b1101;
26             #10 D=4'b1110;
27             #10 D=4'b1111;
28             #10 $finish;
29         end
30     endmodule
```

PPT lect06 p34-p40

Homework 3

3. (2)



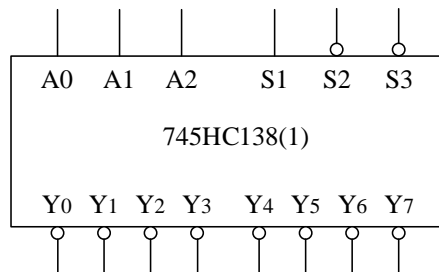
Quiz 1

设计一个多功能组合逻辑电路， M_1M_0 为功能控制信号， ab 为输入逻辑变量， F 为电路输出。功能如右表所示（例如：当 $M_1M_0 = 00$ 时，实现 $F = a \cdot b$ 功能，当 $M_1M_0 = 10$ 时，实现 $F = a \odot b$ 功能等）。要求：用一片74HC138和最少的与非门来实现该逻辑功能。要求写出逻辑表达式并画出电路图。

74HC138功能表

输入					输出							
S_1	$S_2'+S_1'$	A_2	A_1	A_0	Y_7'	Y_6'	Y_5'	Y_4'	Y_3'	Y_2'	Y_1'	Y_0'
0	X	X	X	X	1	1	1	1	1	1	1	1
X	1	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	1	1	1	1	1	1	1	0
1	0	0	0	1	1	1	1	1	1	1	0	1
1	0	0	1	0	1	1	1	1	1	0	1	1
1	0	0	1	1	1	1	1	1	0	1	1	1
1	0	1	0	0	1	1	1	0	1	1	1	1
1	0	1	0	1	1	1	0	1	1	1	1	1
1	0	1	1	0	1	0	1	1	1	1	1	1
1	0	1	1	1	0	1	1	1	1	1	1	1

M_1M_0	F
0 0	$a \cdot b$
0 1	$a \oplus b$
1 0	$a \odot b$
1 1	$a + b$



Quiz 1

F

$$= \overline{M_1 M_0} ab + \overline{M_1} M_0 \bar{a} b + \overline{M_1} M_0 a \bar{b} + M_1 \overline{M_0} ab + M_1 \overline{M_0} \bar{a} \bar{b} + M_1 M_0 ab + M_1 M_0 a \bar{b} + M_1 M_0 \bar{a} b$$

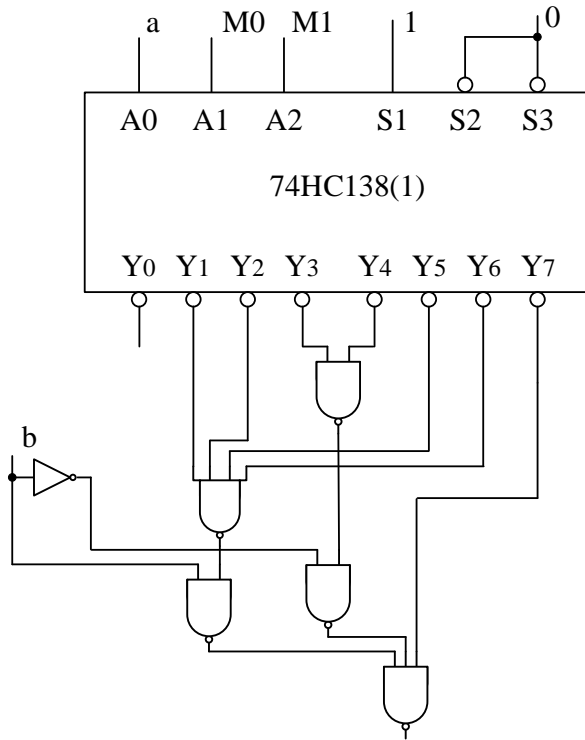
$$= m_0 \cdot 0 + m_1 \cdot b + m_2 \cdot b + m_3 \cdot b' + m_4 \cdot b' + m_5 \cdot b + m_6 \cdot b + m_7 \cdot 1$$

$$= (m_1 + m_2 + m_5 + m_6) \cdot b + (m_3 + m_4) \cdot b' + m_7$$

$$= \overline{m'_1 \cdot m'_2 \cdot m'_5 \cdot m'_6} \cdot b + \overline{m'_3 \cdot m'_4} \cdot b' + m_7$$

$$= \overline{\overline{m'_1 \cdot m'_2 \cdot m'_5 \cdot m'_6} \cdot b \cdot \overline{m'_3 \cdot m'_4} \cdot b' \cdot \overline{m_7}}$$

Quiz 1



最少的与非门理解为：充分利用所给的芯片，不必要将所有的地址位接法全列出来比较

习题讲解

Hw1 – Hw3、Quiz 1

王彤
wangt_@zju.edu.cn