

浙江大学 2007 - 2008 学年夏季学期

《数字电路》课程期末考试试卷

课程号: 11120670; 考试试卷: ☒ A 卷、B 卷 (请在选定项上打 \checkmark)

开课学院: 信息学院, 考试形式: ☒ 闭、开卷 (请在选定项上打 \checkmark), 允许带 计算器 入场

考试时间: 2008 年 6 月 24 日, 所需时间: 120 分钟

考生姓名: _____ 学号: _____ 专业: _____

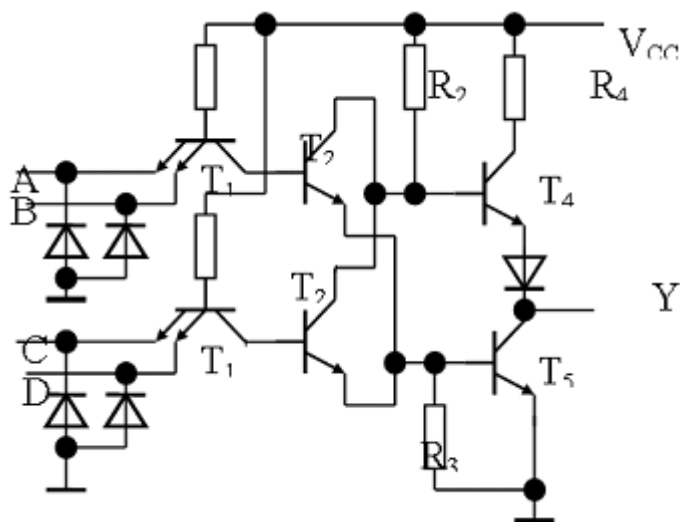
题序	一	二	三	四	五	六	七	八	九	总分
得分										
评卷人										

一、(10 分) 化简下列函数为最简与或形式

1. $F = AD + A\bar{D} + AB + \bar{A}C + BD + ACEF + \bar{B}EF + DEFG$

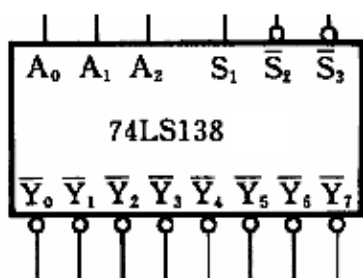
2. $F = \overline{(A \oplus C) \bullet \bar{B} (A\bar{C}\bar{D} + \bar{A}C\bar{D})}$

二、(15 分) 根据图示，回答以下问题



- (1) 该电路是什么门电路，写出输入输出的逻辑表达式；
- (2) 已知：输入高电平电流 $I_{IH}=40\mu A$ ；输入低电平电流 $I_{IL}=1.6mA$ ；
最大高电平输出电流 $I_{OH} = 0.4mA$ ；最大低电平输出电流 $I_{OL} = 16mA$ ，试求：此门电路的扇出系数。
- (3) 计算 (2) 中已知条件的噪声容限： NM_L 和 NM_H
- (4) 假如使得 Y 输出具有三态特性，应该如何改造电路

三、(10 分) 用 3 线—8 线译码器 74LS138 和与非门实现逻辑函数。



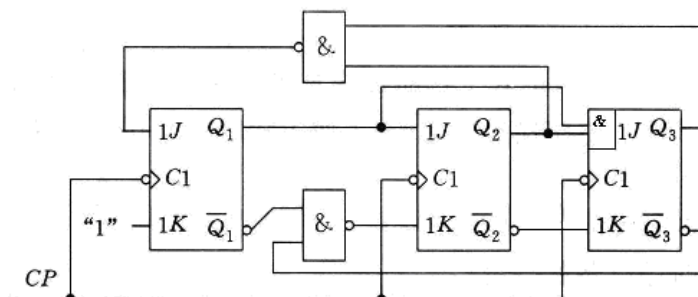
$$Y_1 = \overline{A}\overline{B} + AC$$

$$Y_2 = \overline{A}\overline{B}C + BC + \overline{A}B$$

$$Y_3 = \overline{A}BC + A\overline{C}$$

四、(15 分) 分析图中所示的同步时序电路，要求：

- (1) 写出驱动方程，输出方程，状态转换方程；
- (2) 推导时序电路的状态转换表、画出状态转换图。
- (3) 在输入信号时钟 CP 作用下 Q_3 、 Q_2 和 Q_1 的波形
- (4) 检查能否自启动？

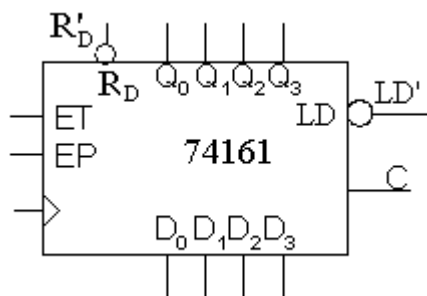


五、(15 分) 试用触发器设计序列信号检测器，检测一个 101 的序列，当连续接受到此序列，电路输出 1，否则输出为 0，要求：①画出状态转换图； ②写出次态卡诺图、驱动方程和输出方程；③画出逻辑电路图。

六、(10 分) 要求用 74LS161 设计一个 9 进制计数器。

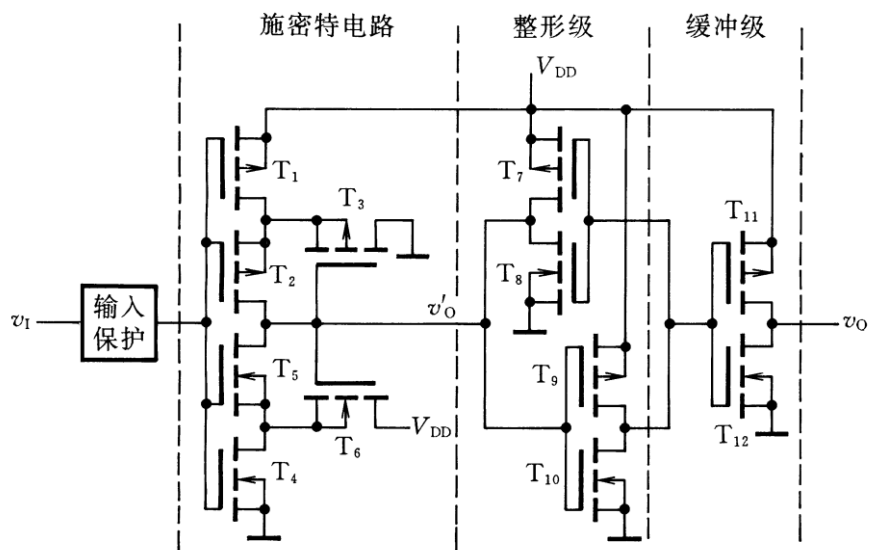
(1) 同步预置法，已知 $S_0=0001$ 。

(2) 异步清零法。

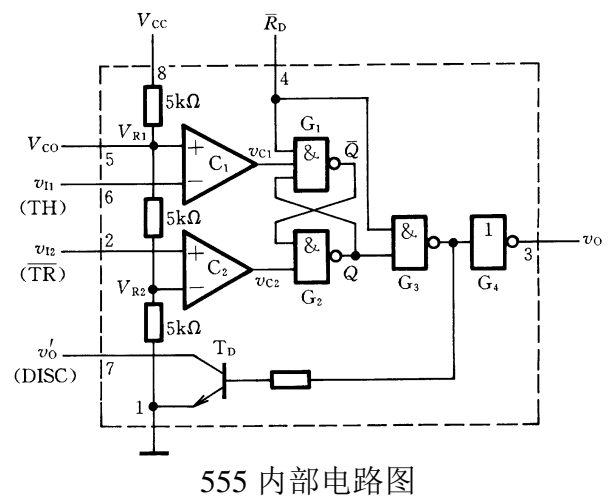
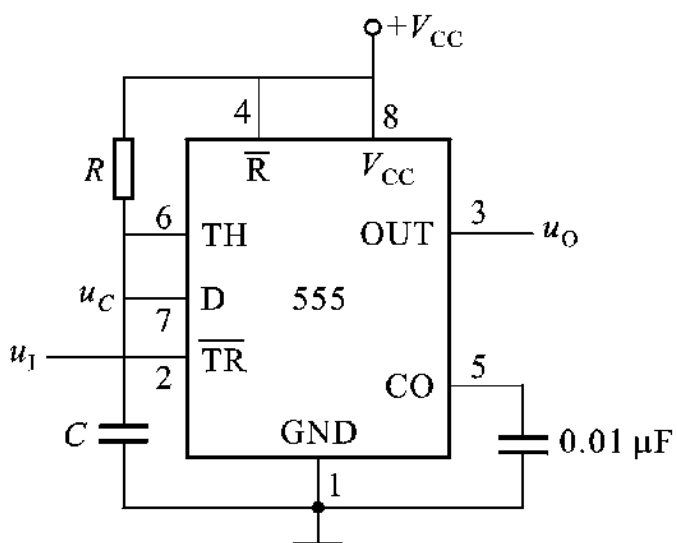


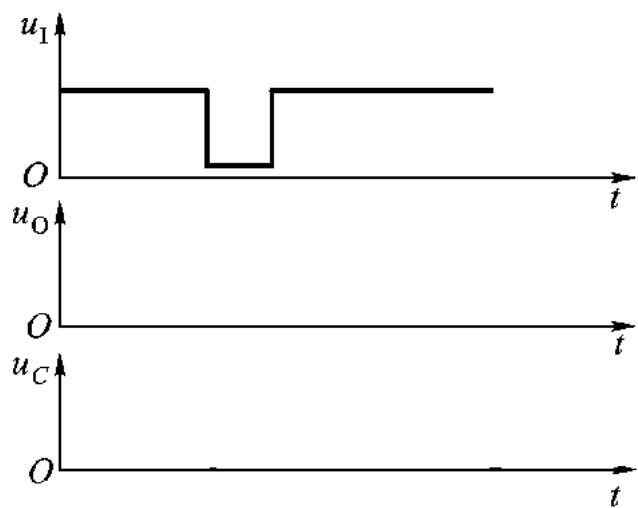
七、脉冲电路（共 15 分）

1、有 CMOS 电路构成的施密特触发器如下图所示，已知： $V_{DD}=10V$ ， $V_{TN}=|V_{TP}| = V_{DD} / 2$ ，不必考虑 CMOS 电路的输入保护对电平的影响。要求：(1) 试分析此触发器的工作原理；(2) 画出此触发器的电压传输特性波形；。(7 分)



2、下图为 555 组成的单稳态触发器电路，当 v_i 有负脉冲输入，画出 V_C 和 V_O 的波形。（8 分）





八、(10 分) 采用 Verilog HDL 语言描述下面状态图所示的时序逻辑电路，其中 CLOCK, RESET, A 为输入信号，F, G 为输出信号。

