

《数字系统设计》

习题

第 1 章逻辑函数

题1.1 完成下列数制或代码转换

(1) $(172)_{10} = (?)_2$

(2) $(0.8123)_{10} = (?)_2$

(3) $(10101101.0101)_2 = (?)_{10}$

(4) $(3625)_{10} = (?)_8 = (?)_{16}$

(5) $(0.172)_8 = (?)_{16} = (?)_2$

(6) $(4CA)_{16} = (?)_2 = (?)_{10}$

题1.2 完成下列数制和代码之间的转换

(1) $(468.32)_{10} = (?)_{8421BCD} = (?)_{\text{余3码}}$

(2) $(10010011.1001)_{8421BCD} = (?)_2$

题1.3 求下列函数的对偶式和反函数式

(1) $Z_1 = (\overline{B} + \overline{A + C + D})(A + B + \overline{CD})$

(2) $Z_2 = A + B + \overline{CD} + \overline{ADBC}$

题1.4 试证明下列“异或”等式成立

(1) $\overline{A \oplus B \oplus C} = \overline{A \oplus B} \oplus C = A \oplus B \oplus \overline{C}$

(2) $(A \oplus B) \ominus (AB) = \overline{AB}$

题1.5 用代数法将下列函数化简成为最简表达式

(1) $\overline{\overline{A + B + A + B} + \overline{ABAB}}$

(2) $(\overline{A} + \overline{B} + \overline{C})(B + \overline{BC} + \overline{C})(\overline{D} + DE + \overline{E})$

(3) $AD + \overline{AD} + AB + \overline{AC} + BD + \overline{ABEF} + \overline{BEF}$

(4) $\overline{(\overline{A} + \overline{B})D} + (\overline{AB} + BD)\overline{C} + \overline{ACBD} + \overline{D}$

(5) $\overline{ABE} + \overline{ABDE} + \overline{ABCE} + \overline{ABDE} + \overline{ABCDE} + \overline{ABCDEF}$

$$(6) \quad ABC\bar{D} + A(\bar{B} + \bar{C})(\bar{B} + \bar{D}) + \overline{A + C + D}$$

$$(7) \quad \overline{D(\bar{A} + B)(\bar{B} + C + \bar{D})} + \bar{C}E + ACD + A\bar{E}D + ABC\bar{D}EF$$

$$(8) \quad (\bar{A} + B + C + D)(A + \bar{B})(A + B + D)(\bar{B} + C)(\bar{B} + \bar{C} + \bar{D})$$

题1.6 用卡诺图法将下列函数化简成为最简表达式

$$(1) \quad Y(A, B) = \bar{A}\bar{B} + \bar{A}B + AB$$

$$(2) \quad Y(A, B, C) = \overline{ABC} + A + B + C$$

$$(3) \quad Y(A, B, C, D) = \overline{\bar{A}D(A + \bar{D}) + ABC + CD + (B + C) + ABC}$$

$$(4) \quad Y(A, B, C, D) = \bar{A}\bar{B}D + \bar{C}D(\bar{B}D + A\bar{C}\bar{D}) + \bar{A}D + A\bar{C}\bar{D}$$

$$(5) \quad Y(A, B, C, D) = \Sigma m(0, 2, 5, 6, 7, 8, 10, 11, 14, 15)$$

$$(6) \quad Y(A, B, C, D) = \Sigma m(1, 2, 3, 5, 6, 7, 8, 9, 10, 11, 12, 13)$$

$$(7) \quad Y(A, B, C, D) = \bar{A}\bar{C} + \bar{A}C + \bar{B}\bar{C} + \bar{B}C$$

$$(8) \quad Y(A, B, C, D) = ABC + ABD + A\bar{C}\bar{D} + \bar{C}\bar{D} + \bar{A}\bar{B}C + \bar{A}\bar{C}\bar{D}$$

$$(9) \quad Y(A, B, C, D) = \Sigma m(0, 1, 2, 3, 4, 6, 8, 9, 10, 11, 14)$$

$$(10) \quad Y(A, B, C, D) = \overline{(\bar{A} + \bar{B})D} + (\bar{A}\bar{B} + BD)\bar{C} + \bar{A}\bar{C}BD + \bar{D}$$

题1.7 用卡诺图法将下列具有约束条件的逻辑函数化简成为最简“与-或”表达式

$$(1) \quad Z(A, B, C, D) = \Sigma m(1, 5, 6, 7, 9) + \Sigma d(10, 11, 12, 13, 14, 15)$$

$$(2) \quad Z(A, B, C, D) = \Sigma m(0, 1, 2, 5, 6) + \Sigma d(4, 11)$$

$$(3) \quad Z(A, B, C, D) = \Sigma m(0, 1, 2, 4, 5, 6, 12) + \Sigma d(3, 8, 10, 11, 14)$$

$$(4) \quad Z(A, B, C, D) = \bar{B}\bar{C}D + \bar{A}B\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D, \text{约束条件为 } C \oplus D = 0$$

题1.8 已知逻辑函数X和Y:

$$X(A, B, C, D) = ABC\bar{C} + \bar{C}D + \bar{A}C\bar{D} + \bar{B}C\bar{D}$$

$$Y(A, B, C, D) = (A + B + \bar{C} + D)(\bar{B} + \bar{C} + D)(\bar{A} + C + \bar{D})$$

用卡诺图法求函数 $Z = XY$ 的最简“与-或”表达式。

题1.9 已知逻辑函数 $Y(A,B,C,D) = \overline{A}B\overline{D} + \overline{B}\overline{C}D + \overline{A}\overline{B}D$ 的简化表达式为

$$Z(A,B,C,D) = \overline{B}D + B\overline{D}, \text{ 试问它至少有哪些无关项?}$$

题1.10 简化并画出实现下列逻辑函数的逻辑电路。

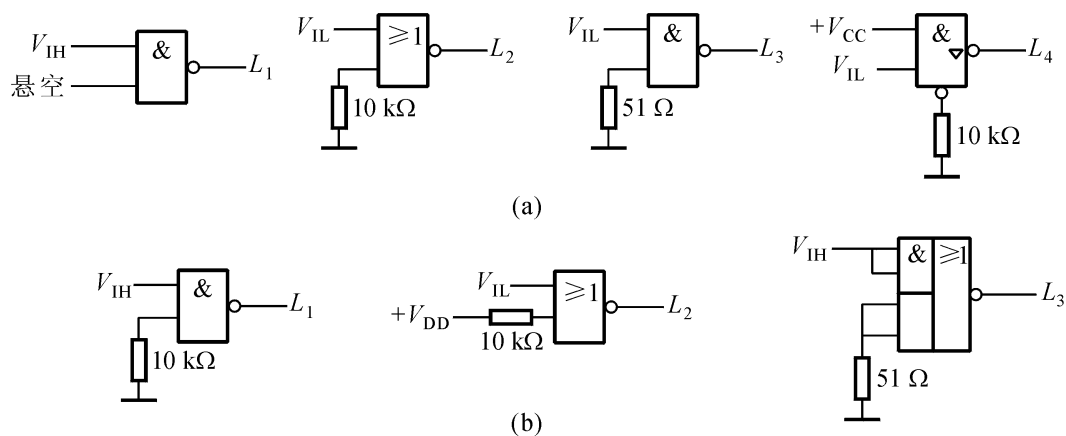
(1) 用最少量的“与非”门实现 $Y = (A + B + C)(\overline{A} + \overline{B} + \overline{C})$

(2) 用最少量的“或非”门实现函数 $Y = \overline{A} + B\overline{C} + \overline{B}C$,

(3) 用最少量的“与-或-非”门实现函数 $Y = \overline{A}B + \overline{B}C + C\overline{D} + A\overline{D}$

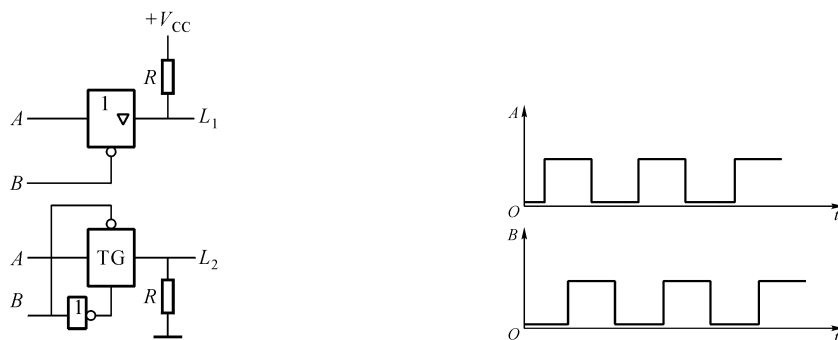
第2章 集成逻辑门

题2.1 指出图题2.1所示电路的输出逻辑电平是高电平、低电平还是高阻态。已知图(a)中的门电路都是74系列的TTL门电路，图(b)中的门电路为CC4000系列的CMOS门电路。



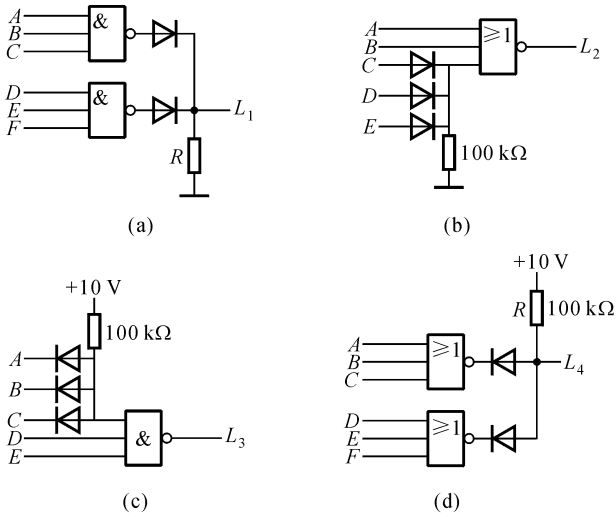
图题2.1

题2.2 试画出图题2.2三态门和TG门的输出电压波形。其中A、B电压波形如图题2.2右图所示。



图题 2.2

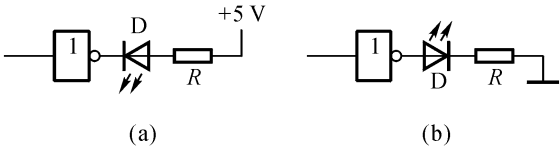
题2.3 图题2.3所示电路为CMOS门电路，试分析各电路输出逻辑功能，并写出各电路的输出逻辑函数式。设二极管正向导电时的压降为0.7V。



图题2.3

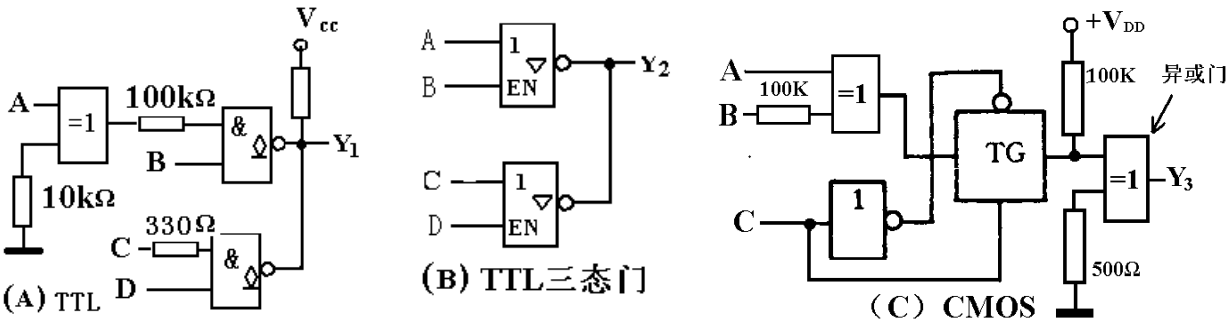
题2.4 试用四个CMOS传输门(TG门)和一个反相器(“非”门)设计一双刀双掷模拟开关。

题2.5 甲、乙两位同学，用一个“与非”门(已知“与非”门的 $I_{OLmax}=16\text{mA}$, $I_{OHmax}=0.4\text{mA}$) 驱动发光二极管(设二极管发光时工作电流为10mA)，甲接线如图题2.5(a)，乙接线如图题2.5(b)。试问谁的接线正确？



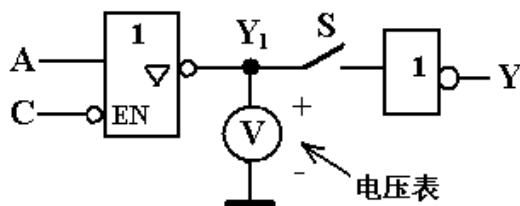
图题2.5

题 2.6 分析下图所示的电路，哪些能正常工作，写出输出信号的的表达式或值？哪些不能，说明为什么？其中 (A)、(B) 为 TTL 逻辑门，(C) 为 CMOS 逻辑门。



题 2. 7 在图 2. 7 中，三态门、非门均为 TTL，S 为开关，电压表内阻为 $200\text{K}\Omega$ ，求下列情况下，电压表读数 Y_1 =?

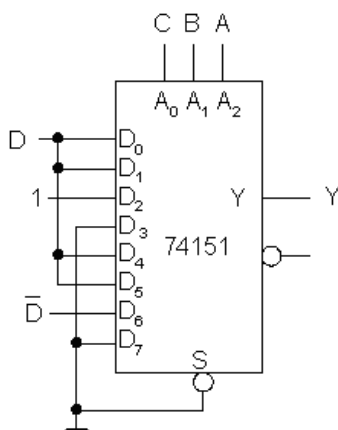
- a) $A=0.3\text{V}$, $C=0.3\text{V}$, S 断开
- b) $A=0.3\text{V}$, $C=0.3\text{V}$, S 接通
- c) $A=3.6\text{V}$, $C=0.3\text{V}$, S 接通
- d) $A=3.6\text{V}$, $C=0.3\text{V}$, S 断开
- e) $A=3.6\text{V}$, $C=3.6\text{V}$, S 接通
- f) $A=0.3\text{V}$, $C=3.6\text{V}$, S 断开



图题 2. 7

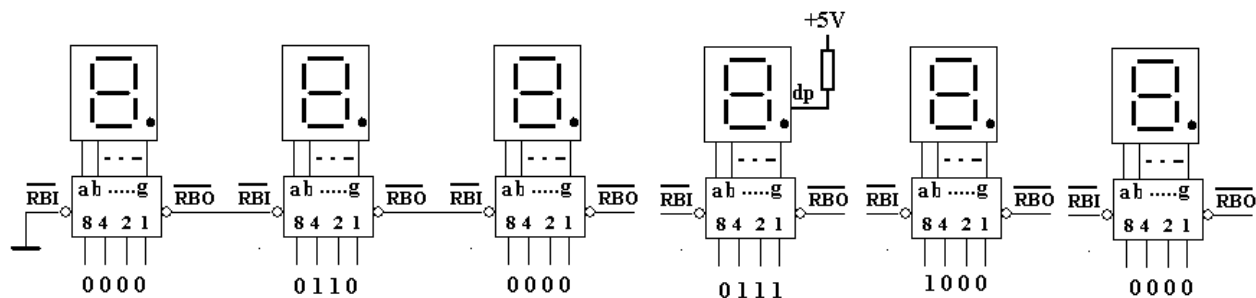
第 3 章 组合逻辑电路

题 3. 1 分析图 3. 1 所示的逻辑电路，其中 74151 为 8 选 1 数据选择器。写出输出函数 Y 的逻辑表达式并化简。



图题3. 1

题3. 2图3. 2中为74LS48组成的6位数码显示系统，根据图中所示的输入，说出显示器中显示的内容（图中未接的管脚均为悬空）。



图题3.2

题3.3 试用74LS138型3/8译码器设计一个地址译码器，地址译码器的地址范围为00-3F。(可适当加其它逻辑门电路)。

题 3.4 用一个 3 线/8 线译码器 74138 和尽量少的门电路实现：

$$Y = \overline{AB} + BD + \overline{BC} + \overline{AB} + \overline{BC}$$

题3.5 设X和Y分别为二位二进制数，试用最少量的半加器和与门实现 $Z = X \cdot Y$ 运算。

题3.6 试设计一个一位二进制数的全减器，设A为被减数，B为减数， J_0 为低位来的借位信号，D为差数以及 J_1 为向高位的借位信号，请用一个全加器和尽量少的门电路实现该全减器。

题3.7 试用一片八选一数据选择器74LS151实现逻辑函数。

$$(1) Z(A, B, C, D) = \overline{A}BCD + ABC\overline{D} + ACD$$

$$(2) Z(A, B, C) = \overline{A}\overline{B}\overline{C} + \overline{A}BC + \overline{A}\overline{B}C$$

$$(3) Z(A, B, C) = A \oplus (B \oplus C)$$

题 3.8 用一个 8 选 1 数据选择器 74151 和非门设计下列逻辑函数。(注意：只能用 74151 和非门，不允许用其它器件)

$$Y = E + (A + B + \overline{C})(\overline{A} + C + BF)(\overline{B} + \overline{C} + \overline{A} \overline{D})(A + C + \overline{B} \overline{F})$$

题3.9 用加法器和适量门电路实现 $Y = 3X + 1$ ，其中X为三位二进制数。要求：1、电路尽量简单，加法器个数不限。2、写出设计过程。

题3.10 设A、B为四位二进制数，试用1片四位二进制加法器74283实现函数 $Y = 4A + B$ 。

题3.11 用一个四位加法器74LS238和少量门电路设计代码转换电路，输入为2421BCD码，输出为8421BCD码。

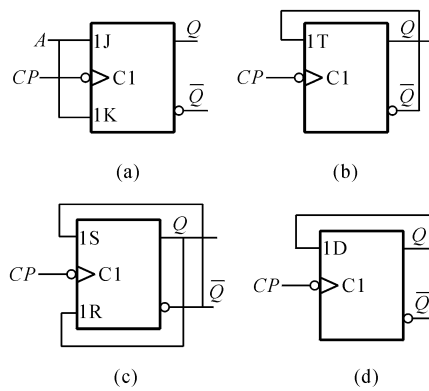
题3.12 P($P_2P_1P_0$)、Q($Q_2Q_1Q_0$) 为二个三位无符号二进制数，试用一个3线-8线译码器74138和一个8选1数据选择器74151和尽可能少的门电路设计如下组合电路：当 $P=Q$ 时，电路输出

$Y=1$ ；否则， $Y=0$ 。

题 3.13 自选组合模块电路和门电路实现下面组合逻辑电路。电路的输入为两个 4 位二进制数 A ($A_3A_2A_1A_0$)、 B ($B_3B_2B_1B_0$) 和一个控制信号 M ；电路的输出为 4 位二进制数 Y ($Y_3Y_2Y_1Y_0$)。当 $M=1$ 时， $Y=\text{MAX}(A,B)$ ；而当 $M=0$ 时，则 $Y=\text{MIN}(A,B)$ 。另外，若 $A=B$ 时，可输出 A 和 B 中任何一个。

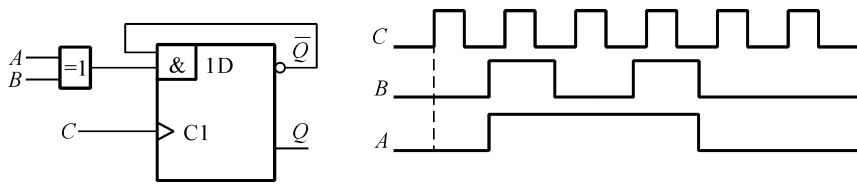
第 4 章 集成触发器

题4.1 电路如图题4.1所示。能实现 $Q^{n+1} = \overline{Q^n}$ 的电路是哪一种电路。



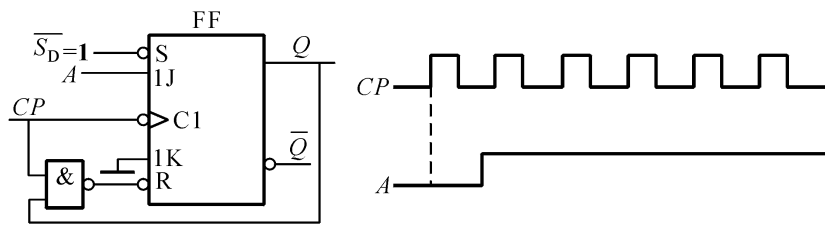
图题4.1

题 4.2 根据图题 2.4.5 所示电路及 A 、 B 、 C 波形，画出 Q 的波形。（设触发器初态为 0）。



图题4.2

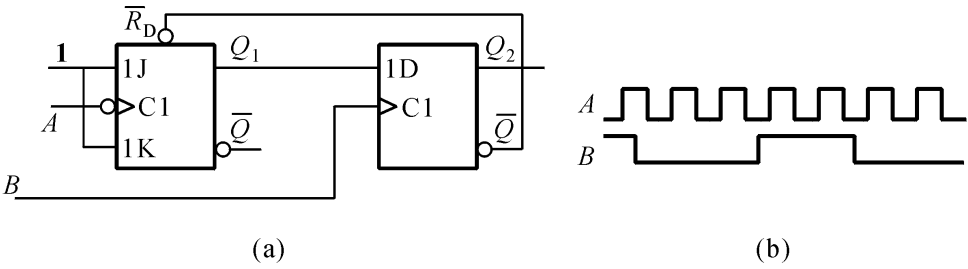
题4.3 由JK触发器组成的电路及其CP、J端输入波形如图题4.3 所示，试画出Q端的波形（设初态为0）。



图题4.3

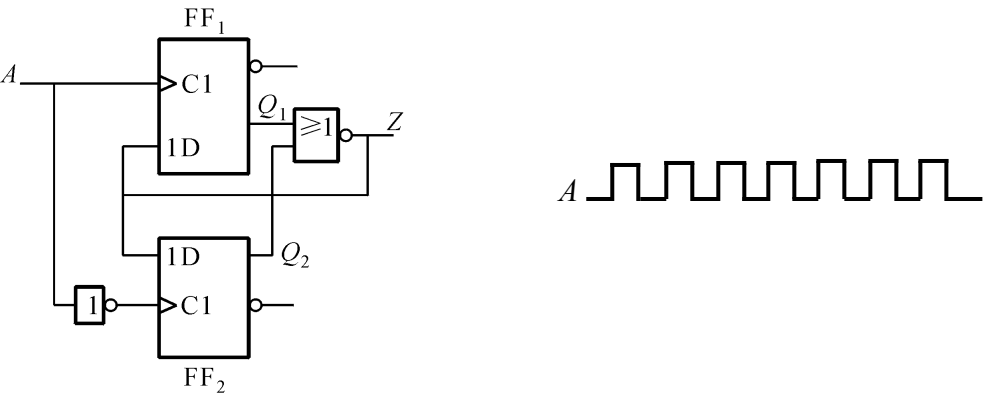
题4.4 由维阻D触发器和边沿JK触发器组成的电路如图题4.4(a)所示，各输入端波形如图(b)。

当各触发器的初态为0时，试画出 Q_1 和 Q_2 端的波形，并说明此电路的功能。



图题4.4

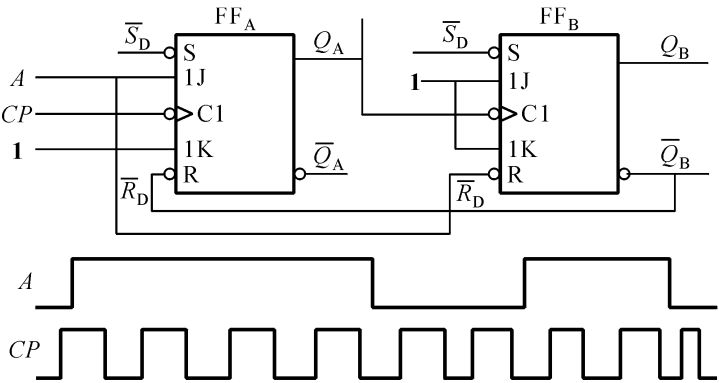
题4.5 图题4.5所示电路为由CMOS D触发器构成的三分之二分频 电路(即在A端每输入三个脉冲，在Z端就输出二个脉冲)，试画出电路在CP作用下， Q_1 、 Q_2 、Z各点波形。设初态 $Q_1=Q_2=0$ 。



图题4.5

题4.6 试用一个CMOS D触发器，一个“与”门及二个“或非”门构成 一个JK触发器。

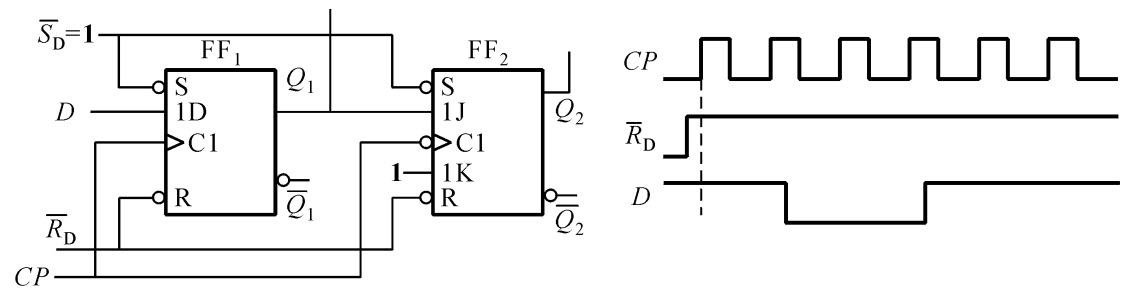
题4.7 由负边沿JK触发器组成的电路及CP、A的波形如图题4.7所示，试画出 Q_A 和 Q_B 的波形。设 Q_A 和 Q_B 的初始状态为0。



图题4.7

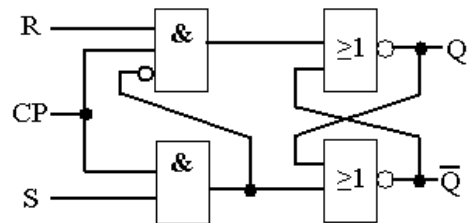
题4.8 由维阻D触发器和负边沿JK触发器构成的电路及CP、 $\overline{R_D}$ 和 D 的波形如图题4.8所示，试

画出 Q_1 和 Q_2 的波形。



图题4.8

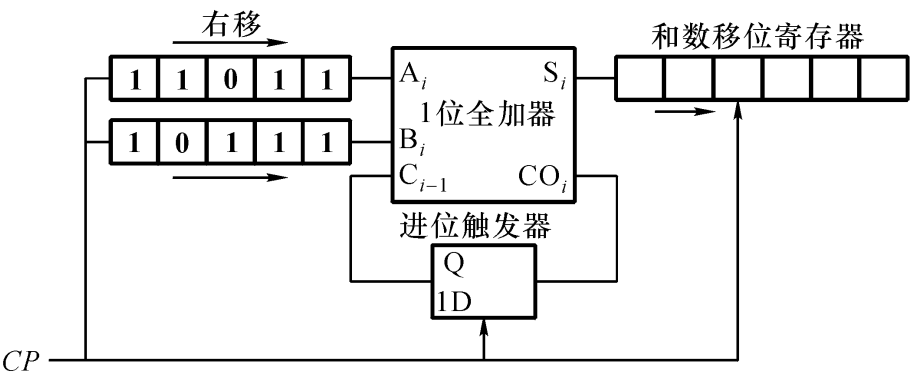
题 4.9 推导图 4.9 所示 RS 触发器的特征方程。



图题 4.9

第 5 章 时序逻辑电路

题5.1 图题5.1是一个实现串行加法的电路图，被加数11011及加数10111已分别存入二个五位被加数和加数移位寄存器中。试分析并画出在六个时钟脉冲作用下全加器输出 S_i 端、进位触发器Q端以及和数移位寄存器中左边第一位寄存单元的输出波形。

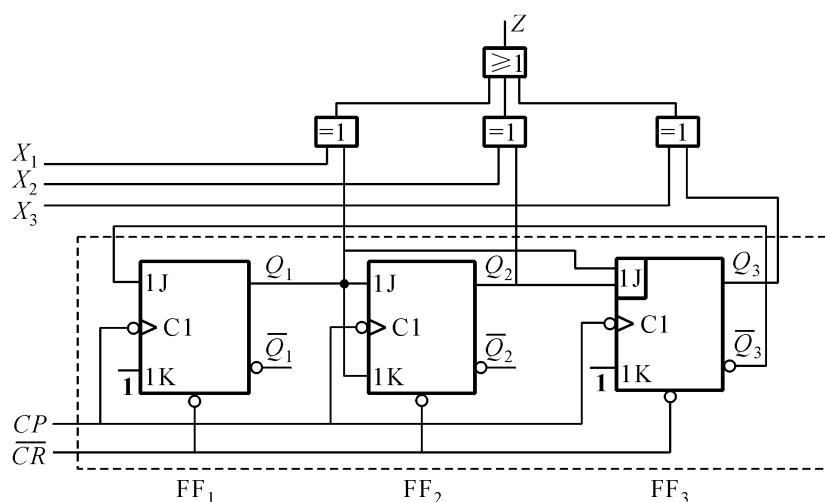


图题5.1

题5.2 TTL电路组成的同步时序电路如图题5.2所示。

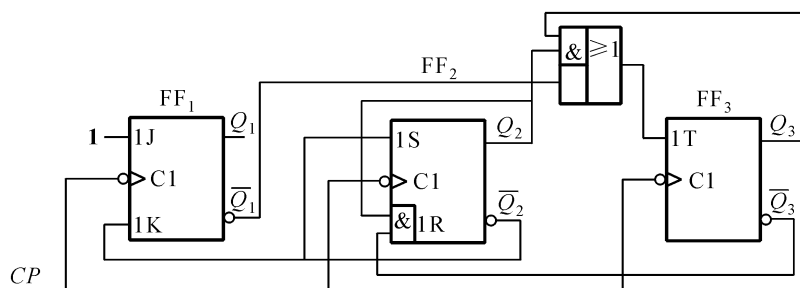
1 试分析图中虚线框内电路，画出 Q_1 、 Q_2 、 Q_3 波形，并说明虚线框内电路的逻辑功能。

2 若把电路中的Z输出和各触发器的置零端 \overline{CR} 连接在一起，试说明当 $X_1X_2X_3$ 为110时，整个电路的逻辑功能是什么？



图题5.2

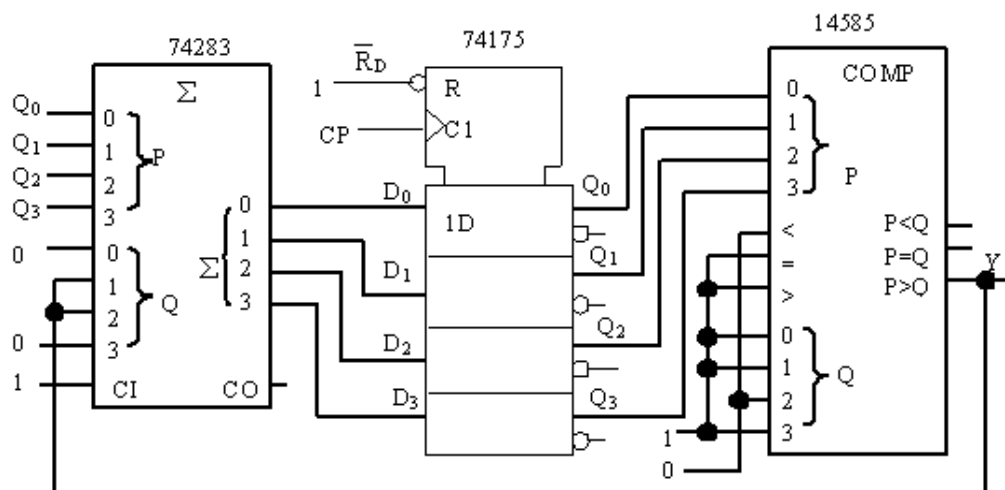
题5.3 电路如图题5.3所示。1. 令触发器的初始状态为 $Q_3Q_2Q_1=001$ ，请指出计数器的模，并画出状态转换图和电路工作的时序图。2. 若在使用过程中FF2损坏，欲想用一個负边沿D触发器代替，问电路应作如何修改，才能实现原电路的功能。画出修改后的电路图。（可只画修改部分的电路）



图题5.3

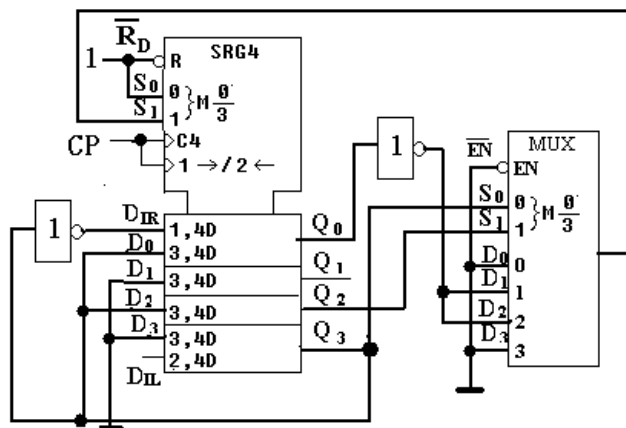
题 5.4 试用一片 74161 及尽量少的门电路设计成一个能自动完成八进制加/减循环计数的计数器。即能从 000 加到 111，再从 111 减到 000 循环。

题 5.5 分析图题 5.5 所示的时序电路，其中 74283 为四位加法器、74175 为 4D 寄存器、14585 为四位比较器，Y 为输出。画出状态转换图并说明电路功能。



图题 5.5

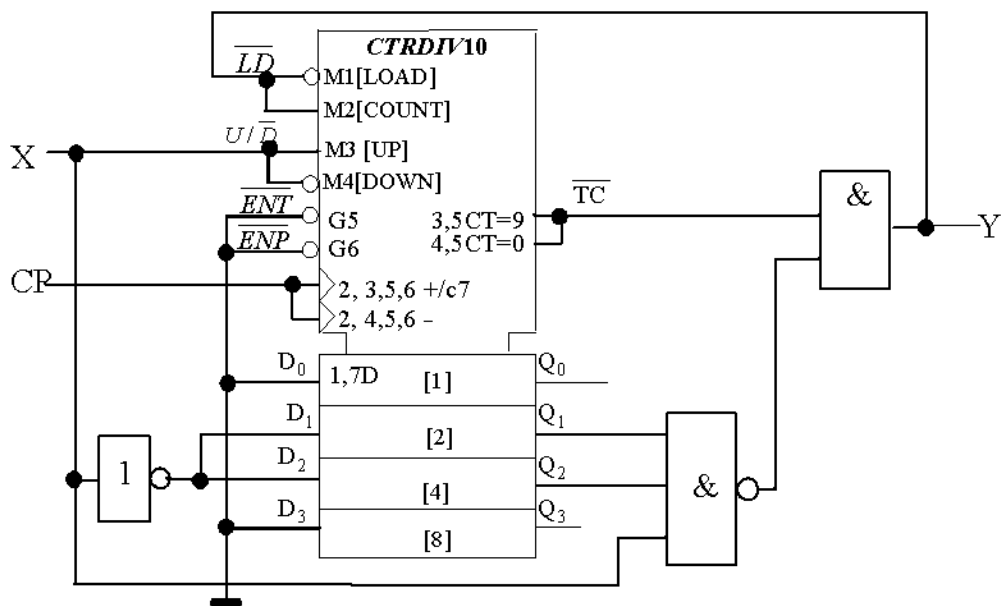
题 5.6 分析由移位计数器 74194 组成的时序，画出电路状态图？（排列次序： $Q_0 Q_1 Q_2 Q_3$ ，另外 $S_1 S_0=00$ ，保持； $S_1 S_0=01$ ，右移； $S_1 S_0=10$ ，左移； $S_1 S_0=11$ ，置数。）



图题 5.6

题 5.7 74168 为十进制可逆计数器，分析由 74168 构成的时序电路，说明电路功能。注意，74168 的功能表最后两行给出 $\overline{TC} = 0$ 的两种情况，其它情况下， $\overline{TC} = 1$ 。

$Q_0^n Q_1^n Q_2^n Q_3^n$	数据选择器 地址信号 $S_1 S_0$	移位计数器控 制信号 $S_1 S_0$	D_{IR}	$D_0 D_1 D_2 D_3$	$Q_0^{n+1} Q_1^{n+1} Q_2^{n+1} Q_3^{n+1}$
0000	00	01	1	0000	1000
0001	01	11	0	1010	1010
0010	10	11	1	0000	0000
0011	11	01	0	1010	0001
0100	00	01	1	0000	1010
0101	01	11	0	1010	1010
0110	10	11	1	0000	0000
0111	11	01	0	1010	0011
1000	00	01	1	0000	1100
1001	01	01	0	1010	0100
1010	10	01	1	0000	1101
1011	11	01	0	1010	0101
1100	00	01	1	0000	1110
1101	01	01	0	1010	0110
1110	10	01	1	0000	1111
1111	11	01	0	1010	0111

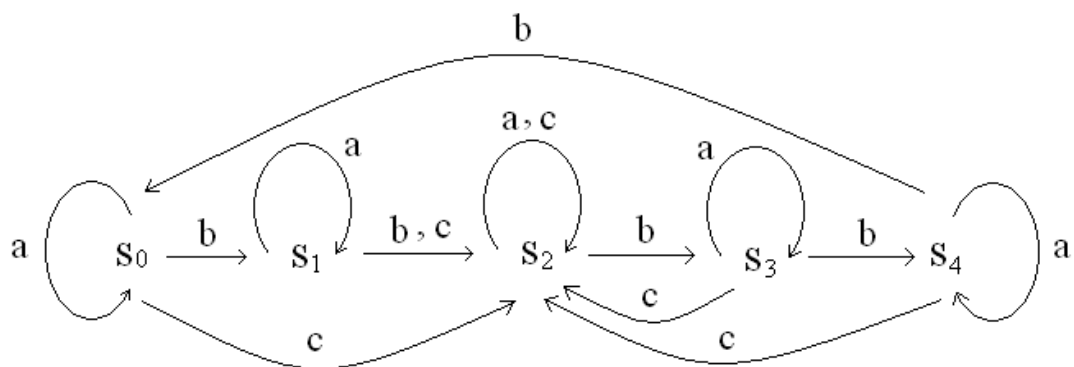


74168 的功能表：

输入					输出		工作方式
\overline{LD}	U/\overline{D}	CP	\overline{ENP}	\overline{ENT}	$Q_3Q_2Q_1Q_0$	\overline{TC}	
1	1	↑	0	0			加法计数
1	0		0	0			减法计数
0	×		×	×	$D_3D_2D_1D_0$		同步置数
×	1	×	×	0	1001	0	进位输出
×	0	×	×	0	0000		借位输出

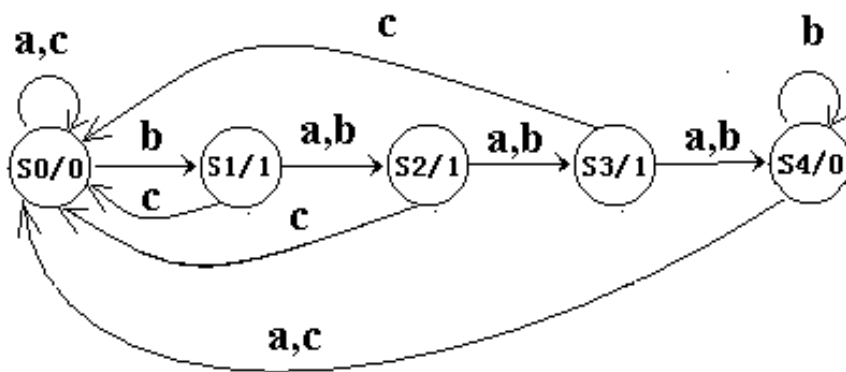
题 5.8 以一个计数器 74161 为核心器件和少量门电路，设计一个带同步清 0 功能的 5421BCD 码计数器：电路有清 0 输入控制端 R，当 R=0 时，同步清 0；当 R=1 时，按 5421BCD 码规则同步计数，注意不能有过渡态。5421BCD 码编码规则：0~9 分别为：0000、0001、0010、0011、0100、1000、1001、1010、1011、1100。请写出设计过程。

题 5.9 某控制器电路的状态转换图如图题 5.9 所示，要求用一个计数器 74161 和必要的门电路、组合模块电路设计该控制器。



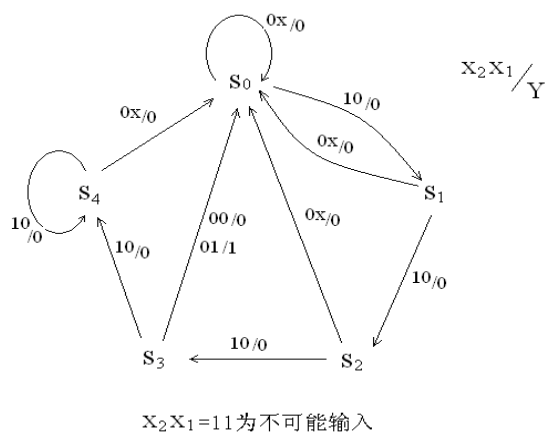
图题 5.9

题 5.10 图题 5.10 为控制器的状态转换图，输入信号 a, b, c 为互斥变量。以计数器为核心器件设计此同步时序电路。



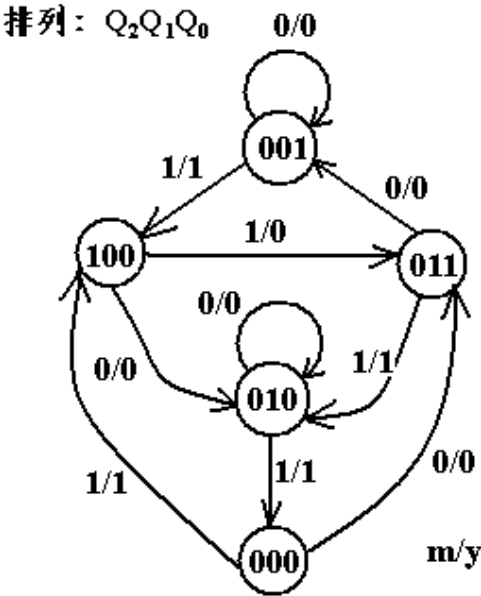
图题 5.10

题 5.11 某控制器电路的状态转换图如图题 5.11 所示，要求用一个计数器 74161 和必要的门电路、组合模块电路设计该控制器。



图题 5.11

题 5.12 图题 5.12 为某时序的状态转换图，其中 m 为输入信号， y 为输出信号，试用 D 触发器设计此同步时序电路，要求：(1)写出次态卡诺图、激励方程、输出方程；(2)逻辑电路图。



图题 5.12

题 5.13 以一个计数器 74161 为核心器件，设计一个可控的计数器。计数器有一个输入端 m ，当 $m=0$ 时，计数器实现 8421BCD 码计数器；当 $m=1$ 时，计数器实现 2421 码计数器。请写出设计过程。8421BCD 码、2421BCD 码如下表所示：

十进制	8421	2421
0	0000	0000
1	0001	0001
2	0010	0010
3	0011	0011
4	0100	0100
5	0101	1011
6	0110	1100
7	0111	1101
8	1000	1110
9	1001	1111

题 5.14 用一片 74161 和一片 74151 实现双序列信号发生器： $X=0$ 时产生序列 001101； $X=1$ 时产生序列 0110100

第6章 半导体存储器及可编程逻辑器件

题6.1 判断题

1. PROM 的每个与项（地址译码器的输出）都一定是最小项。（ ）
2. RAM 和 ROM 都属于组合电路。（ ）
3. PAL 的输出电路是固定的，不可编程，所以它的型号很多。虽然 GAL 的型号很少，但却能取代大多数 PAL 芯片。（ ）
4. 一旦断电，信息丢失的存储器是 ROM。（ ）
5. SRAM 有 n 根地址输入线，则应由 $2n$ 个字。（ ）

题6.2 选择题

- 1、PROM 的与阵列（地址译码器）是_____。
A. 全译码可编程阵列 B. 全译码不可编程阵列
C. 非全译码可编程阵列 D. 非全译码不可编程阵列
- 2、下列采用输出宏单元的 PLD 器件是_____。
A. PROM B. PLA C. PAL D. GAL
- 3、某存储器具有 16 根地址线和 8 根双向数据线，则该存储器的容量为_____位。
A. 128 B. 4K C. 512K D. 1M E. 16M
- 4、采用双地址译码且分时送入行和列地址信号，DRAM 内部存储矩阵的字数与外部地址线数 n 的关系一般为_____。
A. n B. $2n$ C. 2^n D. 2^{2n}

题6.3 将包含有 32768 个基本存储单元的存储电路连接成 4096 个字节的 RAM，则：(1) 该 RAM 有几根数据线？□ (2) 该 RAM 有几根地址线？□

题6.4 RAM 的容量为 256×4 字位，则：(1) 该 RAM 有多少个存储单元？ (2) 该 RAM 每次访问几个基本存储单元？ (3) 该 RAM 有几根地址线？□

题6.5 试用 256×4 字位的 RAM，用位扩展的方法组成一个 256×8 字位的 RAM，请画出电路图。

题6.6 C850 是 64×1 字位容量的静态 RAM，若要用它扩展成一个 128×4 字位容量的 RAM，需要几块 C850？并画出相应的电路图。□

题6.7 设某个只读存储器由 16 位地址构成，地址范围为 $000 \sim FFF$ (16 进制)。现将它分为 RAM、I/O、ROM1 和 ROM2 等四段，且各段地址分配为 RAM 段： $000 \sim DFFF$ ；I/O 段： $E000 \sim E7FF$ ；ROM1 段： $F000 \sim F7FF$ ；ROM2 段： $F800 \sim FFFF$ 。试：

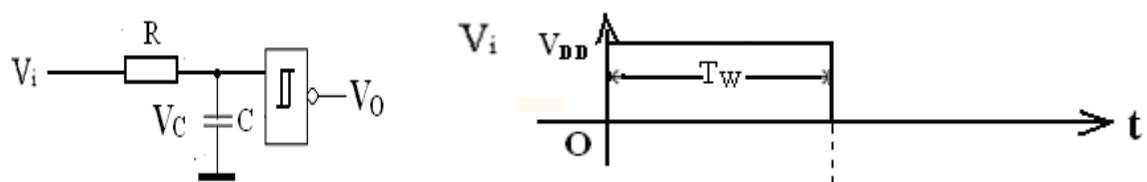
- (1) 设16位地址标号为A15A14.....A1A0，则各存储段内部仅有哪几位地址值保持不变？
- (2) 根据高位地址信号设计一个选择存储段的地址译码器。

第7章 脉冲单元电路

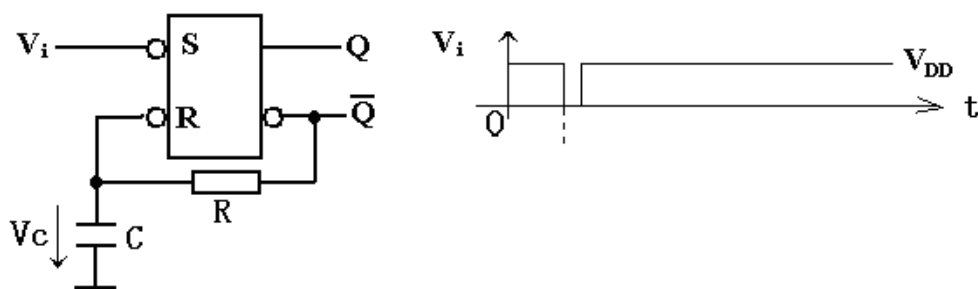
题7.1 判断题

6. 施密特触发器可用于将正弦波变换成矩形波。()
7. 单稳态触发器的暂稳态时间与输入触发脉冲宽度成正比。()
8. 石英晶体多谐振荡器的振荡频率与电路中的 R、C 成正比。()

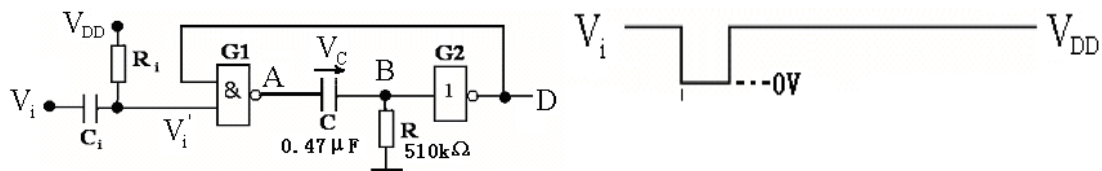
题 7.2 下图为 CMOS 集成施密特组成的电路，其中 $RC \ll T_W$, V_{DD} 、 V_{T+} 和 V_{T-} 分别为 CMOS 电源电压、正向阈值电压和负向阈值电压。根据 V_i 输入波形，定性画出 V_C 和 V_O 的波形。



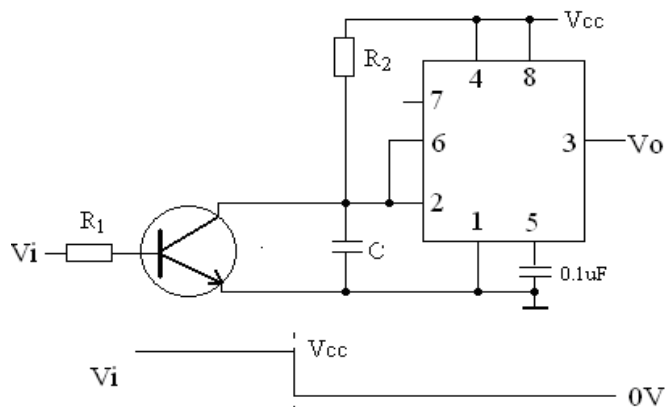
题7.3有CMOS的基本RS触发器构成的单稳态电路如下图所示，已知 $V_{DD}=10V$ 。在输入触发脉冲 V_i 作用下，定性画出 Q 、 \bar{Q} 及 V_C 的波形。



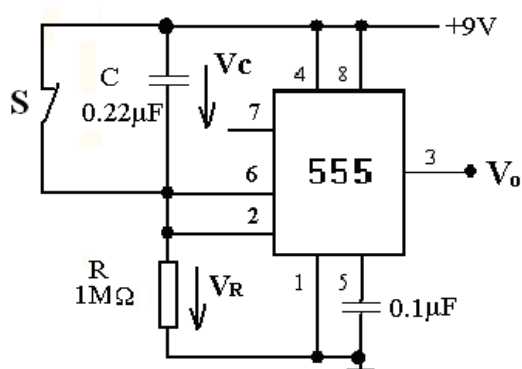
题 7.4 有 CMOS 电路构成的单稳态如图所示，已知 $R_i C_i$ 很小， $V_{DD}=5V$ ， $V_{TH}=2.5V$ ，不必考虑 CMOS 电路的输入保护。要求：(1)画出在输入 V_i 触发脉冲作用下，A、B、D 各点及 V_i' 、 V_C 的波形；(2)计算暂稳态的持续时间 T。



题 7.5 已知 $V_{cc}=9V$, $R_1=1K$, $R_2=1M$, $C=0.22\mu F$ 。求在 V_i 的作用下计算并画出输出电压 V_o 和电容电压 V_c 的波形。当 V_i 为高电平时，三极管处于饱和状态。

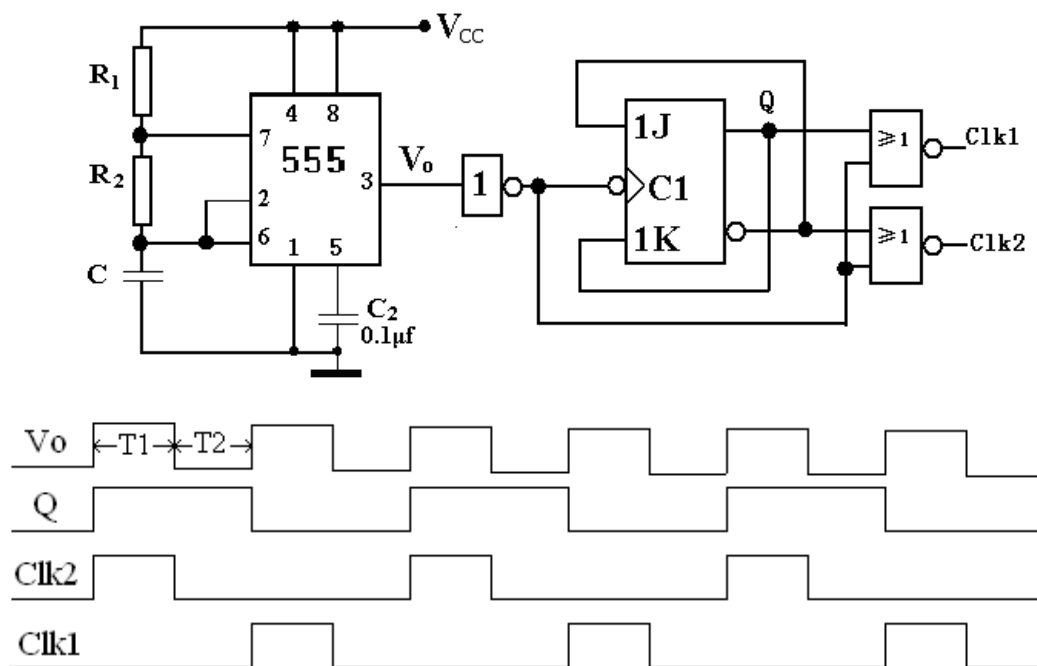


题 7.6 下图是由 555 定时器组成的开机延时电路。在 $t=0$ 时，开关 S 断开，试画出在开关断开后 V_c 、 V_R 和 V_o 的波形，并计算开关 S 断开后经过多少时间才 V_o 才会变成电平？



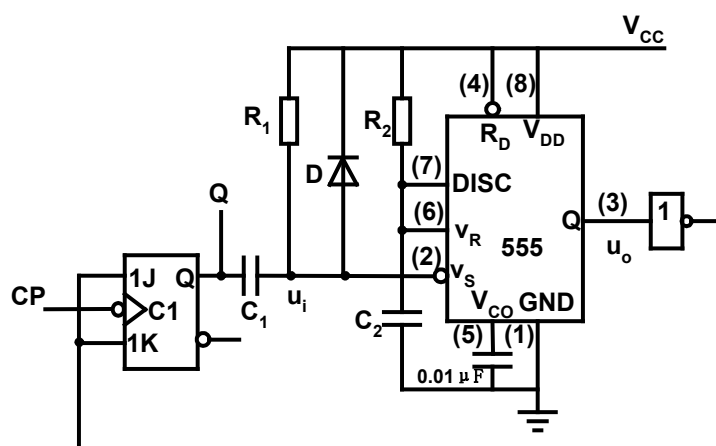
题 7.7 由 555 定时器和负边沿 JK 触发器组成的两相时钟产生电路如图所示，已知： $R_1=510\Omega$, $R_2=10\text{ k}\Omega$, $C=0.1\mu F$ 。

- (1) 画出 555 定时器的输出 V_o 以及 $C1k1$ 和 $C1k2$ 端的波形， Q 的初始状态为 0。
- (2) 计算 $C1k1$ 的周期 T_{c1k1} 和脉冲宽度 T_w 。



题 7.8 由主从 JK 触发器和 555 定时器组成的电路如图题 8 所示，已知：CP 为 10Hz 的方波， $R_1 = 10k\Omega$ ， $R_2 = 56k\Omega$ ， $C_1 = 1000pF$ ， $C_2 = 4.7\mu F$ 。触发器 Q 及 555 输出端（3 端）初态为 0。

- 1、试画出触发器 Q 端、 u_i 、 u_o 相对于 CP 的波形。
- 2、试求触发器 Q 端输出波形的周期。



图题 7.8