

习题讲解

Hw7 – Hw9、练习题

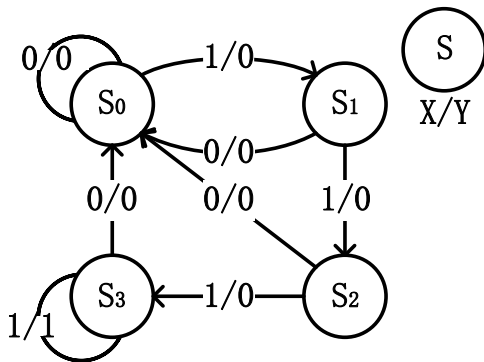
王彤
wangt_@zju.edu.cn

Homework 7

1. 使用D触发器和门电路设计一个串行数据检测器，要求在连续输入4个或4个以上“1”时输出为1，其余情况下输出为0。画出状态转换图、画出卡诺图进行状态化简、写出状态方程和驱动方程，画出电路图。（例6.4.2）

解：首先，可根据题目描述进行逻辑抽象，画出状态转移图。

取输入数据为X，输出数据为Y。设电路在没有输入1以前的状态为S0，输入一个1以后的状态为S1，连续输入两个1以后的状态为S2，连续输入3个或3个以上1以后的状态为S3。以S表示电路的现态，S*表示电路的次态。依据设计要求可得到如下的状态转移图和状态转移表。



S*		S			
X/Y		S ₀	S ₁	S ₂	S ₃
0		S ₀ /0	S ₀ /0	S ₀ /0	S ₀ /0
1		S ₁ /0	S ₂ /0	S ₃ /0	S ₃ /1

Homework 7

1. 电路总共有4个状态，因此需要2个D触发器。取触发器状态 Q_1Q_0 的00、01、10、11分别代表 S_0 、 S_1 、 S_2 、 S_3 。画出 Q_1^* 、 Q_0^* 和Y的卡诺图。

$Q_1^* Q_0^* / Y \backslash Q_1 Q_0$	00	01	11	10
X				
0	00/0	00/0	00/0	00/0
1	01/0	10/0	11/1	11/0

将上述卡诺图分解并进行化简，得到电路的状态方程和输出方程：

$Q_1^* \backslash Q_1 Q_0$	00	01	11	10
X				
0	0	0	0	0
1	0	1	1	1

$Q_0^* \backslash Q_1 Q_0$	00	01	11	10
X				
0	0	0	0	0
1	1	0	1	1

Y $\backslash Q_1 Q_0$	00	01	11	10
X				
0	0	0	0	0
1	0	0	1	0

状态方程：
$$\begin{cases} Q_1^* = XQ_0 + XQ_1 \\ Q_0^* = XQ_1 + XQ_0' \end{cases}$$
 输出方程：
$$Y = XQ_1Q_0。$$

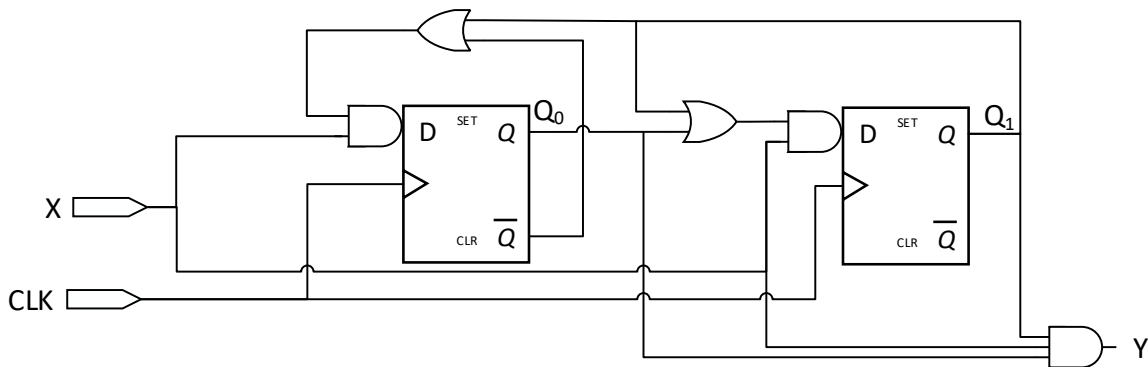
Homework 7

1. 将上述卡诺图分解并进行化简，得到电路的状态方程和输出方程：

状态方程： $\begin{cases} Q_1^* = XQ_0 + XQ_1 \\ Q_0^* = XQ_1 + XQ_0' \end{cases}$ ，输出方程： $Y = XQ_1Q_0$ 。

由D触发器特性方程得到驱动方程： $\begin{cases} D_1 = X(Q_0 + Q_1) \\ D_0 = X(Q_0' + Q_1) \end{cases}$ 。

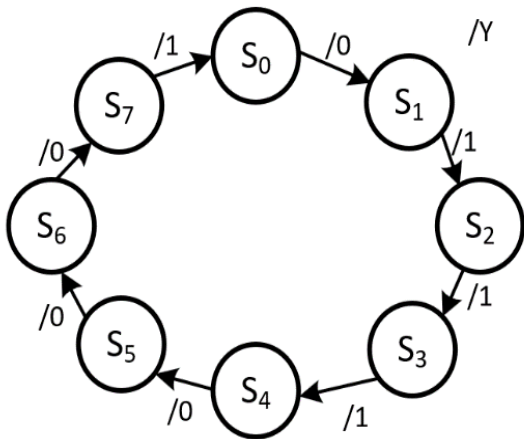
画出电路图：



Homework 7

2. 使用JK触发器和门电路设计一个能周期性的产生“01110001”序列信号发生器。画出状态转换图、状态转换表、画出卡诺图进行状态化简、写出状态方程和驱动方程，画出电路图。

解：由题意，序列长度为8，需要8个状态，需要3个JK触发器。用3个JK触发器的 $Q_2Q_1Q_0$ 分别表示 $S_0\sim S_7$ 。画出状态转换图以及状态转换表：



$Q_2 Q_1 Q_0$	$Q_2^* Q_1^* Q_0^*$	Y_1	Y_2
000	001	0	1
001	010	1	1
010	011	1	1
011	100	1	0
100	101	0	0
101	110	0	0
110	111	0	1
111	000	1	0

Homework 7

2. 根据状态转换表可进行卡诺图化简，得到状态方程：

		Q ¹ Q ⁰			
		00	01	11	10
Q ²	0	0	0	1	0
	1	1	1	0	1

$$Q_2^* = Q_2 Q_0' + Q_2 Q_1' + Q_2' Q_1 Q_0$$

		Q ¹ Q ⁰			
		00	01	11	10
Q ²	0	0	1	0	1
	1	0	1	0	1

$$Q_1^* = Q_1 Q_0' + Q_0 Q_1'$$

		Q ¹ Q ⁰			
		00	01	11	10
Q ²	0	1	0	0	1
	1	1	0	0	1

$$Q_0^* = Q_0'$$

根据JK触发器特性方程，得到驱动方程：

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = K_1 = Q_0 \\ J_2 = K_2 = Q_0 Q_1 \end{cases}$$

Homework 7

2. 使用状态转移表中Y1的排布方式，对Y进行化简：如果使用Y2，则输出还可以化简：

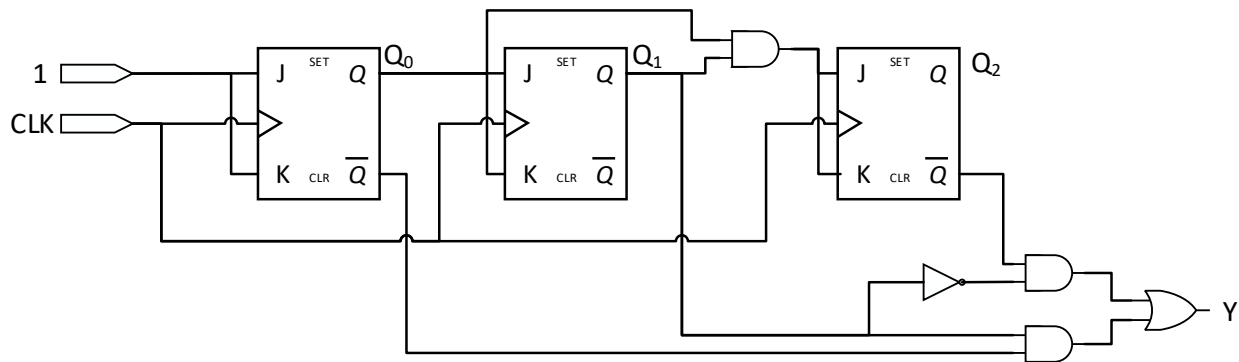
$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0	0	1	1	1
1	0	0	1	0

$$Y = Q_2' Q_1 + Q_2' Q_0 + Q_1 Q_0$$

$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0	1	1	0	1
1	0	0	0	1

$$Y = Q_2' Q_1' + Q_1 Q_0'$$

使用Y2的排布方式，画出电路图：



Homework 7

3. 用十进制计数器74160和8选1数据选择器设计一个序列信号发生器，使之在一系列CLK信号作用下能周期性地输出“0010110111”的序列信号。

解：可列出在CLK连续作用下计数器状态 $Q_3Q_2Q_1Q_0$ 与要求产生的输出Z之间关系的真值表：

由真值表写出Z的逻辑表达式，并化成与8选1数据选择器对应的形式得到：

$$\begin{aligned} Z = & Q_3(Q_2'Q_1'Q_0') + Q_3(Q_2'Q_1'Q_0) \\ & + Q_3'(Q_2'Q_1Q_0') + 0(Q_2'Q_1Q_0) \\ & + Q_3'(Q_2Q_1'Q_0') + Q_3'(Q_2Q_1'Q_0) \\ & + 0(Q_2Q_1Q_0') + Q_3'(Q_2Q_1Q_0) \end{aligned}$$

CLK顺序	Q3	Q2	Q1	Q0	Z
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	1

Homework 7

$$3. Z = Q_3(Q_2'Q_1'Q_0') + Q_3(Q_2'Q_1'Q) + Q_3'(Q_2'Q_1Q_0') + 0(Q_2'Q_1Q_0) \\ + Q_3'(Q_2Q_1'Q_0') + Q_3'(Q_2Q_1'Q_0) + 0(Q_2Q_1Q_0') + Q_3'(Q_2Q_1Q_0)$$

$$\text{令 } A_2 = Q_2, A_1 = Q_1, A_0 = Q_0,$$

$$D_0 = Q_3, D_1 = Q_3, D_2 = Q_3', D_3 = 0,$$

$$D_4 = Q_3', D_5 = Q_3', D_6 = 0, D_7 = Q_3',$$

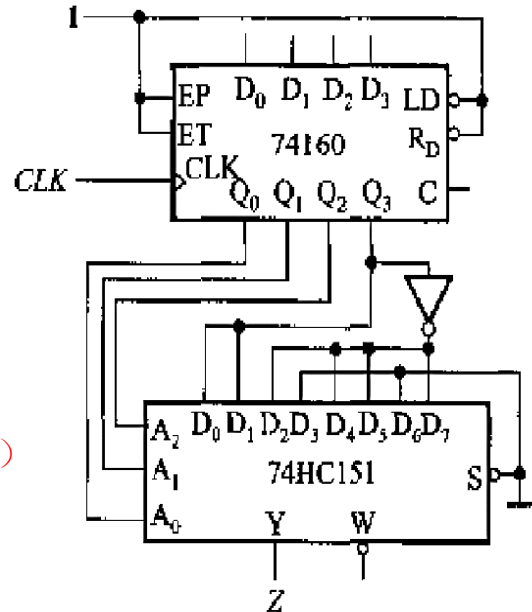
$$(D_0 \sim D_7: Q_3Q_3Q_3'0Q_3'Q_3'0Q_3')$$

则数据选择器的输出Y即所求Z。

所得到的电路图如图所示。

$$(D_0 \sim D_7: Q_3Q_3101101 \text{ 也正确})$$

$$(D_0 \sim D_7: 10101101, Z = Y|Q_3 \text{ 也正确})$$



Homework 7

4. 设计一个灯光控制逻辑电路。要求红、绿、黄三种颜色的灯在时钟信号作用下按下表规定的顺序转换状态。表中的1表示“亮”，0表示“灭”，要求电路能自启动，并尽可能采用中规模集成电路芯片。

CLK顺序	红	黄	绿
0	0	0	0
1	1	0	0
2	0	1	0
3	0	0	1
4	1	1	1
5	0	0	1
6	0	1	0
7	1	0	0
8	0	0	0

解：因为输出为八个状态循环，所以用74LS161的低三位作为八进制计数器，若以R、Y、G分别表示红、黄、绿三个输出，则可得计数器输出状态 $Q_2Q_1Q_0$ 与R、Y、G关系的真值表。

Homework 7

4. 设计一个灯光控制逻辑电路。要求红、绿、黄三种颜色的灯在时钟信号作用下按下表规定的顺序转换状态。表中的1表示“亮”，0表示“灭”，要求电路能自启动，并尽可能采用中规模集成电路芯片。

Q2	Q1	Q0	红	黄	绿
0	0	0	0	0	0
0	0	1	1	0	0
0	1	0	0	1	0
0	1	1	0	0	1
1	0	0	1	1	1
1	0	1	0	0	1
1	1	0	0	1	0
1	1	1	1	0	0
0	0	0	0	0	0

解：因为输出为八个状态循环，所以用74LS161的低三位作为八进制计数器，若以R、Y、G分别表示红、黄、绿三个输出，则可得计数器输出状态 $Q_2Q_1Q_0$ 与R、Y、G关系的真值表。

选用两片双4选1数据选择器74HC153作通用函数发生器使用，产生R、Y、G。

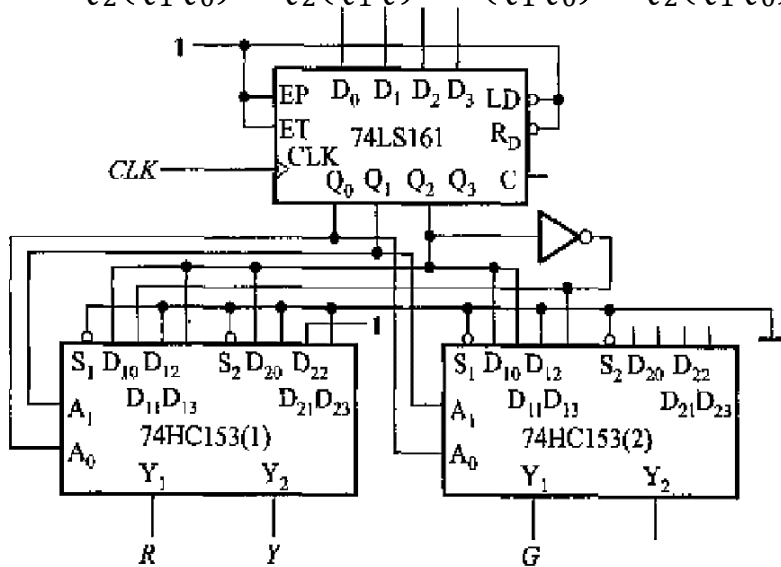
Homework 7

4. 选用两片双4选1数据选择器74HC153作通用函数发生器使用，产生R、Y、G。

由真值表写出R、Y、G的逻辑式，并化成与数据选择器的输出逻辑式相对应的形式： $R = Q_2(Q_1'Q_0') + Q_2'(Q_1'Q_0) + 0(Q_1Q_0') + Q_2(Q_1Q_0)$

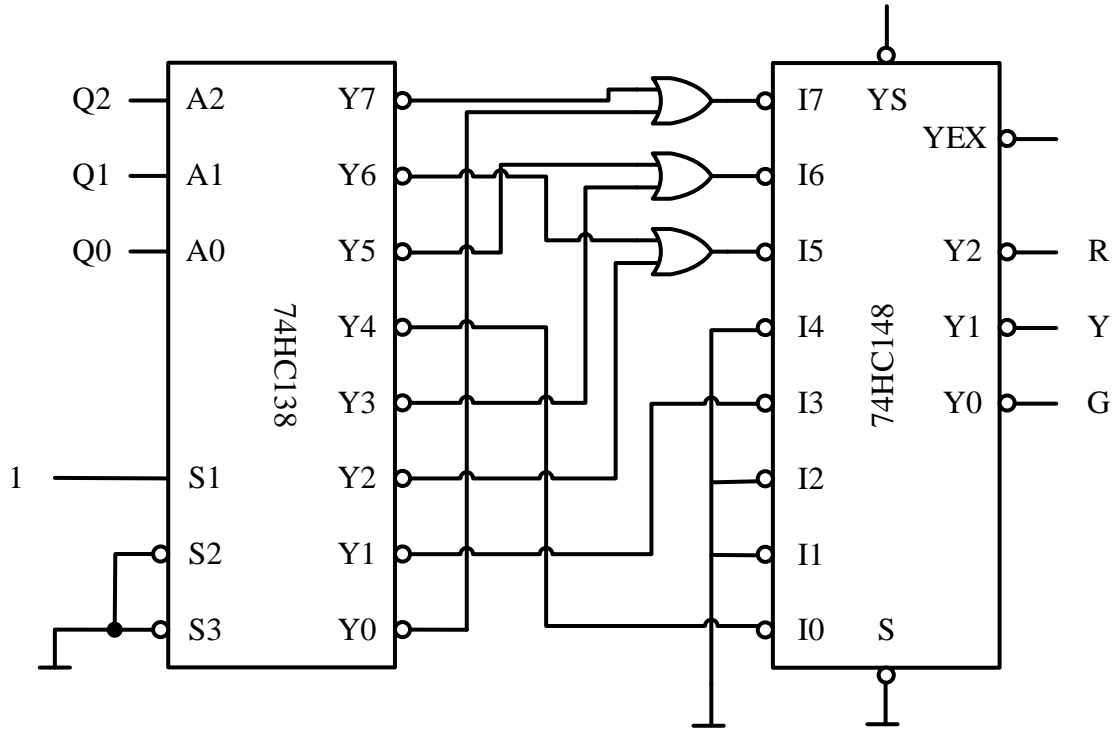
$$Y = Q_2(Q_1'Q_0') + 0(Q_1'Q) + 1(Q_1Q_0') + 0(Q_1Q_0)$$

$$G = Q_2(Q_1'Q_0') + Q_2(Q_1'Q) + 0(Q_1Q_0') + Q_2'(Q_1Q_0)$$



Homework 7

4.



Homework 7

4.

I7	Y7+Y0
I6	Y3+Y5
I5	Y6+Y2
I4	0
I3	Y1
I2	0
I1	0
I0	Y4

计数器输出	译码器输出	编码器输入	RYG
000	Y0'	I7'	000
001	Y1'	I3'	100
010	Y2'	I5'	010
011	Y3'	I6'	001
100	Y4'	I0'	111
101	Y5'	I6'	001
110	Y6'	I5'	010
111	Y7'	I7'	100

Homework 7

5. 用D触发器和门电路设计一个十一进制计数器，并检查设计的电路能否自启动。

解：因为电路必须有11个不同的状态，所以需要四个触发器组成这个电路。
如果按下表取电路的11个状态和循环顺序，则可画出表示电路次态的卡诺图：

表 A6.33 题 6.33 中计数器的状态循环表

计数 顺序	电路状态				进位 C		计数 顺序	电路状态				进位 C
	Q_3	Q_2	Q_1	Q_0				Q_3	Q_2	Q_1	Q_0	
0	0	0	0	0	0		6	0	1	1	0	0
1	0	0	0	1	0		7	0	1	1	1	0
2	0	0	1	0	0		8	1	0	0	0	0
3	0	0	1	1	0		9	1	0	0	1	0
4	0	1	0	0	0		10	1	0	1	0	1
5	0	1	0	1	0		11	0	0	0	0	0

Homework 7

5. 用D触发器和门电路设计一个十一进制计数器，并检查设计的电路能否自启动。

解：因为电路必须有11个不同的状态，所以需要四个触发器组成这个电路。如果按下表取电路的11个状态和循环顺序，则可画出表示电路次态的卡诺图：

状态方程为：

$Q_3 Q_2 \backslash Q_1 Q_0$		$(Q_3^* \ Q_2^* \ Q_1^* \ Q_0^*)$			
		00	01	11	10
00		0001	0010	0100	0011
01		0101	0110	1000	0111
11		XXXX	XXXX	XXXX	XXXX
10		1001	1010	XXXX	0000

(a)

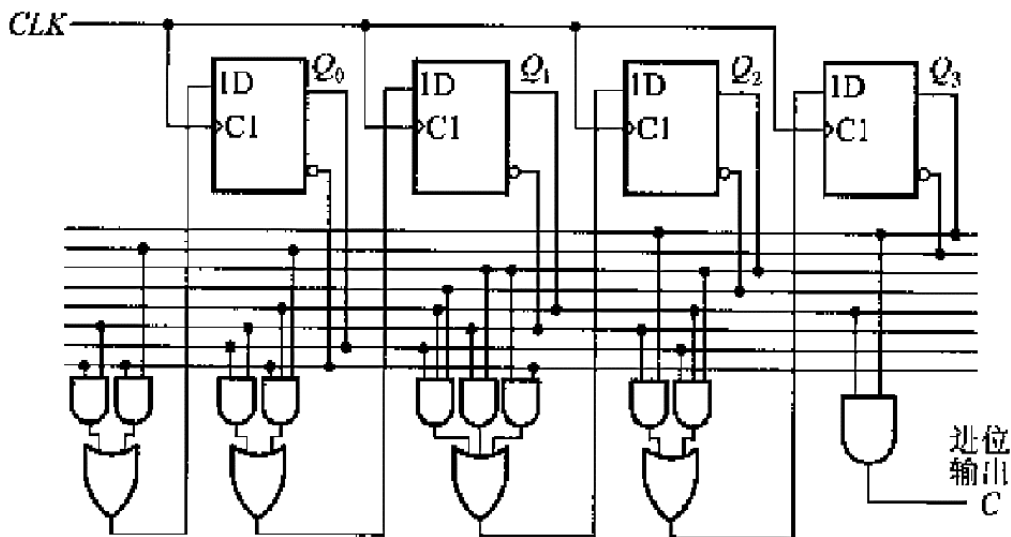
$$\begin{cases} Q_3^* = Q_3 Q_1' + Q_2 Q_1 Q_0 \\ Q_2^* = Q_2 Q_1' + Q_3 Q_0' + Q_2' Q_1 Q_0 \\ Q_1^* = Q_1' Q_0 + Q_3' Q_1 Q_0' \\ Q_0^* = Q_3' Q_0' + Q_1' Q_0' \end{cases}$$

输出方程为：

$$C = Q_3 Q_1$$

Homework 7

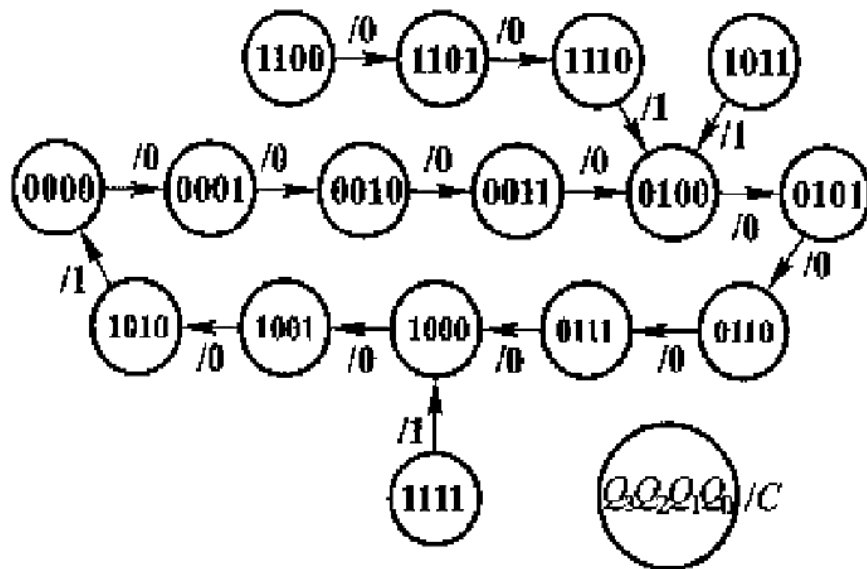
5.
$$\begin{cases} Q_3^* = Q_3 Q_1' + Q_2 Q_1 Q_0 \\ Q_2^* = Q_2 Q_1' + Q_3 Q_0' + Q_2' Q_1 Q_0 \\ Q_1^* = Q_1' Q_0 + Q_3' Q_1 Q_0' \\ Q_0^* = Q_3' Q_0' + Q_1' Q_0' \end{cases} \quad C = Q_3 Q_1$$



(b)

Homework 7

5. 检查自启动:



(c)

Homework 7

6. 使用Verilog描述设计一个模为30（0~29）的可逆计数器。

- 有进位输出端（C_up）、借位输出端(C_dn)，输出高电平有效；
- 有计数/保持控制端（stall高电平时保持，低电平计数）、同步置数控制端（LD高电平有效）、加/减控制端（UP_DN高电平加，低电平减）、预置数输入端；
- 输入优先顺序是预置、保持、加或减计数。
- 进位、借位信号只在计数状态下才会输出有效。

习题课练习

1. 用两个8选1数据选择器74LS151及适当门电路设计一个数值比较器，比较两个二进制数A(a1a0)和B(b1b0)，能分别给出 $A-B \geq 2$ ， $B-A \geq 2$ 和 $|A-B| < 2$ 的输出信号。要求：1)写出真值表；2)给出函数表达式；3)并画出电路图

解：设： $Y1 = A-B \geq 2$ ， $Y2 = B-A \geq 2$ ， $Y3 = |A-B| < 2$

B		A		Y		
b1	b0	a1	a0	Y3	Y2	Y1
0	0	0	0	1	0	0
0	0	0	1	1	0	0
0	0	1	0	0	0	1
0	0	1	1	0	0	1
0	1	0	0	1	0	0
0	1	0	1	1	0	0
0	1	1	0	1	0	0
0	1	1	1	0	0	1

B		A		Y		
b1	b0	a1	a0	Y3	Y2	Y1
1	0	0	0	0	1	0
1	0	0	1	1	0	0
1	0	1	0	1	0	0
1	0	1	1	1	0	0
1	1	0	0	0	1	0
1	1	0	1	0	1	0
1	1	1	0	1	0	0
1	1	1	1	1	0	0

习题课练习

1. 解： 设： $Y1 = A-B \geq 2$, $Y2 = B-A \geq 2$, $Y3 = |A-B| < 2$

Y3 a1a0
b1b0

	00	01	11	10
00	1	1	0	0
01	1	1	0	1
11	0	0	1	1
10	0	1	1	1

Y2 a1a0
b1b0

	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	0	0	0
10	1	0	0	0

Y1 a1a0
b1b0

	00	01	11	10
00	0	0	1	1
01	0	0	1	0
11	0	0	0	0
10	0	0	0	0

$$Y3 = \overline{b1a1} + b1a1 + b0a1\overline{a0} + b1\overline{b0}a0 = \overline{Y1} + Y2$$

$$Y2 = b1\overline{a1}\overline{a0} + b1b0\overline{a1}$$

$$Y1 = \overline{b1}\overline{b0}a1 + \overline{b1}a1a0$$

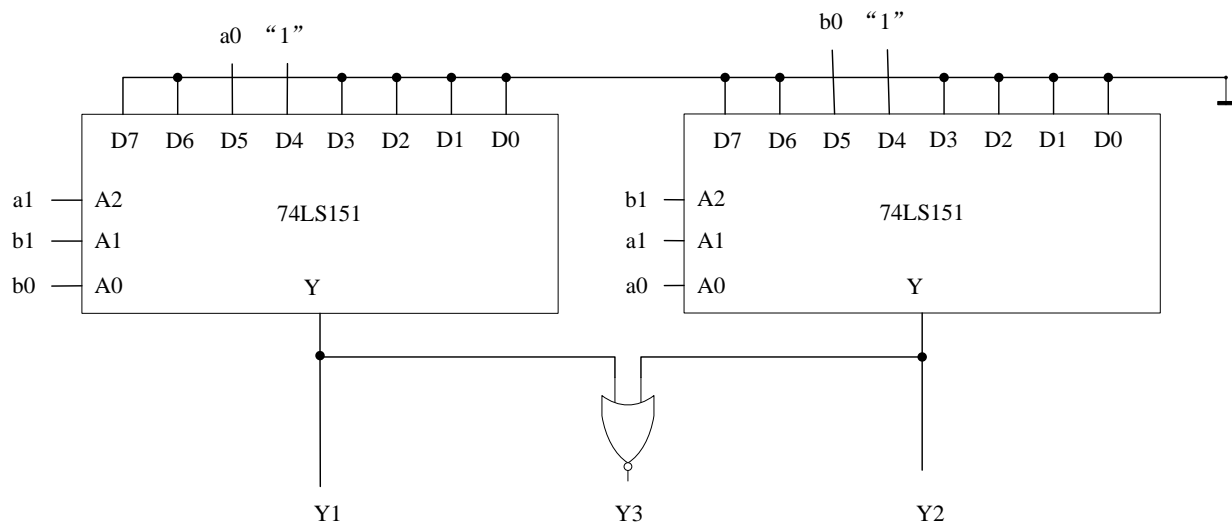
习题课练习

1. 解： 设： $Y1 = A - B \geq 2$, $Y2 = B - A \geq 2$, $Y3 = |A - B| < 2$

$$Y3 = \overline{b1a1} + b1a1 + b0a1\overline{a0} + b1\overline{b0}a0 = \overline{Y1} + \overline{Y2}$$

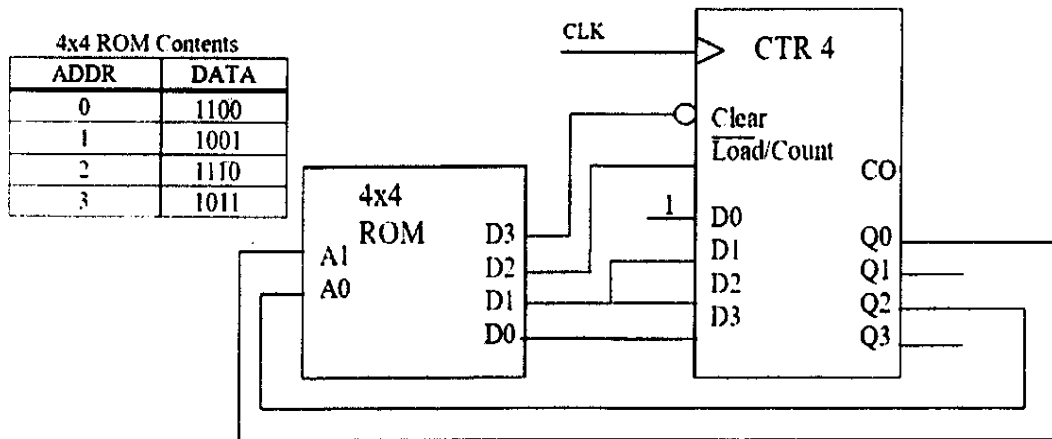
$$Y2 = b1\overline{a1}\overline{a0} + b1b0\overline{a1}$$

$$Y1 = \overline{b1}\overline{b0}a1 + \overline{b1}a1a0$$



习题课练习

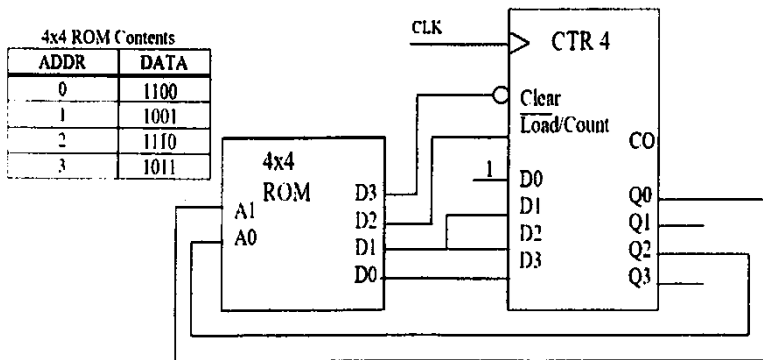
2. 有4*4ROM和计数器构成的逻辑电路图如下图，其功能为序列发生器，请写出其Q[3:0]端循环序列。图中数据DATA为2进制数，假定初始状态为X0=0000。



习题课练习

2.

$Q_3Q_2Q_1Q_0$	A_1A_0 (Q_0Q_2)	DATA	$D_3D_2D_1D_0$ ($D_0D_1D_11$)	功能
0000	00	1100	0001	计数
0001	10	1110	0111	计数
0010	00	1100	0001	计数
0011	10	1110	0111	计数
0100	01	1001	1001	置数
1001	10	1110	0111	计数
1010	00	1100	0001	计数
1011	10	1110	0111	计数
1100	01	1001	1001	置数
1001	10	1110	0111	计数



习题课练习

2.

$Q_3Q_2Q_1Q_0$	A_1A_0 (Q_0Q_2)	DATA	$D_3D_2D_1D_0$ ($D_0D_1D_11$)	功能
0000	00	1100	0001	计数
0001	10	1110	0111	计数
0010	00	1100	0001	计数
0011	10	1110	0111	计数
0100	01	1001	1001	置数
1001	10	1110	0111	计数
1010	00	1100	0001	计数
1011	10	1110	0111	计数
1100	01	1001	1001	置数
1001	10	1110	0111	计数

循环序列：0000→0001→0010→0011→0100→1001→1010→1011→1100



Homework 8

1. RAM的容量为 256×4 字位，则：

- (1) 该RAM有多少个基本存储单元？
- (2) 该RAM每次访问几个基本存储单元？
- (3) 该RAM有几根地址线？

解：

(1) “在多位数据并行输出的存储器中，习惯上将并行输出的一组数据叫做一个‘字’，存储器的每个地址中存放一个字。存储器的容量用存储单元的数量表示，通常写成（字数） \times （每个字的位数）的形式。”（P232）

存储单元个数为 $256 \times 4 = 1024$ 。

- (2) 每次访问4个存储单元，输出4位数据。
- (3) 有8根地址线。 $2^8 = 256$

Homework 8

2. 用16x4位的ROM设计一个将两个2位二进制数（ A_3A_2 和 A_1A_0 ）相乘的乘法器电路，列出ROM中每个地址对应存储内容的数据表。

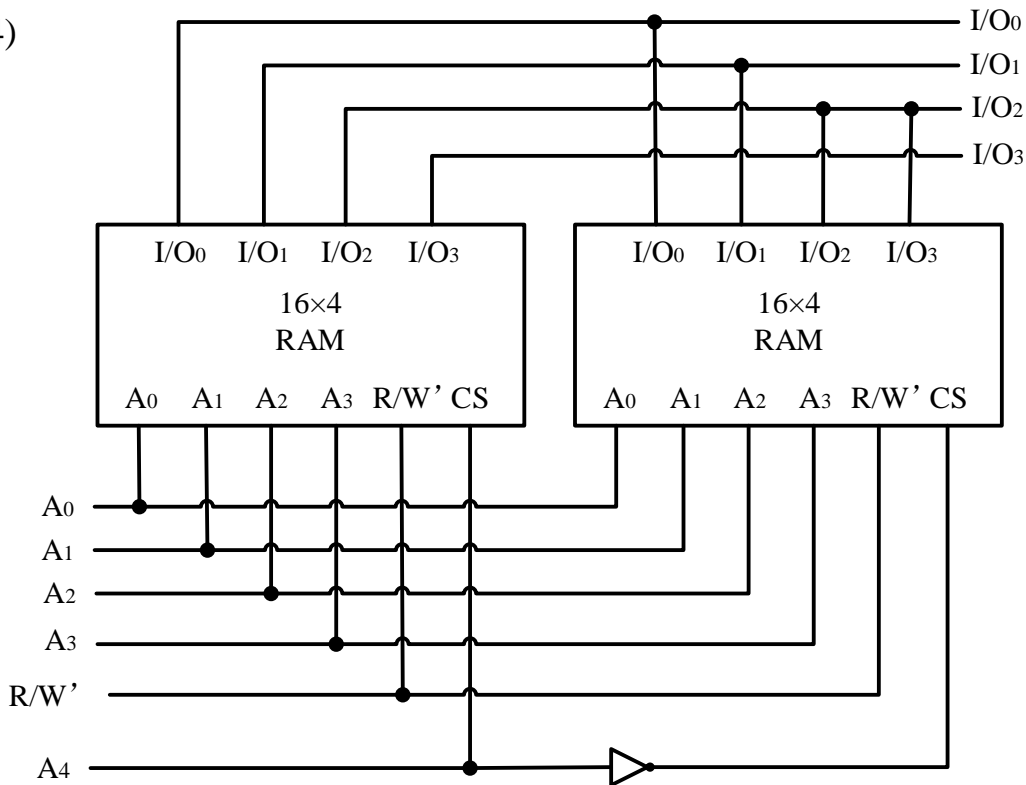
解：将两个相乘的数接到ROM的地址端 $A_3A_2A_1A_0$ ，其对应地址的内容为 $P_3P_2P_1P_0$ 。

地址				内容			
A_3	A_2	A_1	A_0	P_3	P_2	P_1	P_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1

地址				内容			
A_3	A_2	A_1	A_0	P_3	P_2	P_1	P_0
1	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	1

Homework 8

3. 试用两片16x4位的RAM组成32x4位的存储器。(RAM框图参照课本图5.5.13、5.5.14)

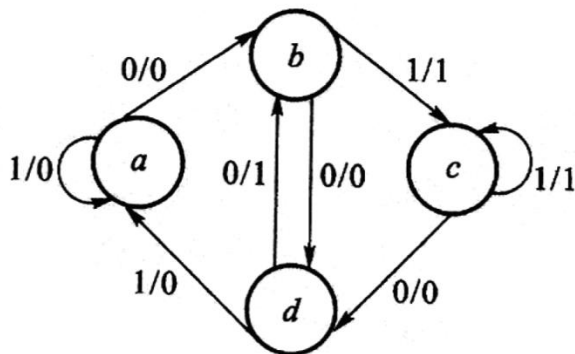


Homework 8

4. 把如图四个状态的状态转换图试转换为ASM图。

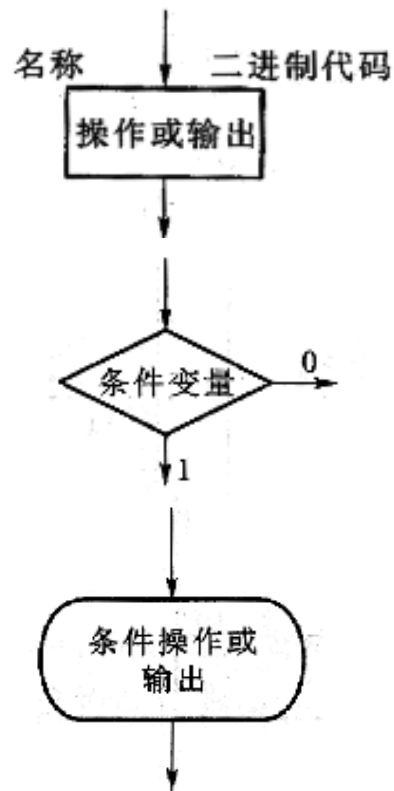
解：令输入为 x 输出为 z ：

状态框：



判断框：

条件框：

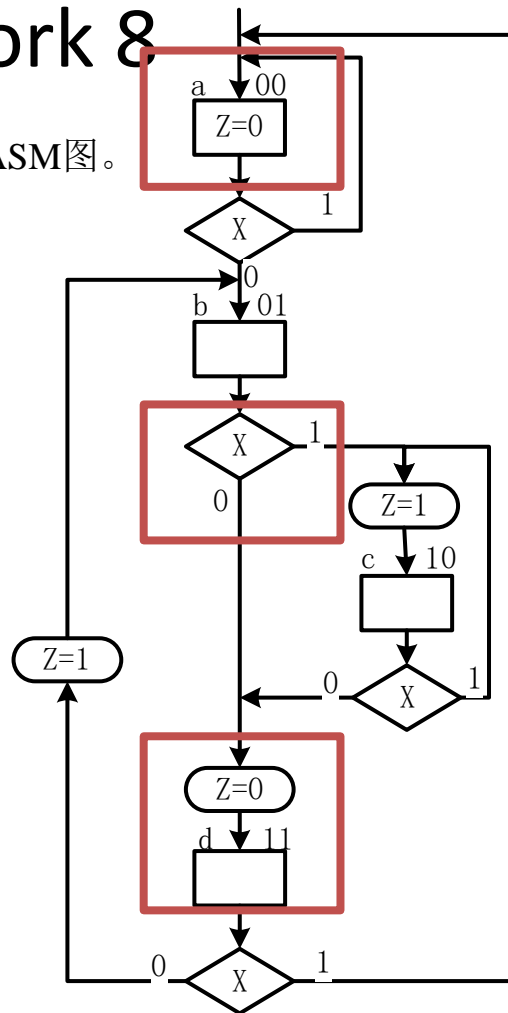
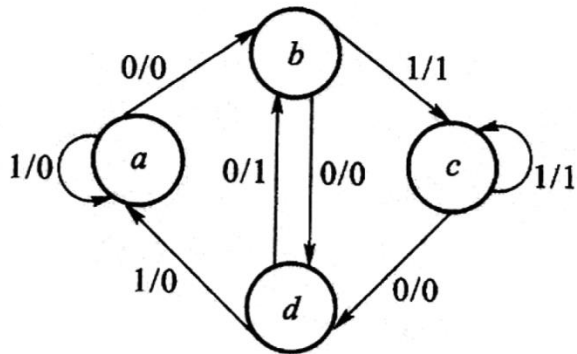


条件框的输入通道必定来自判断框的分支。

Homework 8

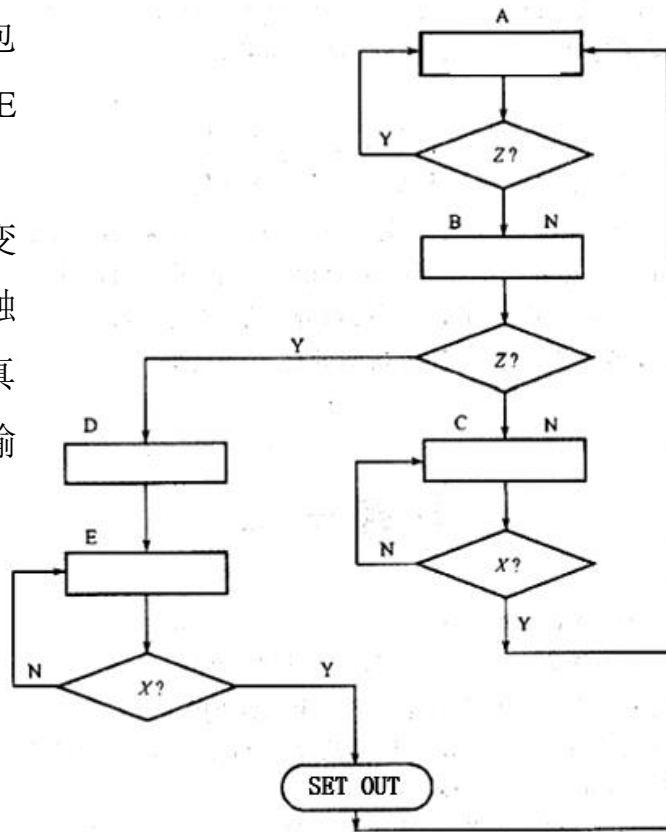
4. 把如图四个状态的状态转换图试转换为ASM图。

解：令输入为x输出为z:



Homework 9

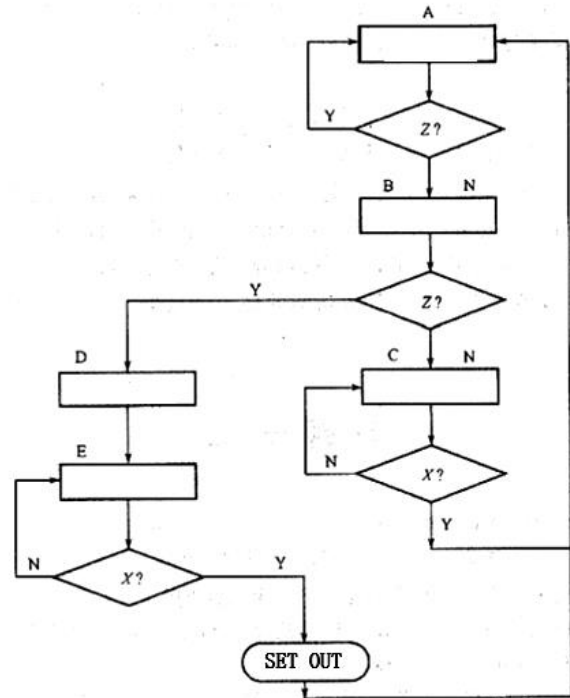
1. 某系统的ASM图如图所示，其中包括输入Z、X，状态A、B、C、D、E（分别用000~100代表状态A~E），输出SET。其中判断框后的Y表示变量等于1，N表示变量等于0。以D触发器设计该控制器：画出状态转移真值表，写出状态方程、驱动方程、输出方程。



Homework 9

1. 解：根据ASM图，画出状态转换真值表。一共五个状态，采用3位二进制可以实现。分别利用000~100代表状态A~E。其它状态令为下一时钟到来跳转到状态A。

Q2	Q1	Q0	Z	X	Q2*	Q1*	Q0*	SET
0	0	0	1	*	0	0	0	0
			0	*	0	0	1	0
0	0	1	1	*	0	1	1	0
			0	*	0	1	0	0
0	1	0	*	1	0	0	0	0
			*	0	0	1	0	0
0	1	1	*	*	1	0	0	0
1	0	0	*	1	0	0	0	1
			*	0	1	0	0	0
ELSE			*	*	0	0	0	0



Homework 9

1. 解：根据ASM图，画出状态转换真值表。一共五个状态，采用3位二进制可以实现。分别利用000~100代表状态A~E。其它状态令为下一时钟到来跳转到状态A.

Q2	Q1	Q0	Z	X	Q2*	Q1*	Q0*	SET
0	0	0	1	*	0	0	0	0
			0	*	0	0	1	0
0	0	1	1	*	0	1	1	0
			0	*	0	1	0	0
0	1	0	*	1	0	0	0	0
			*	0	0	1	0	0
0	1	1	*	*	1	0	0	0
1	0	0	*	1	0	0	0	1
			*	0	1	0	0	0
ELSE			*	*	0	0	0	0

状态方程：

$$Q_2^* = Q_2'Q_1Q_0 + Q_2Q_1'Q_0'X'$$

$$Q_1^* = Q_2'Q_1'Q_0 + Q_2'Q_1Q_0'X'$$

$$Q_0^* = Q_2'Q_1'Q_0'Z' + Q_2'Q_1'Q_0Z$$

驱动方程：

$$D_2 = Q_2'Q_1Q_0 + Q_2Q_1'Q_0'X'$$

$$D_1 = Q_2'Q_1'Q_0 + Q_2'Q_1Q_0'X'$$

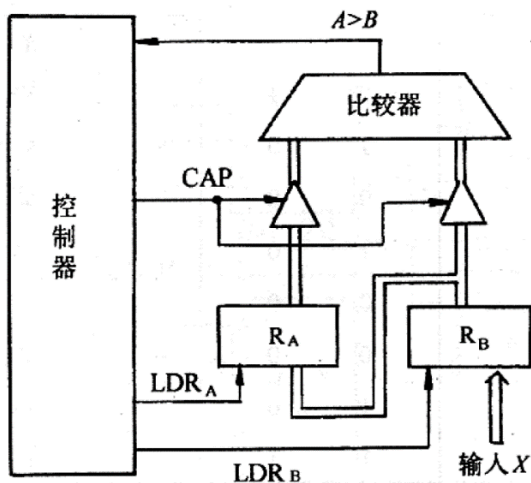
$$D_0 = Q_2'Q_1'Q_0'Z' + Q_2'Q_1'Q_0Z$$

输出方程：

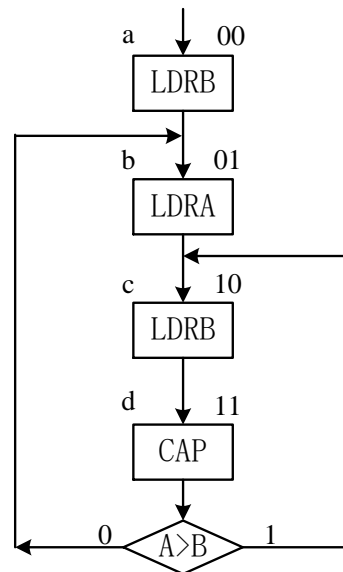
$$SET = Q_2Q_1'Q_0'X$$

Homework 9

2. 有一个数字比较系统，它能对8位二进制数进行比较。其操作过程如下：先将两个8位二进制存入寄存器A和B，然后进行比较，最后将大数移入寄存器A中。其方框图和 ASM 流程图见如下图所示。其中X为输入信号，LDRA，LDRB为写入控制信号，CAP 是三态门使能控制信号， $A > B$ 是比较器输出信号。设计一个计数器型控制器。



(a) 方框图

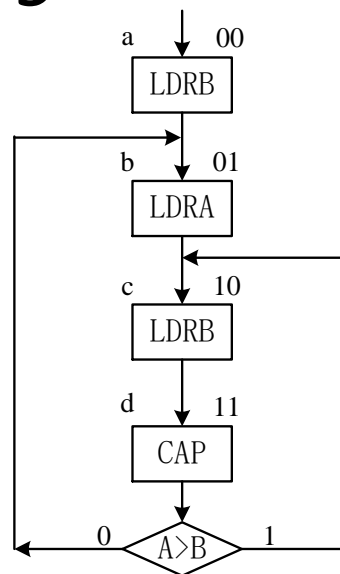


(b) ASM图

Homework 9

2. 列出状态转换表:

现态		次态		转换条件
Q1	Q0	Q1*	Q0*	
0	0	0	1	*
0	1	1	0	*
1	0	1	1	*
1	1	1	0	A>B
		0	1	(A>B)'



(b) ASM图

$$Q_1^* = Q_1Q_0' + Q_1'Q_0 + Q_1Q_0(A > B)$$

$$Q_0^* = Q_0' + Q_1Q_0(A > B)' = Q_0' + Q_1(A > B)'$$

$$LDRA = Q_1'Q_0$$

$$CAP = Q_1Q_0$$

$$LDRB = Q_1'Q_0' + Q_1Q_0' = Q_0'$$

Homework 9

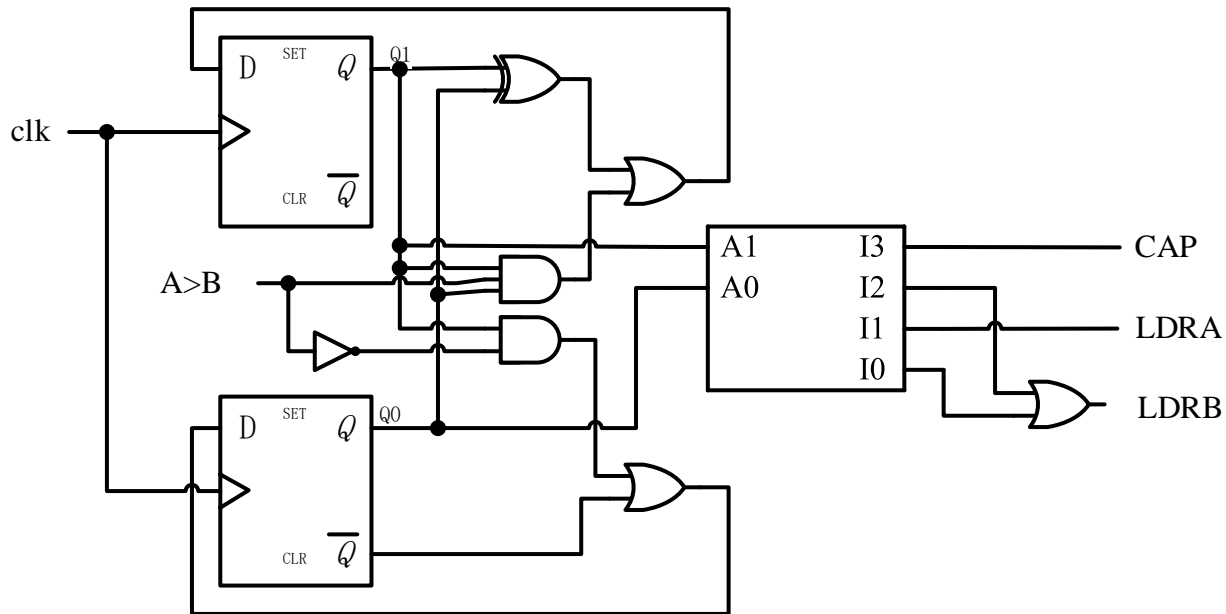
2. 列出状态转换表:

$$Q_1^* = Q_1Q_0' + Q_1'Q_0 + Q_1Q_0(A > B) \quad Q_0^* = Q_0' + Q_1Q_0(A > B)' = Q_0' + Q_1(A > B)'$$

$$LDRA = Q_1'Q_0$$

$$CAP = Q_1Q_0$$

$$LDRB = Q_1'Q_0' + Q_1Q_0' = Q_0'$$



2.

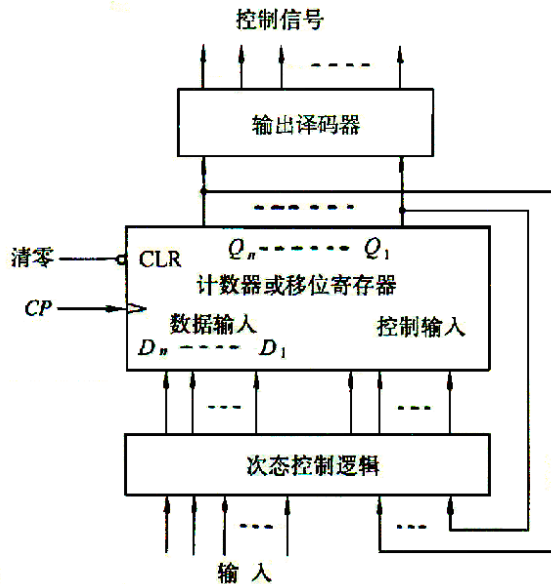
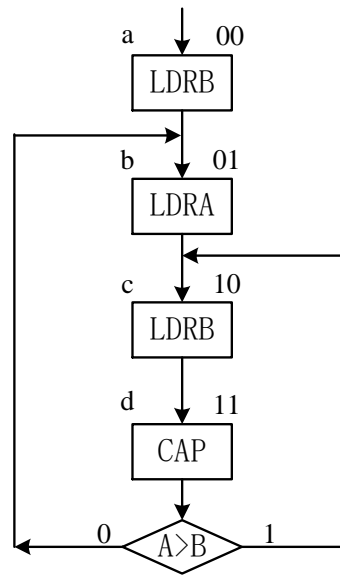


图 6.3.17 同步十进制加法计数器电路

Homework 9

3. 根据上题的条件，设计一个选择器型控制器。

现态		次态		转换条件	选择器输入	
Q1	Q0	Q1*	Q0*		MUX1	MUX0
0	0	0	1	*	0	1
0	1	1	0	*	1	0
1	0	1	1	*	1	1
1	1	1	0	A>B	A>B	(A>B)'
		0	1	(A>B)'		



(b) ASM图

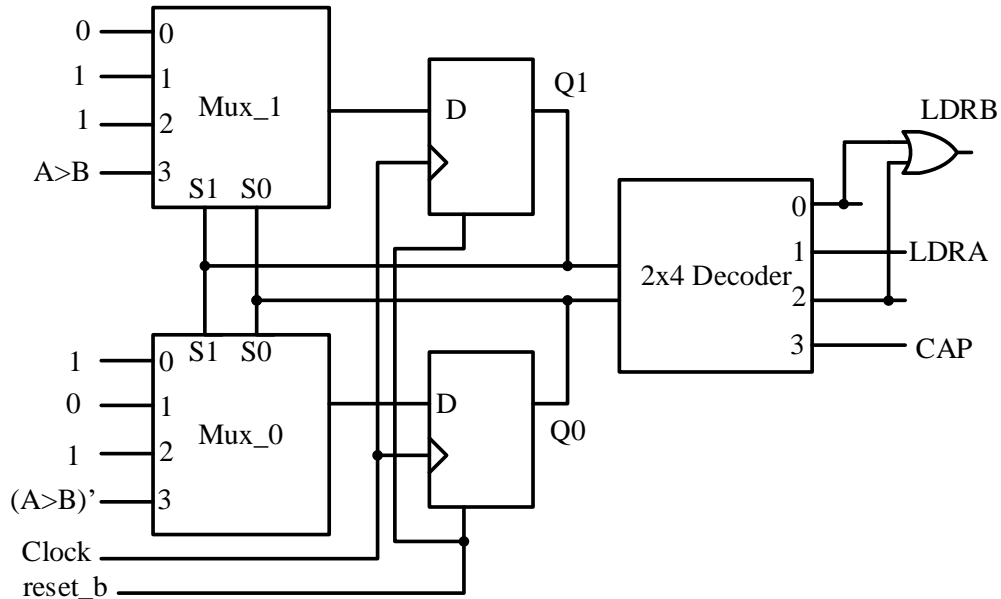
Homework 9

3. 根据上题的条件，设计一个选择器型控制器。

$$MUX1(0) = 0, MUX1(1) = 1, MUX1(2) = 1, MUX1(3) = (A > B)$$

$$MUX0(0) = 1, MUX0(1) = 0, MUX0(2) = 1, MUX0(3) = (A > B)'$$

$$LDRA = Q_1'Q_0 \quad CAP = Q_1Q_0 \quad LDRB = Q_1'Q_0' + Q_1Q_0' = Q_0'$$



Homework 9

2. 列出状态转换表:

$$Q_1^* = Q_1 Q_0' + Q_1' Q_0 + Q_1 Q_0 (A > B) \quad Q_0^* = Q_0' + Q_1 Q_0 (A > B)' = Q_0' + Q_1 (A > B)'$$

$$LDRA = Q_1' Q_0 \quad CAP = Q_1 Q_0 \quad LDRB = Q_1' Q_0' + Q_1 Q_0' = Q_0'$$

【例 8.6】如图 8.22 a)所示, 一个简单的 8 位二进制无符号数并行加法运算器, 数据从存储器通过同一个总线输入, 控制算法分四步: 1) 溢出标志寄存器 C 清零, 先取被加数至寄存器 A; 2) 将 A 中被加数送寄存器 B; 3) 后取加数至寄存器 A; 4) 将 A 与 B 中的数相加, 结果存于 B, 且 1 位进位溢出标志存放于寄存器 C。请设计该控制器, 要求采用计数器型。假设状态周期 $T = T_1 + T_2$ 计数器状态变化发生在 T_1 时序, 控制信号 LDA, LDB 发生在 T_2 时序。

控制器设计

- 补充讲义

第六章节 存储器和可编程逻辑



lect14 存储器和可编程控制器 - 20210420

[查看文件](#)



补充讲义

[收起](#)

附件名



数字系统设计补充讲义2018版(1).pdf

控制器设计

- 计数器型控制器（例8.5、8.6）
 - 2^n 个状态 \rightarrow n 个触发器， n 个状态变量

现态(PS)			次态(NS)	
Q1	Q0	X	Q1*	Q0*
0	0	*	0	1
0	1	*	1	0
1	0	*	1	1
1	1	A>B	1	0
		(A>B)'	0	1

现态		次态		转换条件
Q1	Q0	Q1*	Q0*	
0	0	0	1	*
0	1	1	0	*
1	0	1	1	*
1	1	1	0	A>B
		0	1	(A>B)'

$$Q_1^* = Q_1 Q_0' + Q_1' Q_0 + Q_1 Q_0 (A > B)$$

$$Q_0^* = Q_0' + Q_1 Q_0 (A > B)' = Q_0' + Q_1 (A > B)'$$

控制器设计

- 多路选择器型控制器（例8.7、8.8）
 - 2^n 个状态 \rightarrow n 个选择器， n 个触发器， n 个状态变量

现态		次态		转换条件
Q1	Q0	Q1*	Q0*	
0	0	0	1	*
0	1	1	0	*
1	0	1	1	*
1	1	1	0	$A > B$
		0	1	$(A > B)'$

$$MUX1(0) = 0, MUX1(1) = 1, MUX1(2) = 1, MUX1(3) = (A > B)$$

$$MUX0(0) = 1, MUX0(1) = 0, MUX0(2) = 1, MUX0(3) = (A > B)'$$

控制器设计

- 定序器型控制器（例8.9、8.10）
 - 2^n 个状态 \rightarrow 2^n 个触发器， 2^n 个状态变量

<i>PS(现态)</i>				<i>NS(次态)</i>				<i>转换条件</i> <i>C</i>
Q_a	Q_b	Q_c	Q_d	$Q_a(D)$	$Q_b(D)$	$Q_c(D)$	$Q_d(D)$	
1	0	0	0	0	1	0	0	初始化置"1" Q_a
0	1	0	0	0	0	1	0	—
0	0	1	0	0	0	0	1	—
0	0	0	1	0	0	1	0	$A > B$
				0	1	0	0	$\overline{A > B}$

$$Q_a(D) = 0$$

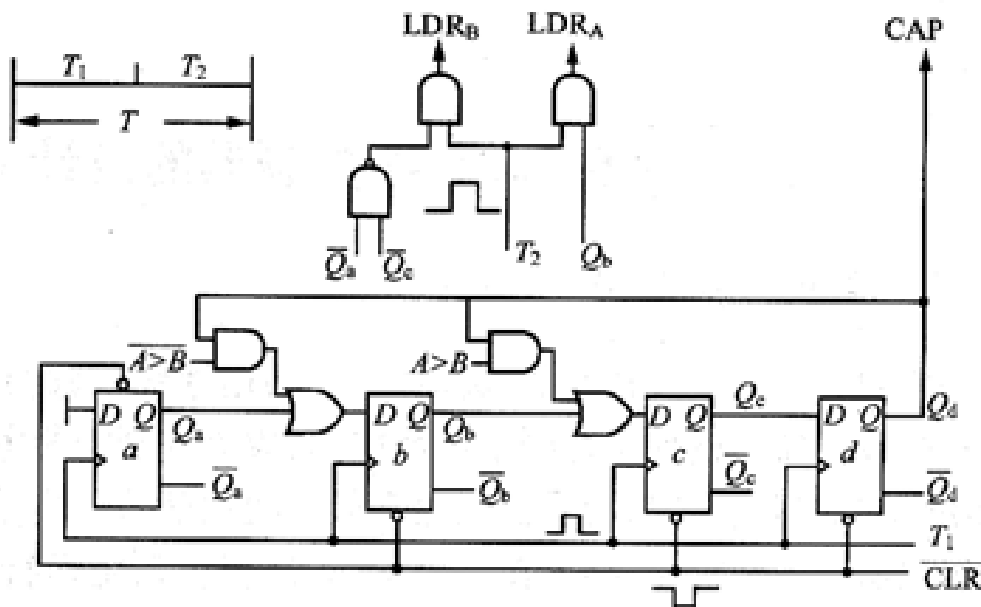
$$Q_b(D) = Q_a + \overline{(A > B)} \cdot Q_d$$

$$Q_c(D) = Q_b + (A > B) \cdot Q_d$$

$$Q_d(D) = Q_c$$

控制器设计

- 定序器型控制器（例8.9、8.10）
 - 2^n 个状态 $\rightarrow 2^n$ 个触发器， 2^n 个状态变量



作业成绩

- 作业成绩：

10分 = 提交基本分（5/6分）+ 正确率得分

- 作业补交：

期末考试前

只能获得正确率得分部分

- 学在浙大提交：

带批改标记和成绩得分，拍照上传到学在浙大对应模块

习题讲解

Hw7 – Hw9、练习题

王彤
wangt_@zju.edu.cn