

诚信考试 沉着应考 杜绝违纪

浙江大学 2008 - 2009 学年冬季学期

《数字电路》课程期末考试试卷

课程号: (2008-2009-1)-111C0030; 考试试卷: ☒ A 卷、B 卷 (请在选定项上打 ☒)

开课学院: 信息学院, 考试形式: ☒ 闭、开卷 (请在选定项上打 ☒) , 允许带 计算器 入场

考试时间: 2009 年 1 月 10 日, 所需时间: 120 分钟

考生姓名: _____ 学号: _____ 专业: _____

题序	一	二	三	四	五	六	七	八	总 分
得分									
评卷人									

一、 逻辑代数 (16 分)

采用卡诺图法化简下列逻辑函数, 要求表达式尽量简单.

1. $F(A, B, C, D) = \sum m(1, 2, 4, 7, 8, 11, 13, 14)$

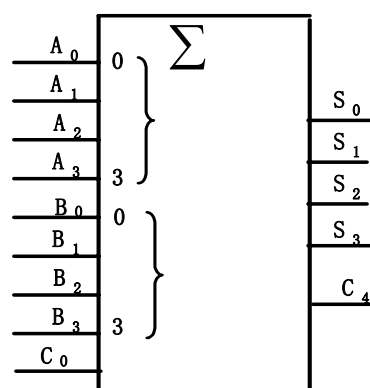
2. $F(A, B, C, D) = \sum m(0, 1, 4, 7, 9, 10, 13) + \sum d(2, 5, 8, 12, 14, 15)$

二、数制和组合逻辑 (16 分)

1. 使用一个 8 选 1 数据选择器和一个反相器实现布尔函数：(8 分)

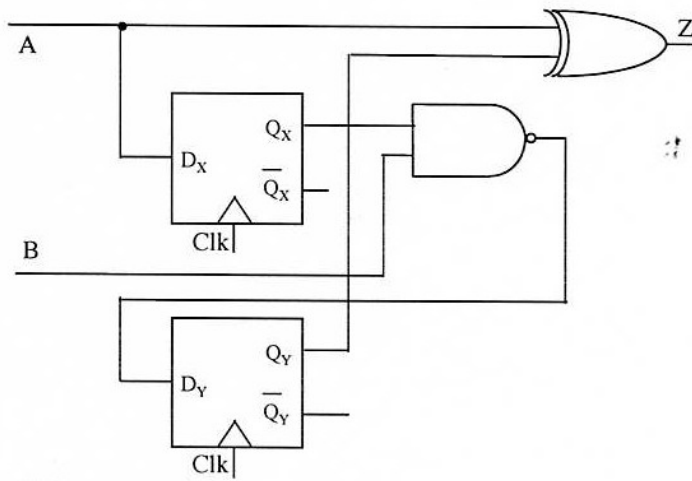
$$F(A, B, C, D) = \sum m(1, 3, 4, 11, 12, 13, 14, 15)$$

2. 设 A 为四位二进制数，试用 1 片四位二进制加法器 74283 实现函数 $Y=5A$.



三、反相工程 (12 分)

根据下面时序电路图得到状态机图.



1) 这是 Melay 状态机还是 Moore 状态机 (1 分)

2) 写出下面三个电路节点的布尔方程 (3 分)

$Z(A, B, Q_x, Q_y) =$

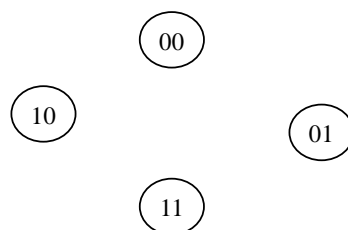
$D_x(A, B, Q_x, Q_y) =$

$D_y(A, B, Q_x, Q_y) =$

3) 完成状态转换表 (4 分)

Q_x	Q_y	A	B	D_x	D_y	Z
0	0	0	0			
0	0	0	1			
0	0	1	0			
0	0	1	1			
<hr/>						
0	1	0	0			
0	1	0	1			
0	1	1	0			
0	1	1	1			
<hr/>						
1	0	0	0			
1	0	0	1			
1	0	1	0			
1	0	1	1			
<hr/>						
1	1	0	0			
1	1	0	1			
1	1	1	0			
1	1	1	1			

4) 根据状态转换表, 只完成从状态 11 开始的状态图. (4 分)



四、时序电路 (12 分)

采用 T 触发器设计计数器, 重复的计数序列为: 0, 1, 3, 7, 6, 4. 说明为什么二进制状态 010 和 101 被当做任意态使用时, 计数器不能正常工作. 给出一种方法校正这种设计.

五、时序电路 (12 分)

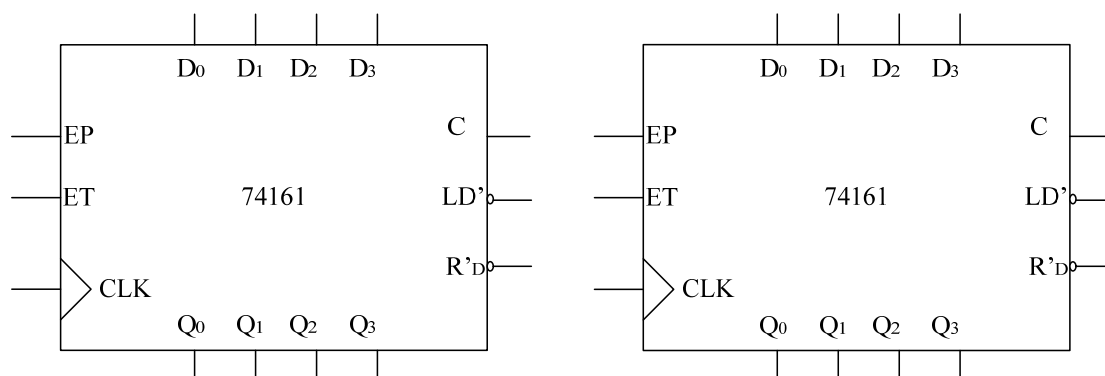
采用 D 触发器设计一输出序列为“00010111”移存型序列信号发生器. 要求列出状态转换表, 移位寄存器的激励函数, 画出逻辑电路图.

六、时序电路 (12 分)

采用 4 位同步二进制计数器 74161 接成 92 进制计数器，标出输入、输出端. 可以附加必要的门电路. 74161 的功能表如下表.

4 位同步二进制计数器 74161 的功能表

CLK	R' _D	LD'	EP	ET	工作状态
x	0	x	x	x	置零
↑	1	0	x	x	预置数
x	1	1	0	1	保持
x	1	1	x	0	保持 (但 C=0)
↑	1	1	1	1	计数



七、Verilog HDL 语言 (10 分)

分析下面 Verilog 模块描述的功能.

```
module X (EN, I, A, E0);
    input      EN;
    input  [3:0] I;
    output [1:0] A;
    output      E0;

    always @ (EN or I or A or E0)
    begin
        if (EN == 0) begin E0 = 0;  A = 0; end
        else
        begin
            E0 = 1;  A = 0;
            if (I[0] == 1) begin E0 = 0;  A = 0; end
            if (I[1] == 1) begin E0 = 0;  A = 1; end
            if (I[2] == 1) begin E0 = 0;  A = 2; end
            if (I[3] == 1) begin E0 = 0;  A = 3; end
        end
    end
endmodule
```

(1) 首先读懂上面的 Verilog 代码所描述的功能, 然后完成下面的真值表. 注意: 此真值表不是完整的真值表. (5 分)

I ₃	I ₂	I ₁	I ₀	EN	A ₁	A ₀	E0
0	0	0	0	0			
0	0	0	0	1			
0	0	0	1	0			
0	0	0	1	1			
0	0	1	0	0			
0	0	1	0	1			
1	0	0	0	0			
1	0	0	0	1			
1	0	0	1	0			
1	0	0	1	1			

(2) 指出上面代码所实现的功能. (1 分)

(3) 只采用 2 选 1 的选择器, 实现上述代码所描述的功能. 画出电路逻辑图. (4 分)

八、脉冲电路 (10 分)

有 CMOS 正边沿 D 触发器构成的电路如下图所示, 假定工作电平为 V_{dd} , CMOS 为理想器件, R_{st} 表示复位高电平有效.

1、画出 Q 端、 V_o 波形.

2、求 t_w .

