

浙江大学 2017 - 2018 学年 春夏 学期

《 数字系统设计 》课程期末考试试卷

课程号: 671C0050, 开课学院: 信息与工程学院

考试试卷: ☒ A 卷、B 卷 (请在选定项上打 \checkmark)

考试形式: ☒ 闭、开卷 (请在选定项上打 \checkmark), 允许带 计算器 入场

考试日期: 2018 年 7 月 7 日, 考试时间: 120 分钟

诚信考试, 沉着应考, 杜绝违纪。

考生姓名: 陈芳 学号: _____ 所属院系 (专业): _____

题序	一	二	三	四	五	六	七	八	总分
得分									
评卷人									

一、判断题 (共 12 分, 得分 _____) 在下方的表格中对应题号填入 \checkmark (正确) 或 \times (错误)

1	2	3	4	5	6	7	8	9	10	11	12
\times	\times	\times	\checkmark	\times	\times	\times	\checkmark	\times	\times	\times	\times

- 十进制数 $(65)_{10}$ 的余 3 码编码是 0111 0100。
- 实现两个一位二进制数相加的电路叫全加器。
- 一个标准 TTL 反向器的输入通过 $5k\Omega$ 电阻接到地, 则其输出为高电平。
- 当时序逻辑电路存在无效循环时, 该电路不能自启动。
- 如果要把一宽脉冲信号变换为窄脉冲, 应采用施密特触发器。
- 莫尔 (Moore) 状态机的输出与电路的当前状态和输入均相关。
- 6 个触发器组成的计数器, 最多可以组成 128 进制的计数器。
- 微程序控制器中, 若微指令长度为 2^n 位, 则微地址寄存器的长度为 n 位。
- 存储容量为 $256K \times 4$ 位的 RAM 存储器, 其地址线为 8 条、数据线为 4 条。
- 对于 m 个待处理数据的数据流, 每个数据运算有 L 段, 每段用时 t 的流水线操作结构, 理想情况下共需运算时间 $T = m \cdot t + (L-1) \cdot t$ 。
- 在一个时序逻辑电路中, 消除了其中的组合逻辑电路因竞争冒险而产生的尖峰脉冲, 就不会产生竞争冒险现象。
- 在测试电路中, 边界扫描电路用于测试电路板的好坏, 而内建自测试电路用于测试芯片内部的好坏。

二、组合逻辑 (15 分, 得分 _____)

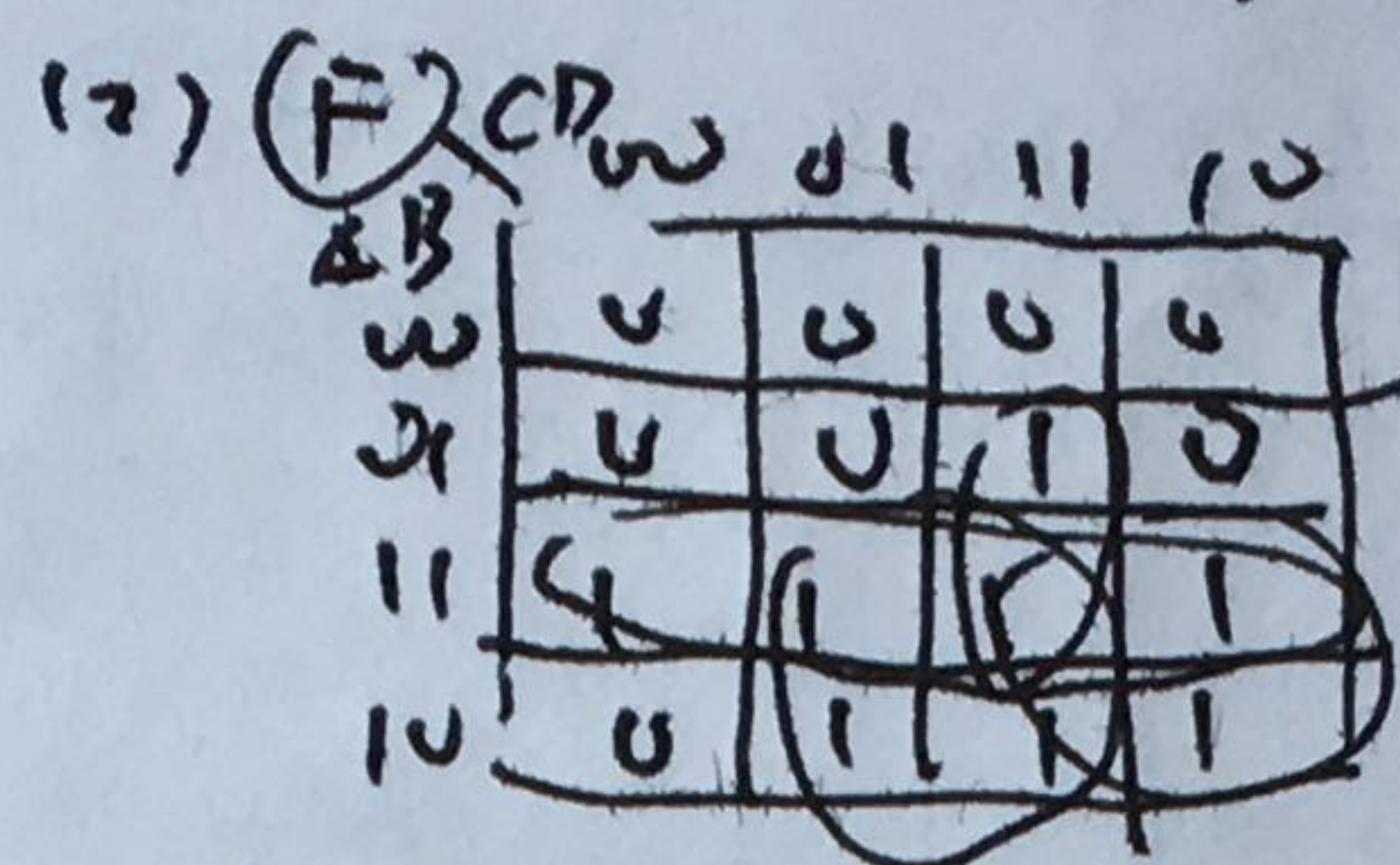
设计一多数表决电路, 要求 A、B、C、D 四人中只要多数同意, 则决议就通过; 如果是二人同意二人反对时, 则 A 有决定权。假设同意用 “1” 表示, 不同意用 “0”

表示：通过用“1”表示，不通过用“0”表示，输出结果用变量F表示。试求：
 (1) 列出真值表，并写出输出的“最小项和”的标准逻辑函数表达式；
 (2) 化简输出逻辑函数，用与非门实现设计，并画出电路图；
 (3) 以B、C、D为地址，用一个8选1数据选择器实现此电路，并画出电路图。

解 (1) 真值表

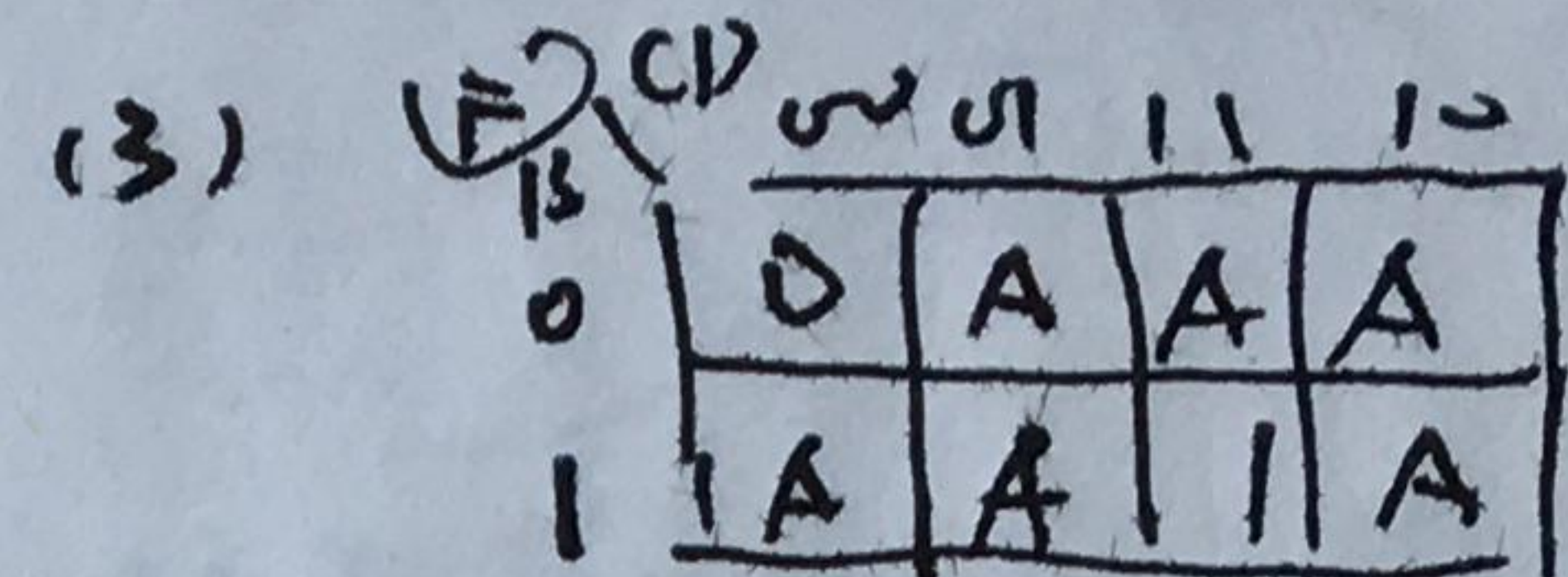
A	B	C	D	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

$F(A,B,C,D) = \sum 7, 9, 10, 11, 12, 13, 14, 15$

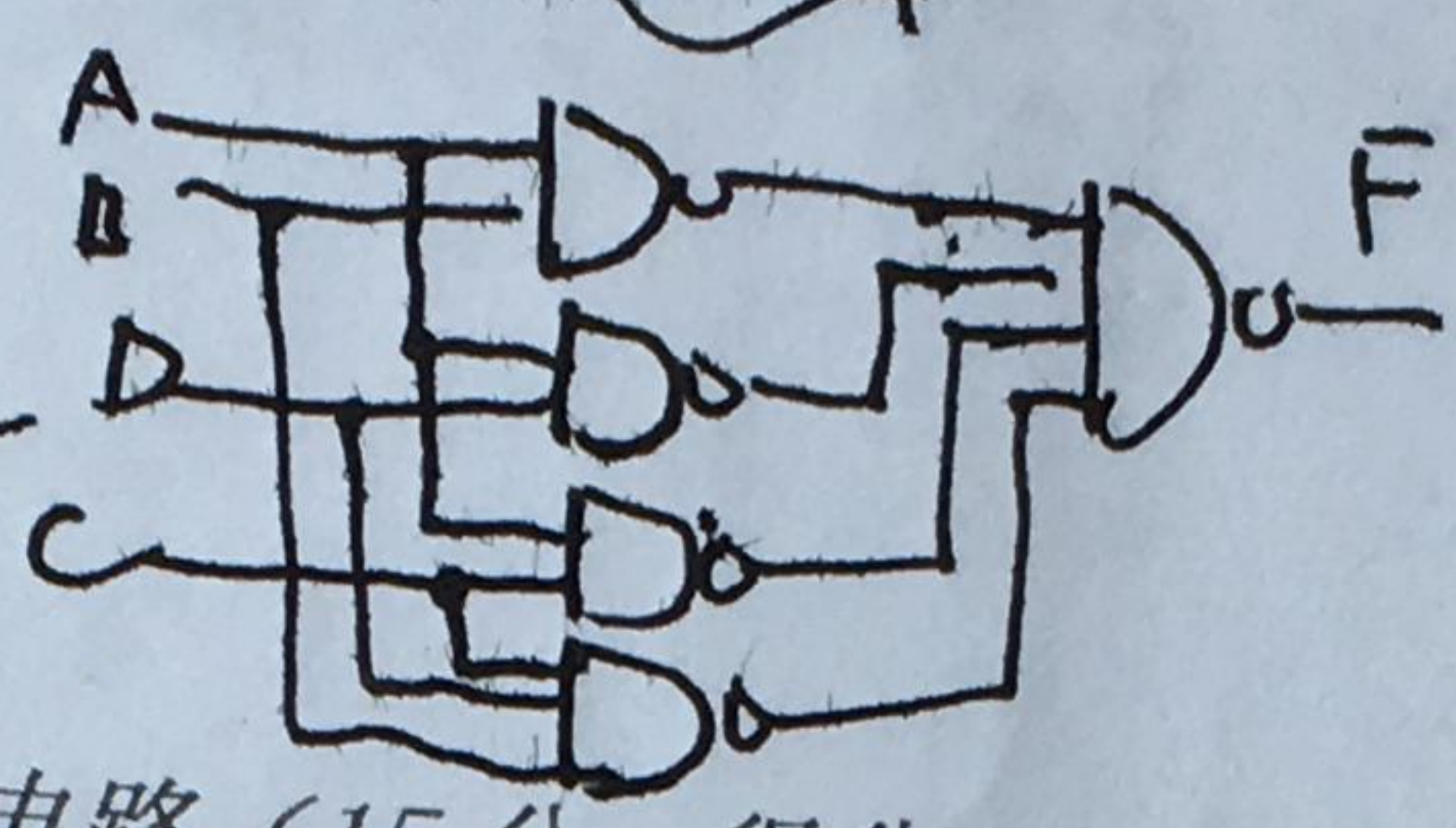
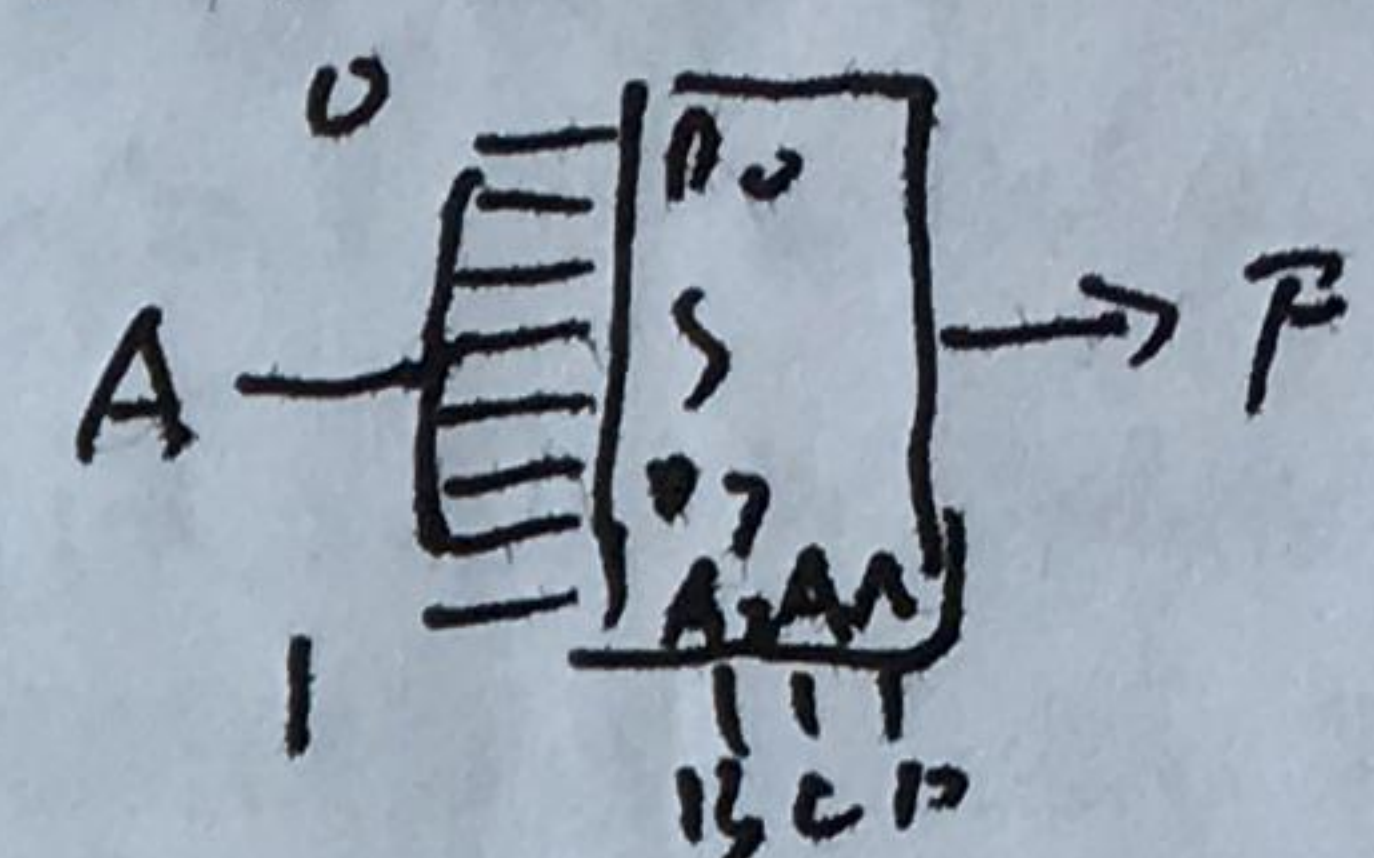


$F = AB + AD + AC + BCD$

5x3



数据: 0 A A A A A A 1



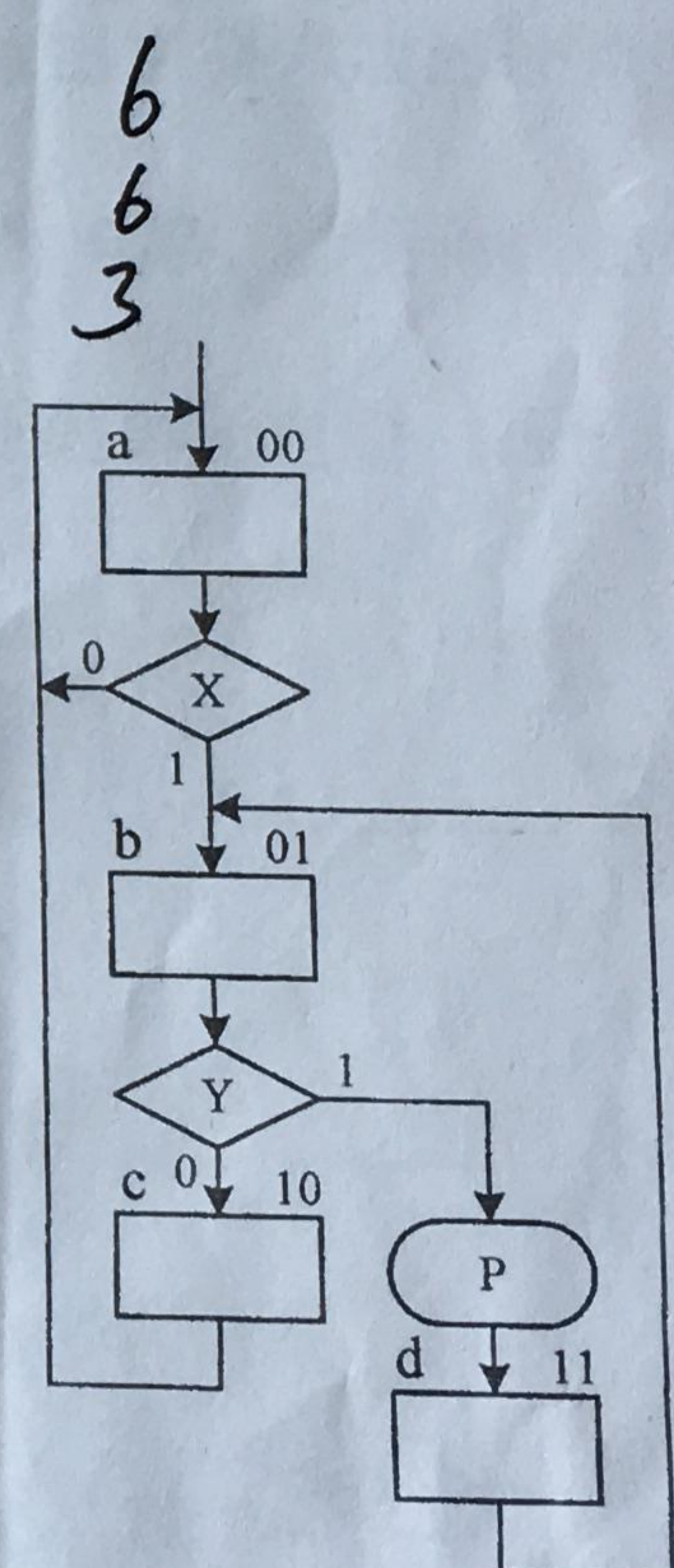
三、时序及控制器电路 (15分, 得分_____)

下图为某一控制器的算法流程图，请设计一个多路选择器 (MUX) 型控制器，其中，X、Y为输入信号，P为输出控制信号。

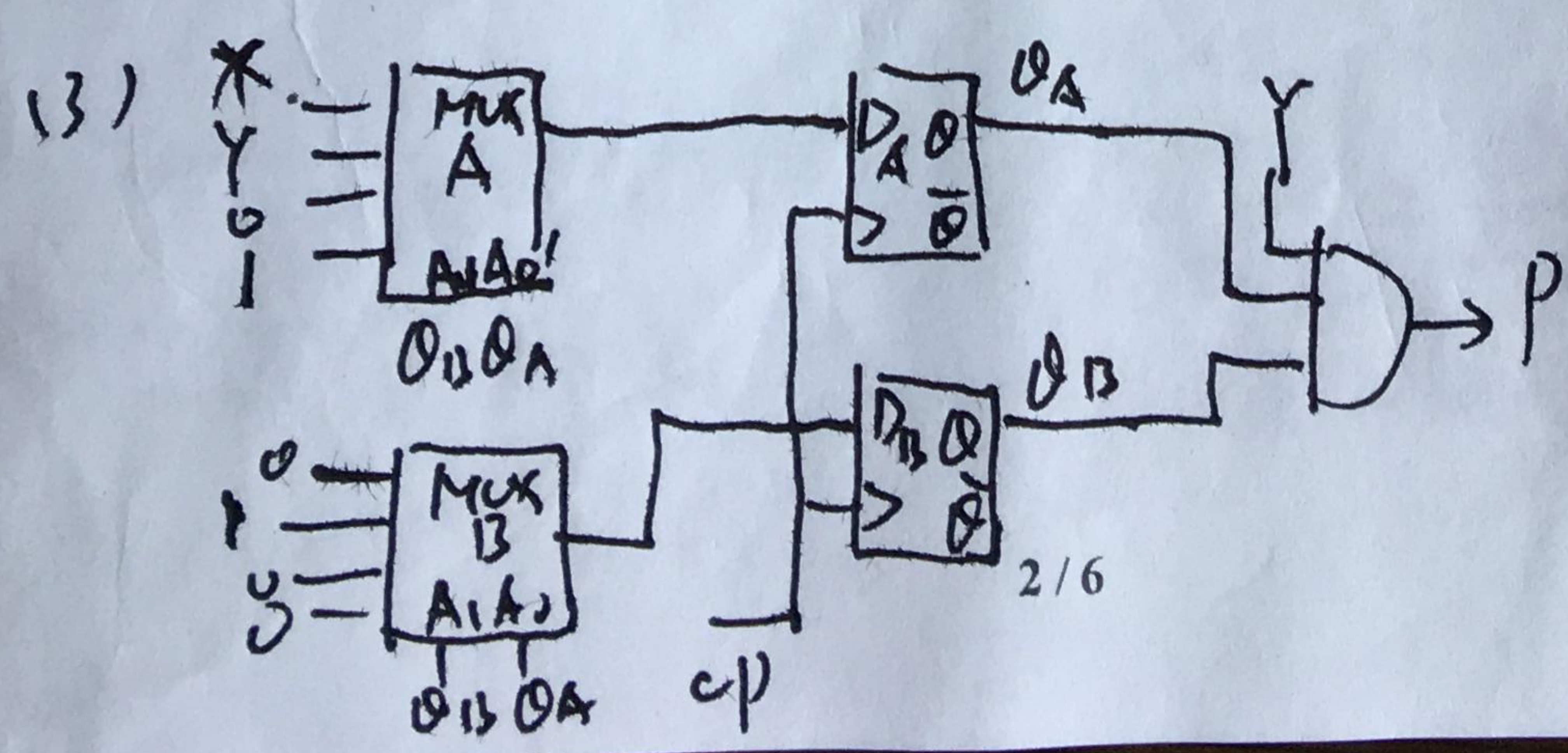
- (1) 请写出状态转移表；
- (2) 写出各 MUX 端的输入端表达式，以及输出表达式；
- (3) 画出该控制器的电路图。

解 (1) 状态转移表

现态	NS	次态	输出
00 a	0 0	a	\bar{Y}
01 b	0 1	b	X
10 c	1 0	c	\bar{Y}
11 d	1 1	d	Y (P=1)



(2) 各 MUX 的输入端表达式，以及输出表达式：
 $MUX A = \begin{cases} X \\ Y \\ 0 \\ 1 \end{cases}$ $MUX B = \begin{cases} 0 \\ Y \\ 0 \\ 0 \end{cases}$ $P = Y \cdot \bar{0}_B \cdot 0_A$



四、 Verilog HDL (共 15 分, 得分 _____)

(1) 仔细阅读下列 Verilog 代码描述的模块, 指出这段代码存在的错误, 并进行改正。

(注: 假设所描述的行为是正确的。)(5 分)

```
module divide2 (clk, clk_o, reset)
    input  clk, reset;
    output clk_o;
    wire  in;
    wire  out;
    always (posedge clk or posedge reset)
    if (reset)
        out <= 0;
    else
        out <= in;
    assign in <= ~out;
    assign clk_o = out;
```

- ① 第13行末尾加 ";"
- ② 第5行 "wire" 改为 "reg"
- ③ 第6行 always 后加 "@"
- ④ 第11行 "<=" 改为 "="
- ⑤ 第12行 及 第13行 加 "endmodule"

错1扣1分. 扣完

(2) 以下是 Verilog 描述的一个电路, 请使用适当的门电路和 D 触发器, 画出对应的逻辑电路图, 要求电路最简化。并画出该电路的状态转换图。(10 分)

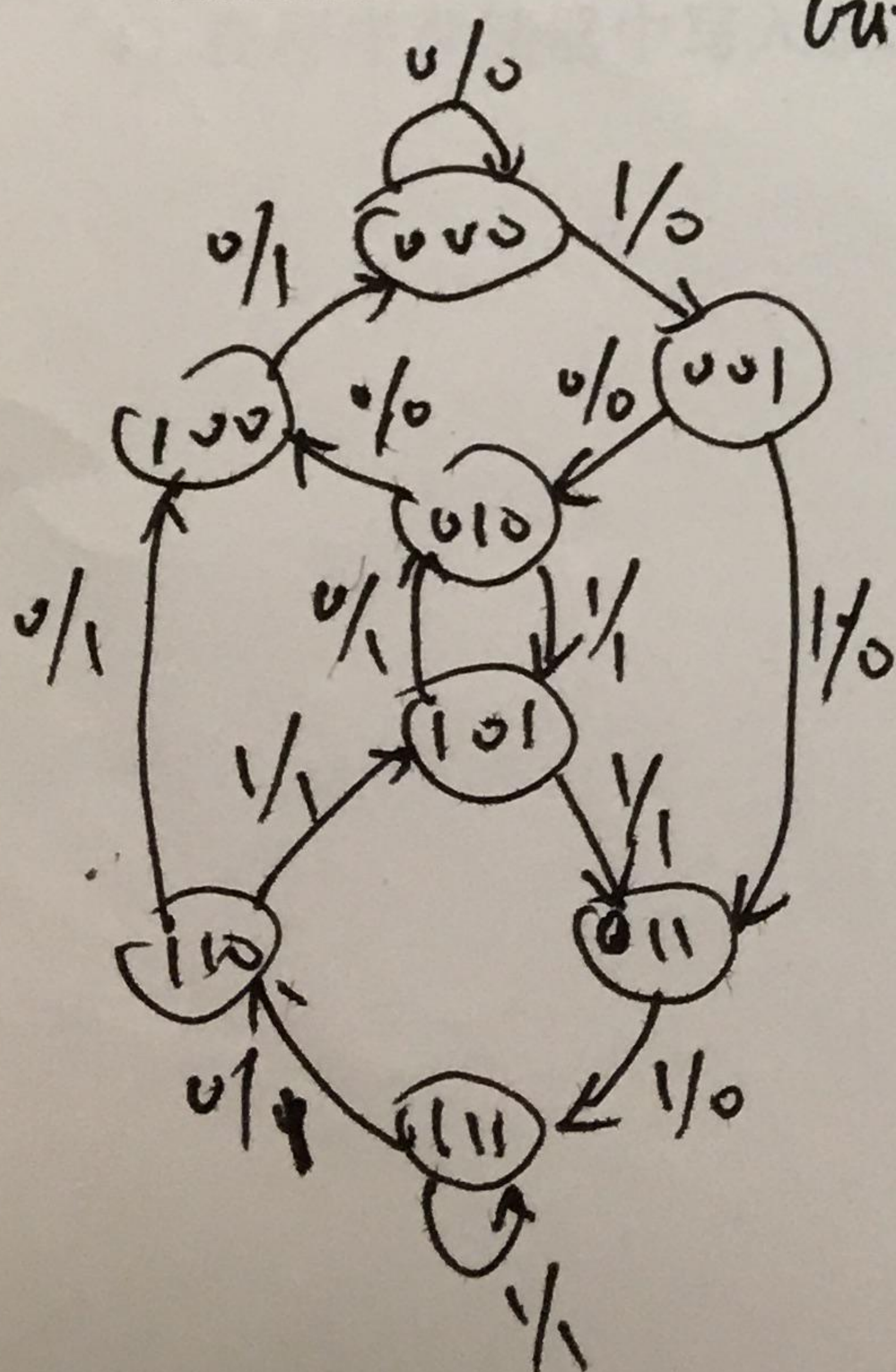
```
module nonblocking(in, c, out);
    input  in, c;
    output out;
    reg q1, q2, out;
    always @(posedge c)
    begin
        q1 <= in;
        q2 <= q1;
        out <= q2;
    end
endmodule
```

5+5

2. 长表

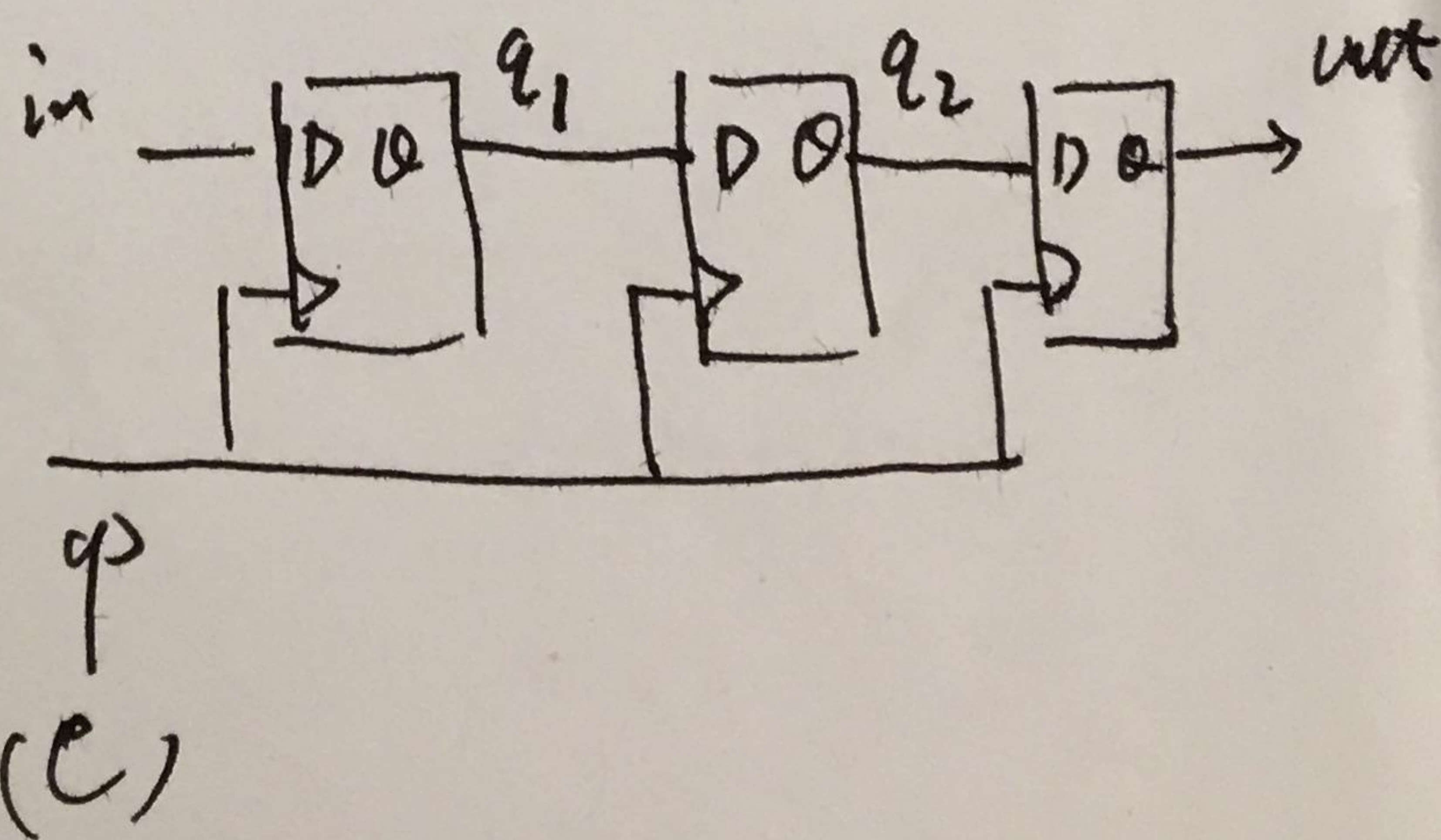
in	q ₂	q ₁	q ₁ '	q ₂ '	out' (q ₂)
0	0	0	1	1	0
0	0	1	1	0	0
0	1	0	1	0	1
0	1	1	1	0	1
1	0	0	1	1	1
1	0	1	1	1	1
1	1	0	1	1	1
1	1	1	1	1	1

q₁' = in
q₂' = q₁
out' = q₂



out q₂ q₁

in/out



五、测试与验证 (10 分, 得分_____)

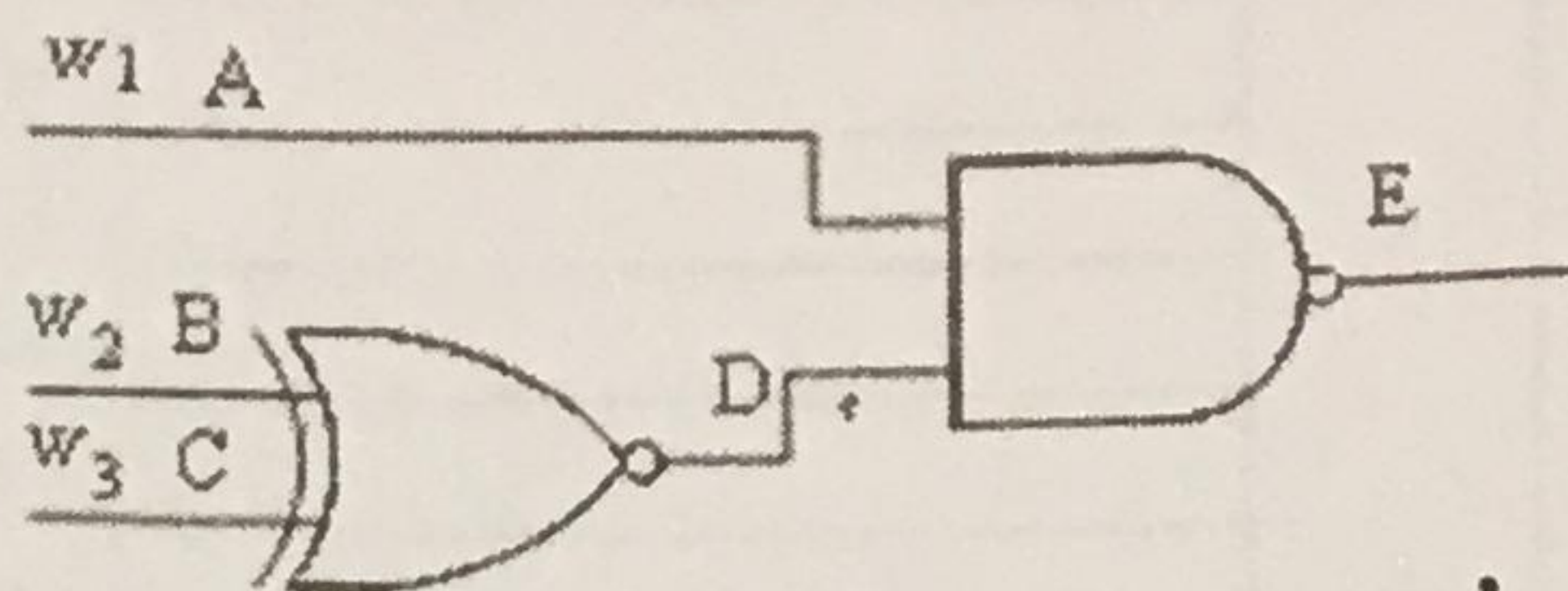
针对图所示的电路, 采用 SA0 和 SA1 的故障模型, 根据要求写出寻找图中故障点的测试向量。输入测试信号为 W1, W2, W3, 试求:

- 写出能检测 E 节点处的 SA0 故障的所有测试向量, 并简要说明理由;
- 写出能检测 B 节点处的 SA1 故障的所有测试向量, 并简要说明理由。

21 (1) E 节点 SA0 故障, 则测试点 E 应为正常时 $E=1$ 。

$$\therefore E = A \cdot B \oplus C = \bar{A} + B \oplus C = 1$$

$$\therefore \text{测试向量为: } W_1, W_2, W_3 = \begin{cases} 0 & 0 & 0 \\ 0 & 0 & 1 \\ 0 & 1 & 0 \\ 0 & 1 & 1 \\ 1 & 0 & 1 \\ 1 & 1 & 0 \end{cases}$$



(2) B 节点 SA1 故障, 则测试向量应使 $W_2=0$ 使得到达 E。
 \therefore 有 $W_1=1, W_2 \oplus W_3 = 0$ 或 1。
 \therefore 测试向量 $W_1, W_2, W_3 = \begin{cases} 1 & 0 & 0 \\ 1 & 0 & 1 \end{cases}$

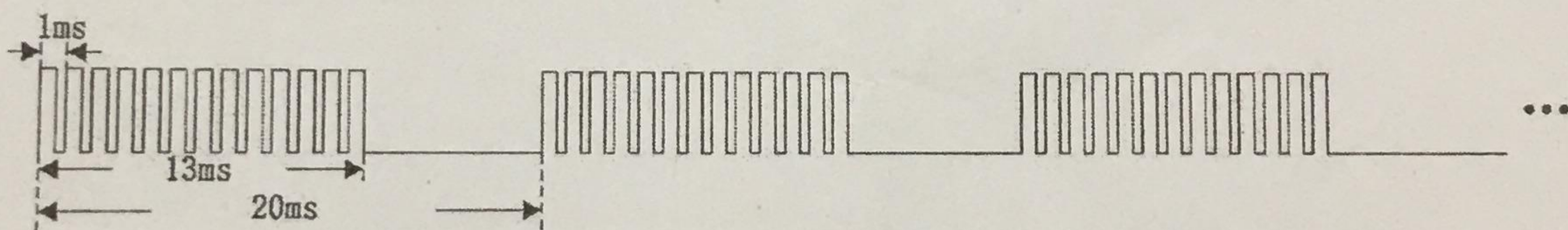
六、脉冲电路 (15 分, 得分_____)

已知 555 定时器可作为波形发生器, 现希望得到一个周期群脉冲发生器, 具体波形如下图所示: 其群周期为 20ms, 脉冲周期为 1ms (脉冲占空比没有严格要求), 群内脉冲数 $N=13$ 。(利用 NE555 定时器以及必要的电阻、电容设计)

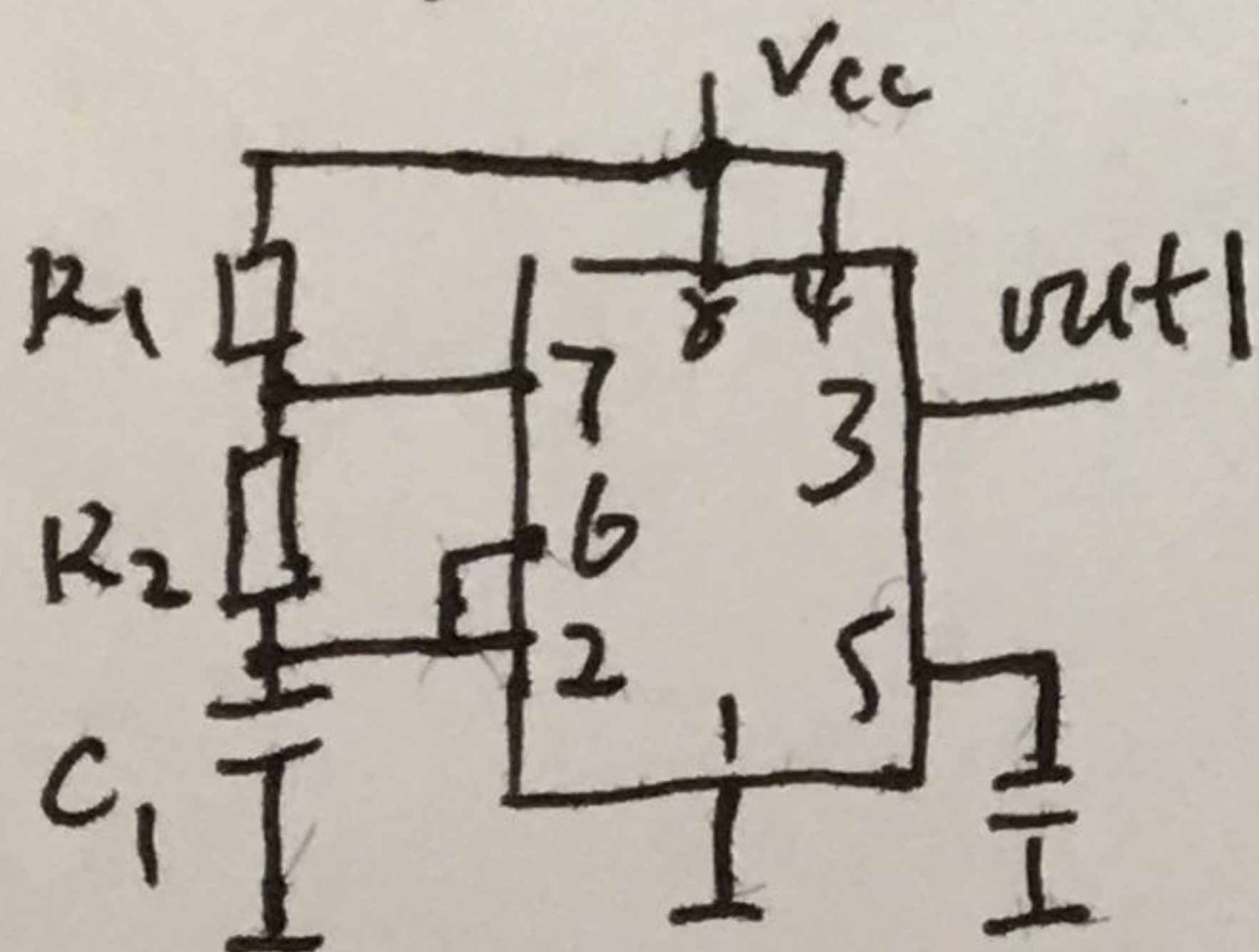
(1) 首先, 请设计产生脉冲周期为 1ms 的振荡器电路, 并给出主要参数的设计步骤;

(2) 其次, 请设计周期为 20ms, 占空比为 0.65 的矩形波产生电路, 分析并给出主要参数的设计步骤;

(3) 最后, 在不增加任何电路器件的情况下, 利用上述设计的单元电路, 画出该周期群脉冲发生器的电路图。

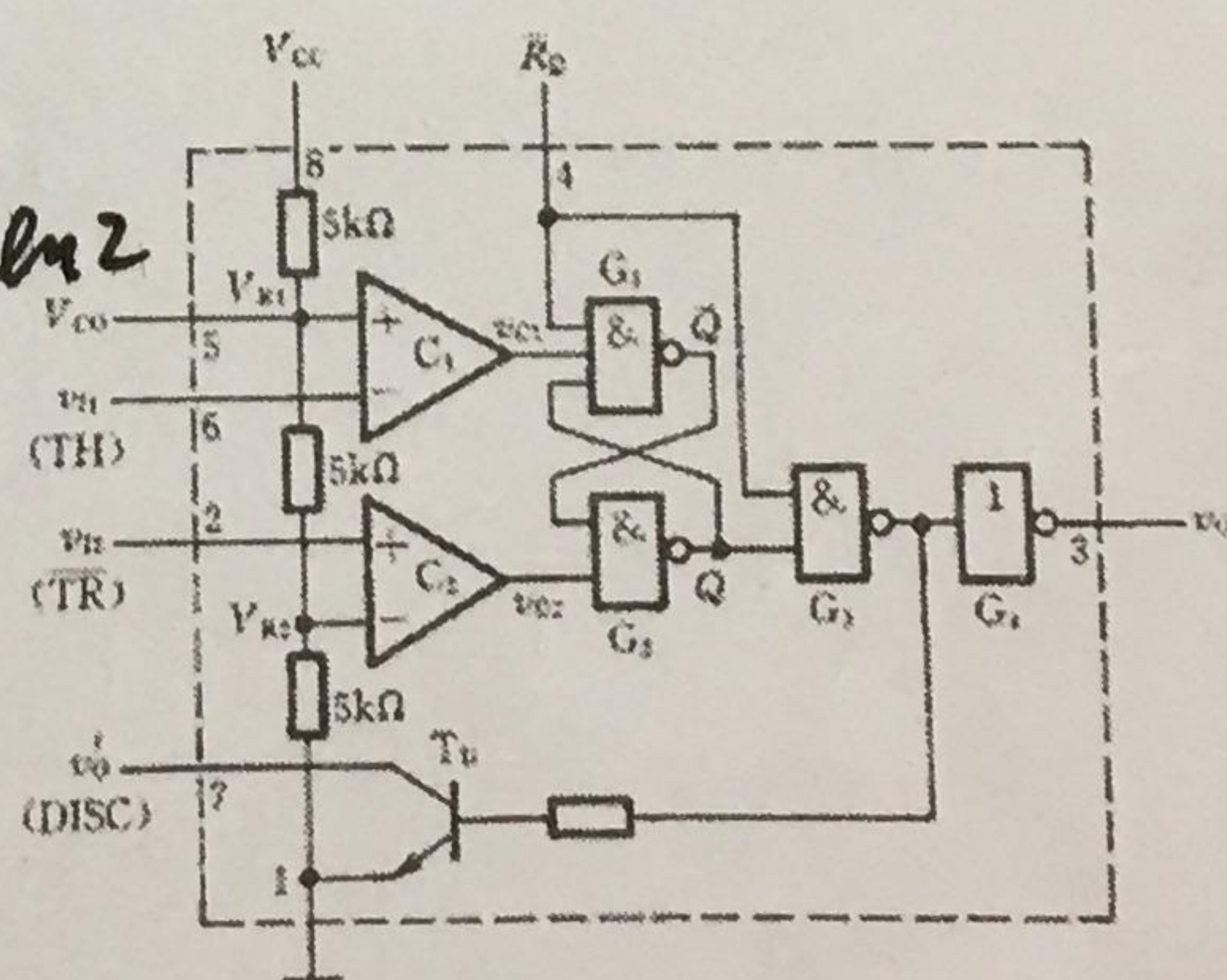


(1) 多谐振荡器电路



$$\text{周期 } T = (R_1 + 2R_2)C_1 \ln 2 = 1 \text{ ms}$$

\therefore 取 R_1, R_2, C_1 满足上述关系式



NE555 内部电路框图

(2) 也是多谐振荡器 $T = (R_1 + 2R_2)C_1 \ln 2 = 20 \text{ ms}$ 。

$$\text{同时, } \frac{T_1}{T_1 + T_2} = \frac{T_1}{T} = \frac{13}{20} = \frac{R_1 + R_2}{R_1 + 2R_2} = \frac{13}{20}$$

取 R_1, R_2 及 C_1 满足上述关系式
 电路同上 (1)

(3) 把第 2 个多谐振荡器
 \therefore 接在 out2
 接第 1 个多谐振荡器
 \therefore 4 脚 (R_2)
 即可。