

# 浙江大学 2014 - 2015 学年 春夏 学期

## 《数字系统设计》课程期末考试试卷

课程号: 111C0120, 开课学院: 信息与电子工程学院

考试试卷: ☒ A 卷、B 卷 (请在选定项上打  $\checkmark$ )

考试形式: ☒ 闭、开卷 (请在选定项上打  $\checkmark$ ), 允许带 计算器 入场

考试日期: 2015 年 7 月 8 日, 考试时间: 120 分钟

诚信考试, 沉着应考, 杜绝违纪。

考生姓名: \_\_\_\_\_ 学号: \_\_\_\_\_ 所属院系 (专业): \_\_\_\_\_

题序	一	二	三	四	五	六	七	八	九	总分
得分										
评卷人										

一. 判断题: (15 分) 在下方的表格中对应题号填入  $\checkmark$  (正确) 或  $\times$  (错误)

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
$\checkmark$	$\times$	$\times$	$\times$	$\checkmark$	$\times$	$\checkmark$	$\times$	$\checkmark$	$\times$	$\times$	$\times$	$\times$	$\times$	$\checkmark$

1. 处理器可以分为两个部分: 数据通路和控制电路。
2. 一般 TTL 门电路的输出端可以直接相连, 实现线与。
3. CMOS 与非门和 TTL 与非门的逻辑功能不一样。
4. JK 触发器在时钟脉冲的作用下, 如果要使  $Q^{n+1} = \overline{Q^n}$ , 则输入信号 JK 应为  $J = Q^n$ ,  $K = Q^n$ 。
5. 具有记忆功能的各类触发器是构成时序逻辑电路的基本单元。
6. 石英晶体多谐振荡器的振荡频率与电路中的 R、C 乘积成正比。
7. 状态简化中, 若 S1、S2 两状态的输出不同, 则 S1、S2 两状态肯定不等价。
8. 由两个 TTL 或非门构成的基本 RS 触发器, 当 R=S=0 时, 触发器的状态为不定。
9. 格雷码具有任何相邻码只有一位码元不同的特性。
10. 组合逻辑电路中产生竞争冒险的主要原因是输入信号受到尖峰干扰。
11. 对于一个存储容量位 32K $\times$ 16 位的 RAM 有 512K 个地址单元。
12. 或非门多余的输入端均可以悬空。
13. 单稳态触发器的暂稳态时间与输入触发脉冲宽度成正比。
14. 由与、或、非门电路构成的逻辑电路一定是组合逻辑电路。
15. 冯诺依曼结构和哈佛结构的区别是: 前者将程序存储和数据存储放在同一物理存储空间, 后者将程序和数据存储分别放在不同的物理存储空间。

二、(15分) 设计一位8421BCD码的判奇电路，当输入的4个码中含奇数个“1”时，输出为1，否则为0。设输入为A, B, C, D，输出为Y。要求使用两种方法实现：

8'(1) 用最少与非门实现，画出卡诺图，推导用与非门实现电路的最终表达式（电路图可以不画）。  
 7'(2) 以A, B, C作为高位到低位地址变量，用一片8选1数据选择器74LS151实现（必要时可以使用反相器），画出电路图。

解：

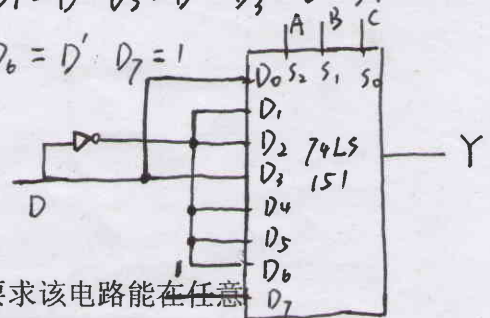
(1)

AB \ CD	00	01	11	10
00	0	1	0	1
01	1	0	1	0
11	X	X	X	X
10	1	0	X	X

$$(2) Y = AD' + BC'D' + BCD + B'C'D' + A'B'C'D$$

$$= ABC(D+D') + ABC'(D') + AB'C(D') + AB'C'D' + A'BC(D) + A'BC'D' + A'B'CD' + A'B'C'D$$

$$\therefore D_0 = D \quad D_1 = D' \quad D_2 = D' \quad D_3 = D \quad D_4 = D' \quad D_5 = D' \quad D_6 = D' \quad D_7 = 1$$



$$Y = AD' + BC'D' + BCD + B'C'D' + A'B'C'D$$

卡诺图标注表4' 驱动方程4' 自启动2' 电路图2'

三、(12分) 用四个JK触发器  $Q_3Q_2Q_1Q_0$  设计一个移位寄存器，要求该电路能在任意初始状态  $Q_3Q_2Q_1Q_0$  都回到 1100 → 0110 → 0011 → 1001 → 1100 的状态循环中（即要求能自启动），且所用门电路要求最少。要求写出设计过程，并画出电路图。

解：

(1)  $Q_3^*, Q_2, Q_1, Q_0$

$Q_3Q_2 \backslash Q_1Q_0$	00	01	11	10
00	X	X	1	X
01	X	X	X	0
11	0	X	X	X
10	X	X	X	X

$$Q_3^* = Q_0$$

(或  $Q_3^* = \bar{Q}_2$ )

$Q_3^*, Q_2, Q_1, Q_0$

$Q_3Q_2 \backslash Q_1Q_0$	00	01	11	10
00	X	X	0	X
01	X	X	X	0
11	1	X	X	X
10	X	1	X	X

$$Q_2^* = Q_3$$

(或  $Q_2^* = \bar{Q}_1$ )

$Q_3^*, Q_2, Q_1, Q_0$

$Q_3Q_2 \backslash Q_1Q_0$	00	01	11	10
00	X	X	0	X
01	X	X	X	1
11	1	X	X	X
10	X	0	X	X

$$Q_1^* = Q_2$$

(或  $Q_1^* = \bar{Q}_0$ )

$Q_3^*, Q_2, Q_1, Q_0$

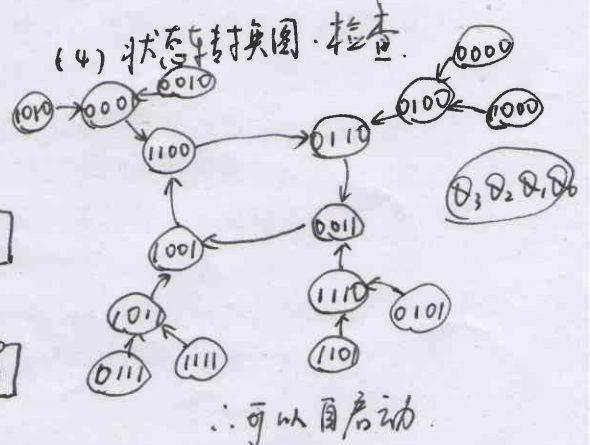
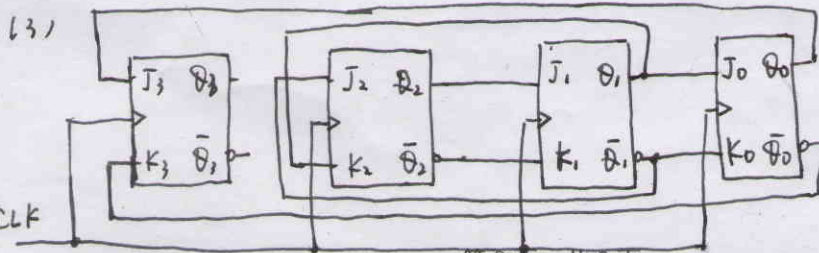
$Q_3Q_2 \backslash Q_1Q_0$	00	01	11	10
00	X	X	1	X
01	X	X	X	1
11	0	X	X	X
10	X	0	X	X

$$Q_0^* = Q_1$$

(或  $Q_0^* = \bar{Q}_3$ )

(2) 由驱动方程  $Q^* = JQ + \bar{K}\bar{Q}$  得：

$$\begin{cases} J_3 = Q_0 \\ K_3 = \bar{Q}_0 \end{cases} \begin{cases} J_2 = Q_3 \\ K_2 = Q_1 \end{cases} \begin{cases} J_1 = Q_2 \\ K_1 = \bar{Q}_2 \end{cases} \begin{cases} J_0 = Q_1 \\ K_0 = \bar{Q}_1 \end{cases}$$

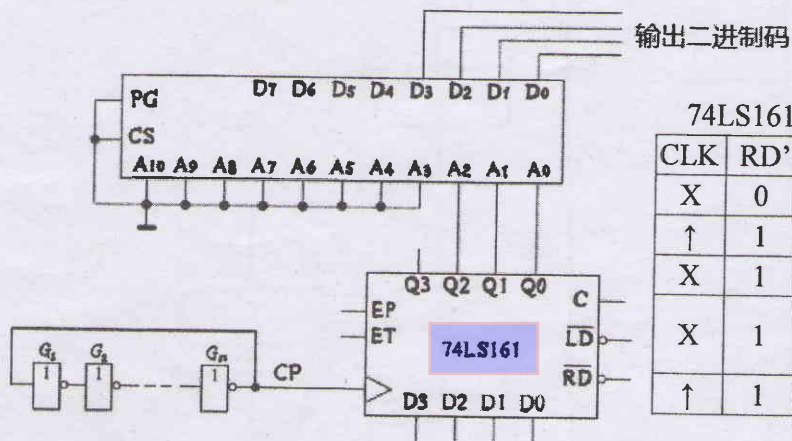


四、(15分) 如图所示电路中, EPROM 存储器 2716 内的数据待填写。现需要采用该电路循环输出二进制码  $15 \rightarrow 13 \rightarrow 12 \rightarrow 8 \rightarrow 6 \rightarrow 4 \rightarrow 2 \rightarrow 1 \rightarrow 15 \rightarrow 13 \rightarrow 12 \dots$ , 且输出二进制码的循环频率要尽量接近 100kHz。

4'(1) 已知反相器  $G_1, G_2, \dots, G_n$  的时延  $t = 23\text{ns}$ , 请问反相器个数  $n$  为多少最合适? CP 的实际工作频率是多少?

7'(2) 画出在 CP 作用下  $Q_2 Q_1 Q_0$  的状态转换图;

4'(3) 填写 EPROM 的数据。



74LS161 计数器功能表(4 位二进)

CLK	RD'	LD'	EP	ET	工作状态
X	0	X	X	X	置零
$\uparrow$	1	0	X	X	预置数
X	1	1	0	1	保持
X	1	1	X	0	保持 (但C=0)
$\uparrow$	1	1	1	1	计数

题4图

解: (1)

环形振荡器周期

$$T = 2n t_{pd}$$

= 逆时针频率是 CP 的  $1/8$ .

故有

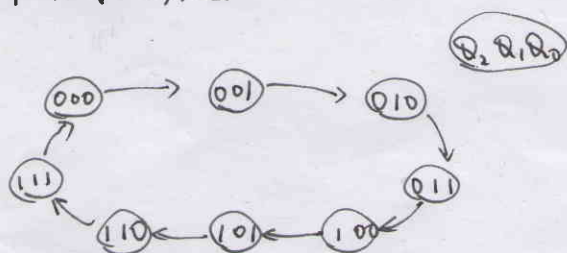
$$n = \frac{T}{2 t_{pd}} = \frac{1}{2 f_{cp} \cdot t_{pd}}$$

$$= \frac{1}{2 \times 8 \times 100 \text{KHz} \times 23 \text{ns}} = 27.174$$

$\therefore$  反相器必须为奇数个, 故有  $n=27$ .

$$\text{有 } f_{cp} = \frac{1}{T} = \frac{1}{2n t_{pd}} = \frac{1}{2 \times 27 \times 23 \text{ns}} = 805.153 \text{KHz}$$

(2) 状态转换图.



(3) EPROM 数据表

地址			数据			
$A_2$	$A_1$	$A_0$	$D_3$	$D_2$	$D_1$	$D_0$
0	0	0	/	/	/	/
0	0	1	/	/	0	1
0	1	0	/	/	0	0
0	1	1	/	0	0	0
1	0	0	0	/	/	0
1	0	1	0	/	0	0
1	1	0	0	0	/	0
1	1	1	0	0	0	1



### 五、控制器设计 (15分)

下图为某一控制器的算法流程图，请设计一个多路选择器 (MUX) 型控制器。其中， $X$  为输入信号， $c_1$ 、 $c_2$  为输出控制信号。

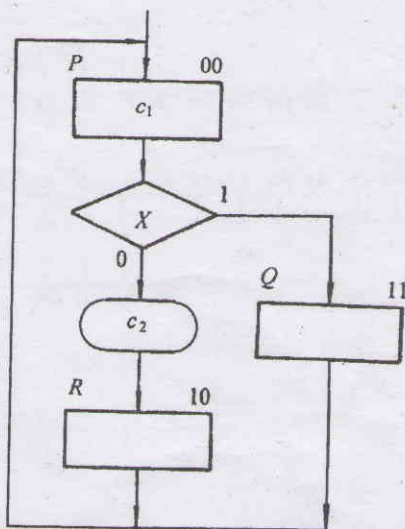
解：(1) 请写出状态转移表；

(2) 写出各 MUX 的输入端表达式，以及输出表达式；

(3) 画出该控制器的电路图。

解：(1)

PS		NS		条件
$Q_1$	$Q_0$	$Q_1^*$	$Q_0^*$	
0	0	1	0	$X=0$
0	0	1	1	$X=1$
1	0	0	0	$\emptyset$
1	1	0	0	$\emptyset$
0	1	0	0	$\emptyset$



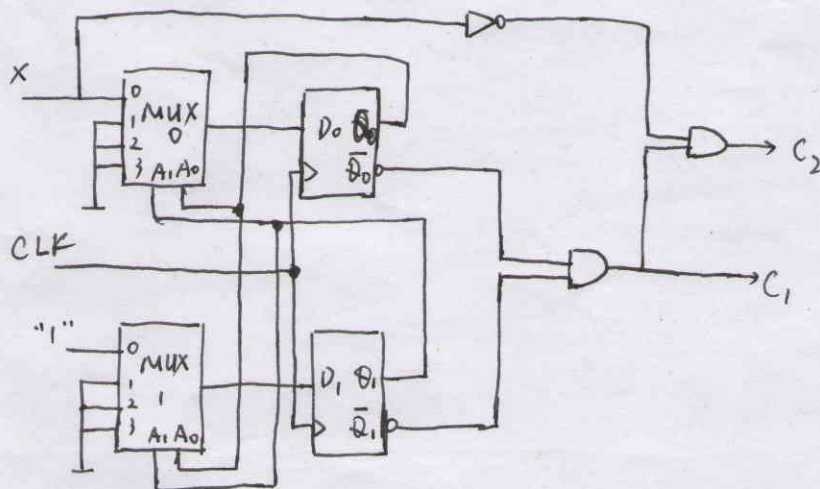
题 5 图

(2)

$$\begin{cases} \text{MUX}1(0) = 1 \\ \text{MUX}1(1) = 0 \\ \text{MUX}1(2) = 0 \\ \text{MUX}1(3) = 0 \end{cases} \quad \begin{cases} \text{MUX}0(0) = X \\ \text{MUX}0(1) = 0 \\ \text{MUX}0(2) = 0 \\ \text{MUX}0(3) = 0 \end{cases}$$

$$\begin{cases} C_1 = \bar{Q}_1 \bar{Q}_0 \\ C_2 = \bar{Q}_1 \bar{Q}_0 \bar{X} \end{cases}$$

(3)

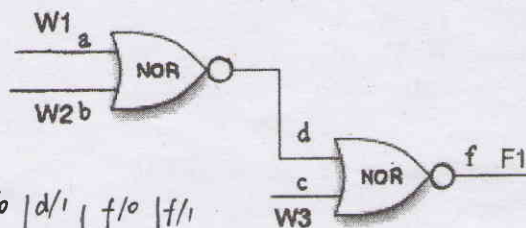


### 六、测试 (8分)

如题 6 图所示，或非门组成的电路可能出现固定型 SA1 与 SA0 故障，需要写出寻找图中故障点的测试向量。

在三输入的 8 种测试信号组合中，能测试该电路所有可能故障的最小测试集是什么？

(注：最小测试集是指最少数量的输入信号  $W_1, W_2, W_3$  的二进数字组合。)



解：

$W_1, W_2, W_3$	a/0	a/1	b/0	b/1	c/0	c/1	d/0	d/1	f/0	f/1
0 0 0		✓		✓			✓			✓
0 0 1										✓
0 1 0			✓			✓		✓	✓	
0 1 1					✓					✓
1 0 0	✓					✓		✓	✓	
1 0 1					✓					✓
1 1 0						✓		✓	✓	
1 1 1					✓					✓

从表中看出：(000, 010, 100) 为必选测试向量。

而  $\begin{matrix} 011 \\ 101 \end{matrix}$  为 2 选 1 测试向量

故最小测试集为 (000, 010, 011, 100)

或 (000, 010, 101, 100)。

# 七、Verilog HDL (10分)

考虑下列一个数字子系统的 Verilog 描述:

```
module SUBX(EN, I, A, E0);
  input  EN;
  input  [3:0] I;
  output [1:0] A;
  output  E0;

  always @(EN or I or A or E0)
    begin
      if (EN == 0) begin E0 = 0; A = 0; end
      else
        begin
          E0 = 1; A = 0;
          if (I[0] == 1) begin E0 = 0; A = 0; end
          if (I[1] == 1) begin E0 = 0; A = 1; end
          if (I[2] == 1) begin E0 = 0; A = 2; end
          if (I[3] == 1) begin E0 = 0; A = 3; end
        end
      end
    end
endmodule
```

7'(1) 理解该 SUBX 模块实现的功能, 完成下表; (注意: 这不是一个完整的真值表)

I <sub>3</sub>	I <sub>2</sub>	I <sub>1</sub>	I <sub>0</sub>	EN	A <sub>1</sub>	A <sub>0</sub>	E0
0	0	0	0	0	0	0	0
0	0	0	0	1	0	0	1
0	0	0	1	0	0	0	0
0	0	0	1	1	0	0	0
0	0	1	0	0	0	0	0
0	0	1	0	1	0	1	0
1	0	0	0	0	0	0	0
1	0	0	0	1	1	1	0
1	0	0	1	0	0	0	0
1	0	0	1	1	1	1	0

7'(2) 用一句话描述该电路实现的功能。

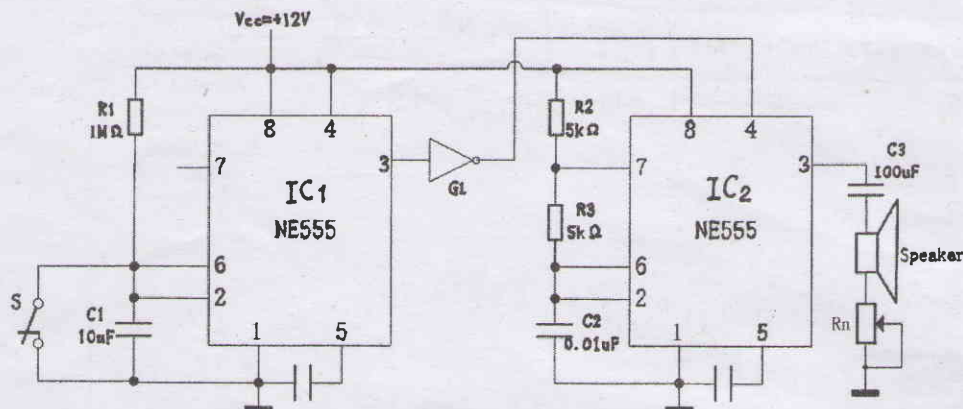
4-2线优先编码器

八、(10分) 题8图是用两片555定时器以及一些外部器件组成的电路。已知S是常闭开关，会被外部力量触发而短时间打开；G<sub>1</sub>是CMOS反相器，输出高电平、低电平分别为V<sub>OH</sub>=12V、V<sub>OL</sub>=0V；扬声器在一定频率方波信号驱动下会发出声音。

4'(12分) 在S被打开1sec和30sec后再闭合的两种情况下，分别计算左边第一个NE555电路第3脚输出控制信号的低电平脉冲时间宽度；

6'(2) 计算右边第二个NE555电路第3脚输出信号的波形占空比，并计算扬声器发出声音的频率；

2'(3) 分析该电路的工作原理以及其用途。



解：(1) S被打开，V<sub>C1</sub>电压上升。题8图

$$V(t) = V(\infty) + [V(0) - V(\infty)] \cdot e^{-t/\tau}$$

$$= 12(1 - e^{-t/\tau})$$

$$\tau = 1M\Omega \times 10\mu F = 10 \text{ sec}$$

$$\text{当 } t = 1 \text{ sec 时, } V(t) = 1.14V$$

$$t = 30 \text{ sec 时, } V(t) = 11.4V$$

$$\text{而 } V_{T+} = \frac{2}{3} V_{CC} = 8V$$

$$V_{T-} = \frac{1}{3} V_{CC} = 4V$$

所以 当S打开1sec再闭合，不足以触发电门限。NE555内部电路框图

故IC<sub>1</sub>第3脚没有低电平脉冲， $t_w = 0 \text{ sec}$

当S打开30sec再闭合，V<sub>C1</sub>电压达到 $\frac{2}{3} V_{CC}$ 时，输出低电平。

$$\text{延迟时间 } t_0 = T \ln 3 = 10.986 \text{ sec}$$

$$\text{故低电平脉冲宽度为 } t_w = 30 - t_0 = 19.014 \text{ sec}$$

(2) IC<sub>2</sub>为多谐振荡器。

$$\text{充电时间 } T_1 = (R_2 + R_3) \cdot C_2 \cdot \ln 2 =$$

$$\text{放电时间 } T_2 = R_3 \cdot C_2 \cdot \ln 2 =$$

$$\text{占空比 } q = \frac{T_1}{T} = \frac{R_2 + R_3}{R_2 + 2R_3} = \frac{10K}{15K} = \frac{2}{3}$$

$$\text{振荡频率 } f = \frac{1}{T} = \frac{1}{(R_2 + 2R_3) \cdot C_2 \cdot \ln 2} = 9.62K$$

(3) 这是一个延时报警器。

开关S打开后，经过约11s延时后扬声器开始发出声音。如果在延迟时间内重新闭合，则Speaker不发声。

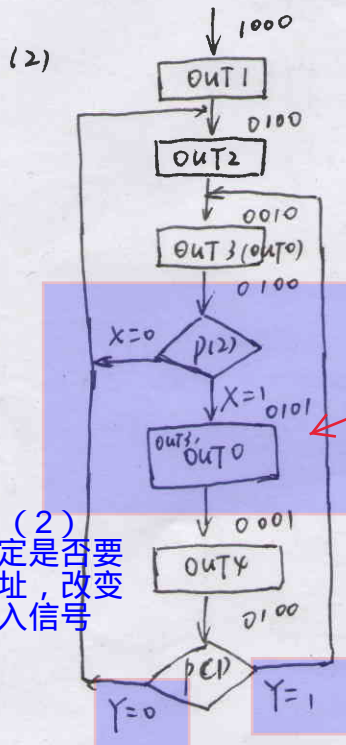
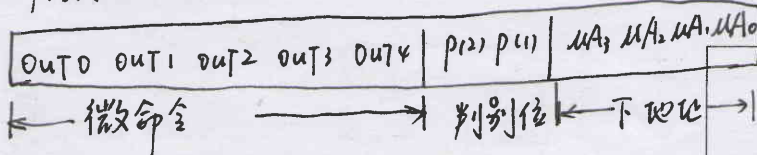


九、附加题 (10 分) (注: 计入总分, 但总分最多不超过 100 分)

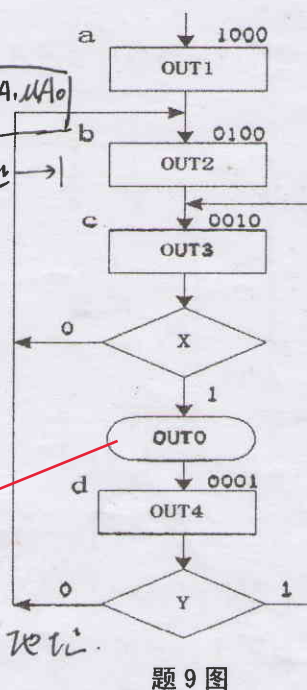
已知某一控制器的算法流程图如题 9 图所示, 请设计一个微码控制器, 写出设计过程。其中, X、Y 为输入信号, OUT0~OUT4 为输出控制信号。

- (1) 请设计微指令格式;
- (2) 画出微程序流程图;
- (3) 按下表格式写出, 对应这种微指令格式的控制器微程序代码。

解: (1) 微指令格式



$p(2)=1$  时, 根据 X 修改地址。  
可增加 1 条微指令。  
(或者微命令增加条件控制)  
 $p(1)=1$  时, 根据 Y 修改地址。



题 9 图

(3) 微程序代码

当前微地址	微指令二进制代码		
	微命令	判别字	下地址
0001	00001	01	0100
0010	00010	10	0100
...			
0100	00100	00	0010
* 0101	10010	00	0001
...			
1000	01000	00	0100
...			

P(1), (2) 只负责确定是否要改变下地址, 改变的值由输入信号确定

