

《数字系统设计》补充习题部分参考答案

题1.9 已知逻辑函数 $Y(A,B,C,D) = \overline{A}B\overline{D} + \overline{B}C\overline{D} + \overline{A}B\overline{D}$ 的简化表达式为

$$Z(A,B,C,D) = \overline{B}D + B\overline{D}, \text{ 试问它至少有哪些无关项?}$$

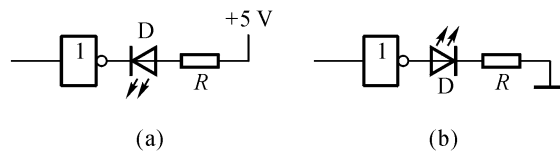
解： 可以从画出卡诺图后，从结合的结果得出无关项

AB \ CD	CD			
	00	01	11	10
00	1	1	0	1
01	1	0	0	1
11	0	0	0	0
10	0	1	0	0

根据给出的结果至少有下列四个最小项：

$$\overline{A}BCD, \overline{A}BC\overline{D}, A\overline{B}C\overline{D}, ABC\overline{D}$$

题2.5 甲、乙两位同学，用一个“与非”门(已知“与非”门的 $I_{OLmax}=16mA$, $I_{OHmax}=0.4mA$) 驱动发光二极管(设二极管发光时工作电流为10mA)，甲接线如图题2.5(a)，乙接线如图题2.5(b)。试问谁的接线正确？

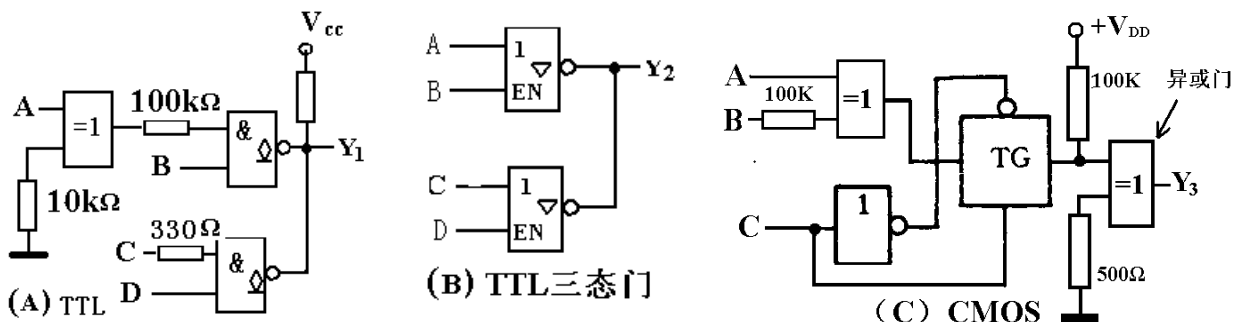


图题2.5

解：应该是 (a) 的接线正确，因为 (a) 接成灌电流负载，其与非门的允许灌入电流大于发光管的发光工作电流，发光二极管能正常发亮。而 (b) 是拉电流负载，与非门允许拉出电流只有0.4mA，不能使发光管正常点亮。

题 2.6 分析下图所示的电路，哪些能正常工作，写出输出信号的的表达式或值？哪些不能，

说明为什么？其中 (A)、(B) 为 TTL 逻辑门，(C) 为 CMOS 逻辑门。



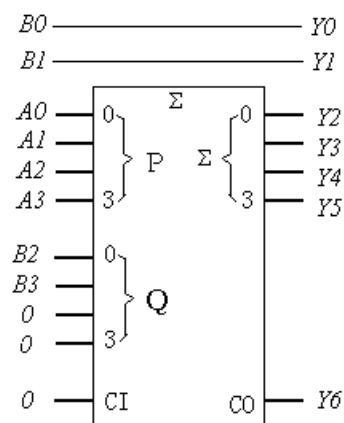
解：（A）能正常工作。对TTL门电路来说，输入端接大电阻相当输入为高电平，所以不管输入信号A为0还是1，其异或门的输出对后级的门电路输入没有影响，故上方的OC门的输出为 $\overline{B \cdot 1} = \overline{B}$ ，下方的OC门输出为 \overline{CD} 。考虑到OC门的线与功能，整个电路的输出 $Y_1 = \overline{B} \cdot \overline{CD}$ 。

（B）当B和D不同时为高电平时电路可以正常工作，此时的电路输出 $Y_2 = \overline{AB} + \overline{CD} + Z$ 。

（C）能正常工作。对CMOS门电路来说，输入端无开门电阻关门电阻的概念，所以不管输入端接多大多小的电阻，其输入电压都取决于电阻另一端所接电压。当C为低电平时TG门截止，电路输出 $Y_3 = V_{DD} \oplus 0 = 1$ ；当C为高电平时TG门导通， $Y_3 = A \oplus B \oplus 0 = A \oplus B$ 。整个电路的输出 $Y_3 = \overline{C} + A \oplus B$ 。

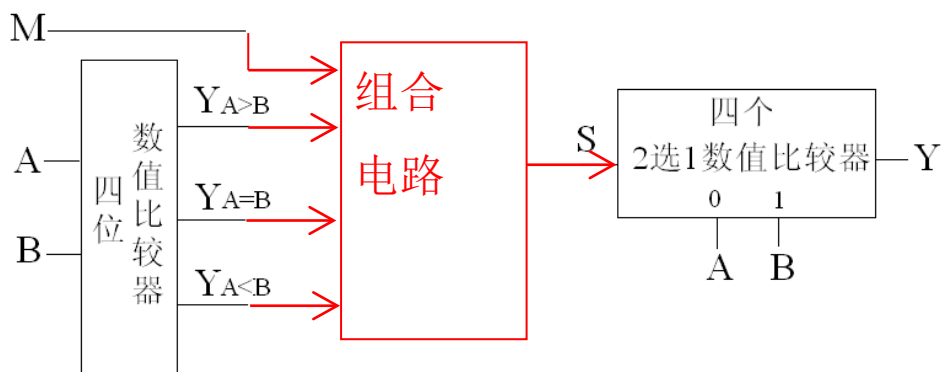
题3.10 设A、B为四位二进制数，试用1片四位二进制加法器74283实现函数 $Y = 4A + B$ 。

解：若A表示为 $A_3A_2A_1A_0$ ，B表示为 $B_3B_2B_1B_0$ ，则 $Y = A_3A_2A_1A_000 + B_3B_2B_1B_0$



题 3.13 自选组合模块电路和门电路实现下面组合逻辑电路。电路的输入为两个 4 位二进制数 A ($A_3A_2A_1A_0$)、B ($B_3B_2B_1B_0$) 和一个控制信号 M；电路的输出为 4 位二进制数 Y ($Y_3Y_2Y_1Y_0$)。当 $M=1$ 时， $Y = \text{MAX}(A, B)$ ；而当 $M=0$ 时，则 $Y = \text{MIN}(A, B)$ 。另外，若 $A=B$ 时，可输出 A 和 B 中任何一个。

解：考虑到是两个数据的比较，肯定需要一个数值比较器；数据的选择输出，可以利用数据选择器来实现。根据题意，数据选择器选择A还是B，也就是地址S为多少取决于两个因素，一个是控制信号M，另一个则是数值比较器的比较输出。此题的关键及难点就是设计一个连接数值比较器和数据选择器的组合电路，其框图见下图：

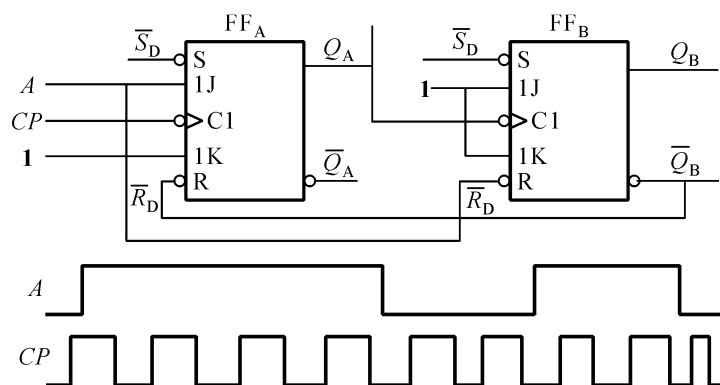


根据题意我们可以列出该组合电路的真值表如下：

M	$Y_{A>B}$	$Y_{A=B}$	$Y_{A<B}$	data	S
0	0	0	1	A	0
0	0	1	0	A或B	×
0	1	0	0	B	1
1	0	0	1	B	1
1	0	1	0	A或B	×
1	1	0	0	A	0
其它				×	×

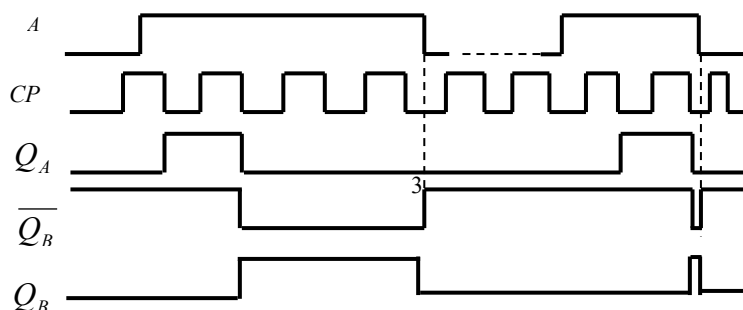
由真值表可得 $S = M \oplus Y_{A>B}$

题4.7 由负边沿JK触发器组成的电路及CP、A的波形如图题4.7所示，试画出 Q_A 和 Q_B 的波形。设 Q_A 和 Q_B 的初始状态为0。



图题4.7

解：在画该电路的波形时，注意有二个复位信号，其它按JK触发器的功能画即可。



题5.4 试用一片74161及尽量少的门电路设计成一个能自动完成八进制加/减循环计数的计数器。即能从000加到111，再从111减到000循环。

解： 列真值表如下：

74161输出 $Q_3Q_2Q_1Q_0$	0000	0001	0010	0011	0100	0101	0110	0111
加减计数输出 $Q_CQ_BQ_A$	000	001	010	011	100	101	110	111
74161输出 $Q_3Q_2Q_1Q_0$	1000	1001	1010	1011	1100	1101	1110	1111
加减计数输出 $Q_CQ_BQ_A$	000	001	010	011	100	101	110	111

由真值表知， Q_3 可作为控制端：

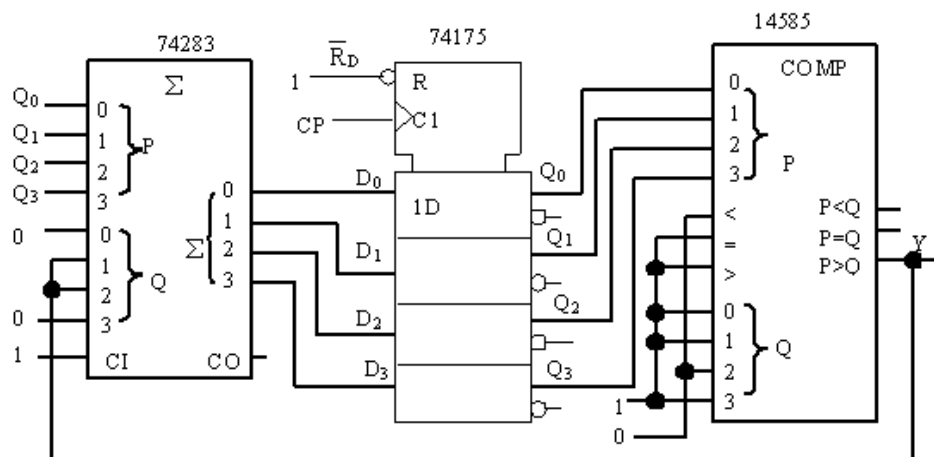
$$\text{当 } Q_3=0 \text{ 时, } Q_CQ_BQ_A = Q_2Q_1Q_0$$

$$\text{当 } Q_3=1 \text{ 时, } Q_CQ_BQ_A = \overline{Q_2Q_1Q_0}$$

即为：

$$Q_C = Q_3 \oplus Q_2 \quad Q_B = Q_3 \oplus Q_1 \quad Q_A = Q_3 \oplus Q_0$$

题 5.5 分析图题 5.5 所示的时序电路，其中 74283 为四位加法器、74175 为 4D 寄存器、14585 为四位比较器，Y 为输出。画出状态转换图并说明电路功能。

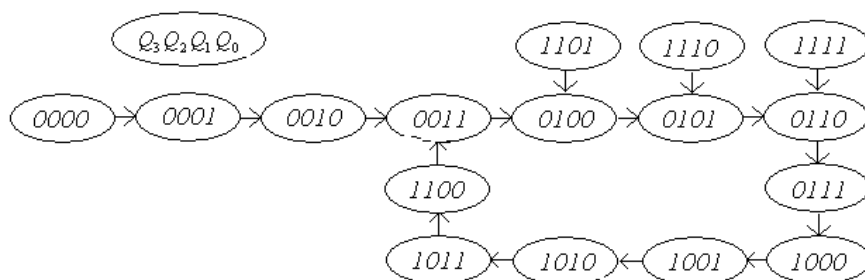


图题 5.5

解：由图可知： $D=Q+0YY0+1=Q+0YY1$ 。 $Q>1011$ 时 $Y=1$ ；其它 $Y=0$ 。计算状态转换表：

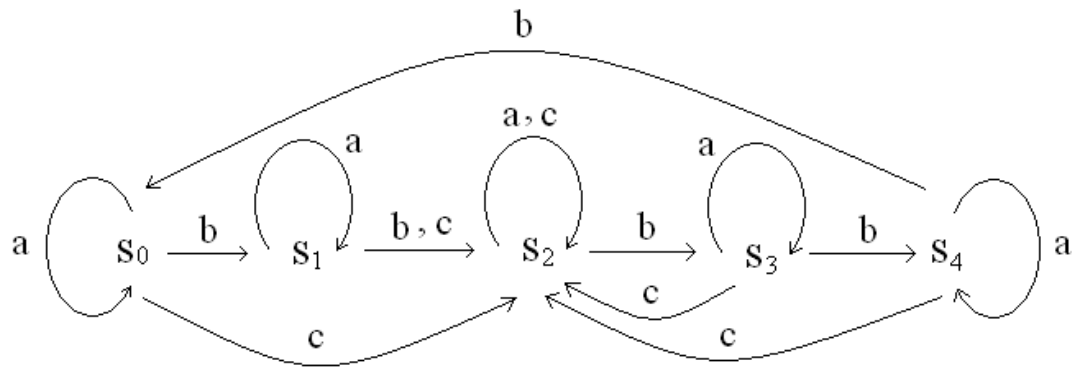
$Q_3^n Q_2^n Q_1^n Q_0^n$	Y	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$ (即 $D_3 D_2 D_1 D_0$)	$Q_3^n Q_2^n Q_1^n Q_0^n$	Y	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$ (即 $D_3 D_2 D_1 D_0$)
0000	0	0001	1000	0	1001
0001	0	0010	1001	0	1010
0010	0	0011	1010	0	1011
0011	0	0100	1011	0	1100
0100	0	0101	1100	1	0011
0101	0	0110	1101	1	0100
0110	0	0111	1110	1	0101
0111	0	1000	1111	1	0110

由状态转换表画出状态转换图：



此为十进制计数器。

题 5.9 某控制器电路的状态转换图如图题 5.9 所示,要求用一个计数器 74161 和必要的门电路、组合模块电路设计该控制器。



图题 5.9

解:

1、编码: (按 $Q_2Q_1Q_0$ 顺序)

S_0 : 000 S_1 : 001 S_2 : 010 S_3 : 011 S_4 : 100

2、条件:

$$\text{count} = S_0 b + S_1 (b + c) + S_2 b + S_3 b$$

$$\text{load} = S_0 c + S_3 c + S_4 (b + c)$$

$$D_2D_1D_0 = \begin{cases} 010 & S_0 c + S_3 c + S_4 c = 1 \text{ 时} \\ 000 & S_4 b = 1 \text{ 时} \end{cases}$$

3、化简:

①将置数条件之一 $S_4 b$ 加至计数条件, 不影响计数功能:

$$\text{count} = S_0 b + S_1 b + S_2 b + S_3 b + S_4 b + S_1 c$$

②将计数条件 $S_1 c$ 更改为置数条件, 则有:

$$\text{count} = S_0 b + S_1 b + S_2 b + S_3 b + S_4 b = b$$

$$\text{load} = S_0 c + S_1 c + S_3 c + S_4 c + S_4 b$$

$$D_2D_1D_0 = \begin{cases} 010 & S_0 c + S_1 c + S_3 c + S_4 c = 1 \text{ 时} \\ 000 & S_4 b = 1 \text{ 时} \end{cases}$$

③将保持条件 $S_2 c$ 更改为置数条件, 则有:

$$D_2 D_1 D_0 = \begin{cases} 010 & S_0 c + S_1 c + S_2 c + S_3 c + S_4 c = 1 \text{ 时, 即 } c = 1 \text{ 时} \\ 000 & S_4 b = 1 \text{ 时, 即 } Q_2 b = 1 \text{ 时} \end{cases}$$

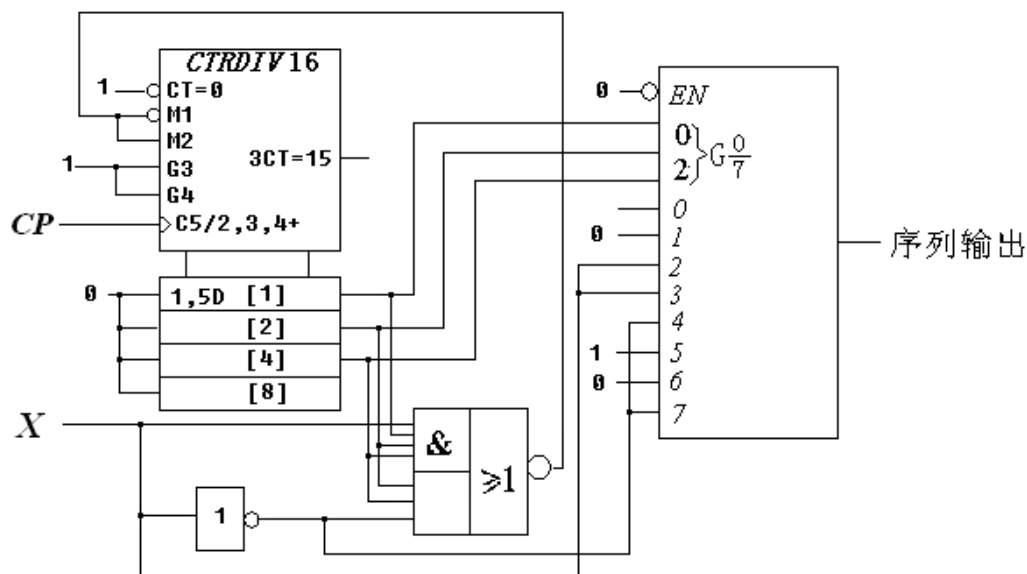
X=1 时产生序列 0110100

$$\overline{LD} = \overline{XQ_2Q_1 + XQ_2Q_1Q_0}, D_3D_2D_1D_0 = 0000$$

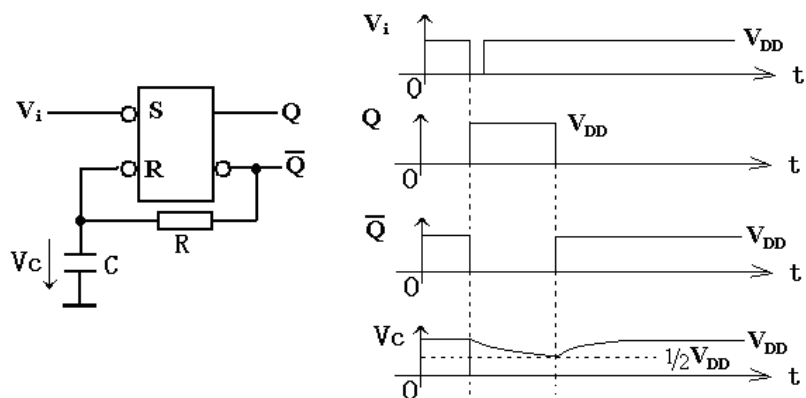
X=0 时, $D_7D_6D_5D_4D_3D_2D_1D_0 = \times \times 001101$

X=1 时, $D_7D_6D_5D_4D_3D_2D_1D_0 = \times 0110100$

所以: $D_7D_6D_5D_4D_3D_2D_1D_0 = \times 0XX\overline{X}10\overline{X}$



题7.3有CMOS的基本RS触发器构成的单稳态电路下图所示，已知 $V_{DD}=10V$ 。在输入触发脉冲 V_i 作用下，定性地画出 Q 、 \bar{Q} 及 V_c 的波形。



解：1、稳态。 V_i 为高电平，假如 V_c 稳定为低电平，则基本RS触发器的清零信号有效， Q 为低电平， \bar{Q} 为高电平，那么 V_c 应该也稳定为高电平，与假设矛盾。所以，稳态时 V_c 为高电平， Q 为低电平， \bar{Q} 为高电平。

2、准稳态。 V_i 跳变为低电平后，即基本RS触发器的置1信号有效， Q 变为高电平， \bar{Q} 为低电平，此时电容经电阻对 \bar{Q} 端放电。当 V_c 电压降至阈值电压，即 $1/2 V_{DD}$ 时，触发器的清零信号有效， Q 跳回为低电平， \bar{Q} 为高电平。准稳态结束。

3、恢复期。 Q 跳回为低电平， \bar{Q} 为高电平后， \bar{Q} 端经电阻对电容充电， V_c 上升为高电平，整个电路恢复到稳定状态。

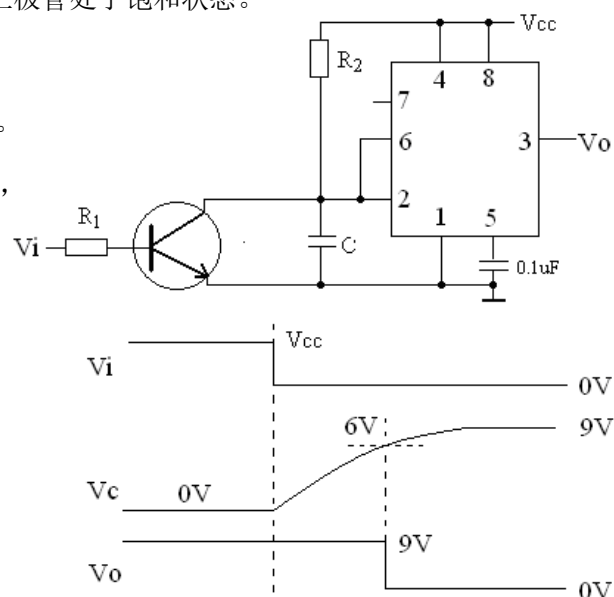
题 7.5 已知 $V_{cc}=9V$, $R_1=1K$, $R_2=1M$, $C=0.22\mu F$ 。求在 V_i 的作用下计算并画出输出电压 V_o 和电容电压 V_c 的波形。当 V_i 为高电平时，三极管处于饱和状态。

解：由题意可知，555 定时器接成施密特触发器。

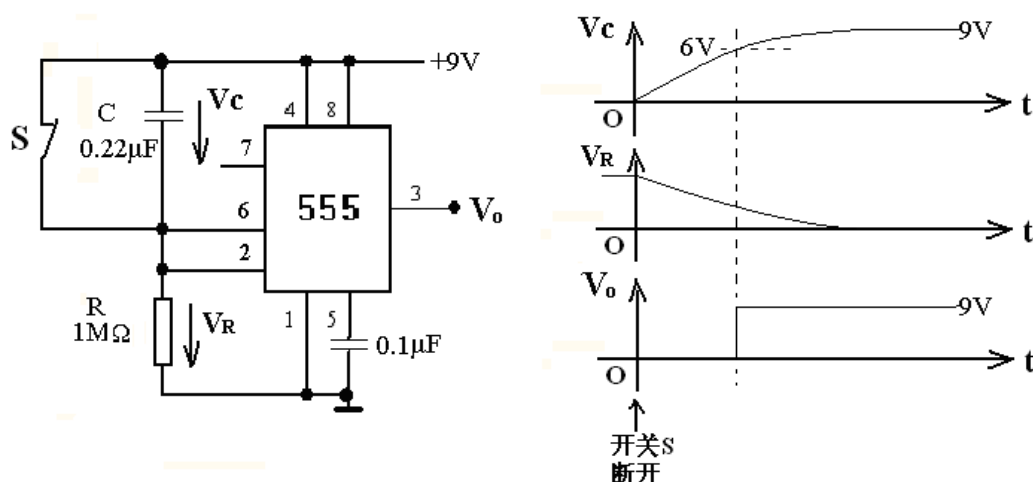
1、当 V_i 为高电平时，三极管处于饱和导通状态，由此知 V_c 为低电平，故 V_o 输出高电平。

2、当 V_i 变为低电平，三极管截止。此时， V_{cc} 经 R_2 对电容充电，电容电压 V_c 随之上升，当上升至施密特触发器的门槛电压 $2/3V_{cc}$ ，即 6V 时，施密特触发器的输出电压 V_o 发生翻转，变为低电平。

3、此后电容继续充电，直至充至稳定值 9V。



题 7.6 下图是由 555 定时器组成的开机延时电路。在 $t=0$ 时，开关 S 断开，试画出在开关断开后 V_c 、 V_R 和 V_o 的波形，并计算开关 S 断开后经过多少时间才 V_o 才会变成电平？



解：由题意可知，555 定时器接成施密特触发器。

1、当 S 闭合时， V_c 为低电平， V_R 为高电平，故 V_o 输出低电平。

2、当 S 断开后，电容电压不能突变，此时， V_{cc} 经 R 对电容充电，电容电压 V_c 随之上升， V_R 随之下降。当电容电压 V_c 上升至施密特触发器的门槛电压 $2/3V_{cc}$ ，即 6V 时，施密特触发器的输出电压 V_o 发生翻转，变为高电平。此时 V_R 为 $1/3V_{cc}$ ，即 3V。

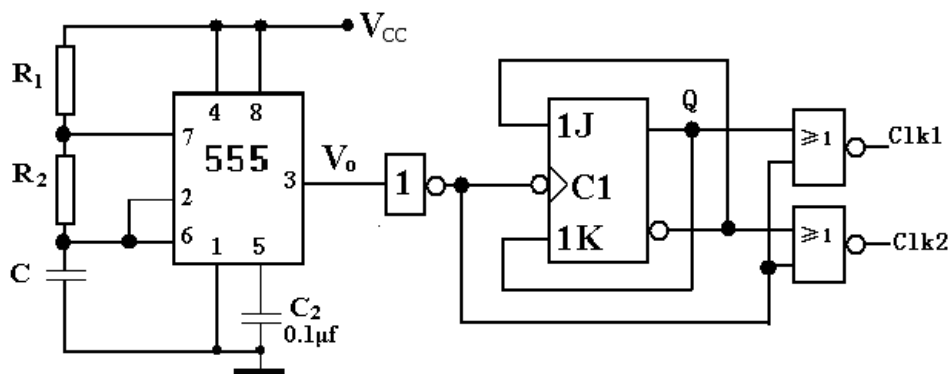
3、此后电容继续充电，直至充至稳定值 9V。

4、开机延迟时间为：

$$t = RC \ln \frac{V_{CC} - 0}{V_{CC} - 2/3 V_{CC}} = RC \ln 3$$

题 7.7 由 555 定时器和负边沿 JK 触发器组成的两相时钟产生电路如图所示，已知：\$R_1=510\ \Omega\$，\$R_2=10\ \text{k}\Omega\$，\$C=0.1\ \mu\text{F}\$。

- (1) 画出 555 定时器的输出 \$V_O\$ 以及 \$Clk1\$ 和 \$Clk2\$ 端的波形，\$Q\$ 的初始状态为 0。
- (2) 计算 \$Clk1\$ 的周期 \$T_{clk1}\$ 和脉冲宽度 \$T_w\$。



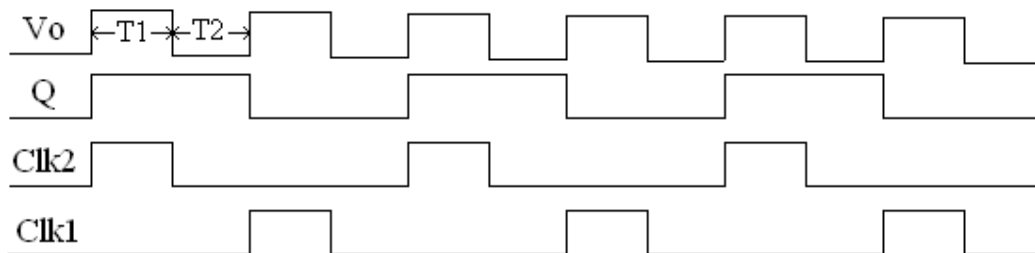
解：由题意可知，555 定时器接成多谐振荡器，其输出为一周期性的矩形波。该矩形波作为负边沿 JK 触发器的时钟。

(1) JK 触发器的特性方程及两个输出方程为：

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n = \overline{Q}^n\overline{Q}^n + \overline{Q}^nQ^n = \overline{Q}^n \quad (V_O \text{ 上升沿时})$$

$$Clk1 = \overline{Q} \cdot V_O$$

$$Clk2 = Q \cdot V_O$$



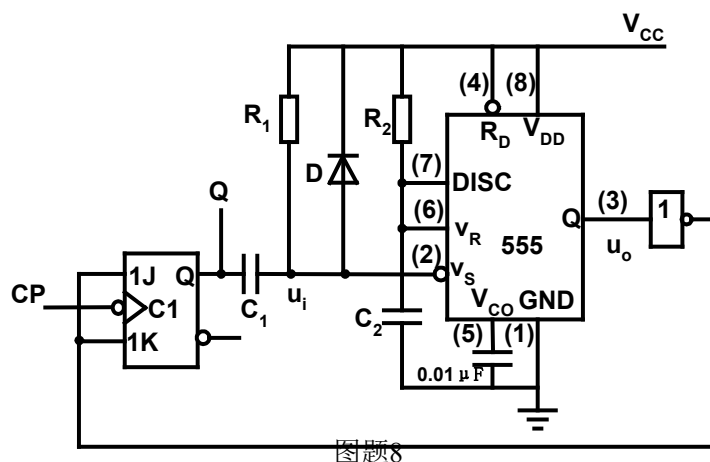
(2) 由多谐振荡器的输出公式有：

$$t_w = T_1 = (R_1 + R_2)C \ln 2 = 725\ \mu\text{s}$$

$$T_{Clk1} = 2(T_1 + T_2) = 2(R_1 + 2R_2)C \ln 2 = 2830\ \mu\text{s}$$

题 7.8 由主从 JK 触发器和 555 定时器组成的电路如图题 8 所示，已知：\$CP\$ 为 \$10\text{Hz}\$ 的方波，\$R_1=10\text{k}\Omega\$，\$R_2=56\text{k}\Omega\$。\$C_1=1000\text{pF}\$，\$C_2=4.7\ \mu\text{F}\$。触发器 \$Q\$ 及 555 输出端（3 端）初态为 0。

- 1、试画出触发器 Q 端、 u_i 、 u_o 相对于 CP 的波形。
- 2、试求触发器 Q 端输出波形的周期。



解：由题意可知，555定时器接成单稳电路。

- 1、由图可知JK触发器的特性方程为： $Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n = V_o \oplus Q^n$ （CP下降沿时），即如果555定时器输出为高电平时，JK触发器保持不变，如果555定时器输出为0时，则每来一个CP下降沿，触发器就翻转一次。
- 2、在第1个脉冲到来之前，触发器Q输出及555输出均为0。此时，整个电路处于稳定状态，二极管截止， V_i 为高电平，而电容 C_2 的电压 V_{C2} 为低电平。
- 3、第1个脉冲下降沿到来时，触发器发生翻转，Q从原来的低电平变成高电平。由于电容 C_1 电压不能突变，所以 V_i 也跟着往上跳，但是 V_i 一旦升高大于 V_{CC} ，二极管立刻导通，将 V_i 钳位为 V_{CC} 。对555定时器来说，触发信号并没有来到，故保持不变。
- 4、第2个脉冲下降沿到来时，触发器同样发生翻转，Q从原来的高电平变回低电平。由于电容 C_1 电压不能突变，所以 V_i 也必须跟着往下跳。此时对555定时器来说，相当输入了一个有效的触发脉冲，555定时器输出立即从低电平跳变为高电平，同时产生两条充电回路：一是 V_{CC} 经 R_1 对电容 C_1 充电，二是 V_{CC} 经 R_2 对电容 C_2 充电。由于第一条充电回路的时间常数 $R_1C_1=10\mu s$ ，远远小于CP周期100ms，故可认为 V_{CC} 对电容 C_1 充电很快结束， V_i 迅速回到高电平。而第二条充电回路显然要慢很多。
- 5、根据555定时器构成单稳电路的特点，只有当电容 C_2 充电至 $2/3V_{CC}$ 时，555定时器输出才会发生翻转，在此之前，其一直保持高电平，也就意味着不管后面的CP下降沿有没有到来，JK触发器的输出都会保持低电平不变。而电容 C_2 充电至 $2/3V_{CC}$ 所需的时间为： $t_w = R_2C_2\ln 3 = 290ms$ ，即略比3个CP周期短些。当电容 C_2 充电结束后，555定时器输出变为低电

平，电路进入恢复期，由于电容是经555定时器内部的三极管放电，所以放电很快结束，电容电压 V_{C2} 回到低电平。至此整个触发过程结束。

6、当第5个脉冲下降沿到来时，整个电路又重新经历刚才的触发过程。波形图如下图所示。

由图可知， $T_q = 4T_{CP} = 400\text{ms}$ 。

