

浙江大学 2015 - 2016 学年 春夏 学期

《 数字系统设计 》课程期末考试试卷

课程号: 111C0120 , 开课学院: 信息与电子工程学院

考试试卷: ☒ A 卷、B 卷 (请在选定项上打 \checkmark)

考试形式: ☒ 闭、开卷 (请在选定项上打 \checkmark), 允许带 计算器 入场

考试日期: 2016 年 7 月 1 日, 考试时间: 120 分钟

诚信考试, 沉着应考, 杜绝违纪。

考生姓名: _____ 学号: _____ 所属院系(专业): _____

| 题序 | 一 | 二 | 三 | 四 | 五 | 六 | 七 | 八 | 九 | 总分 |
|-----|---|---|---|---|---|---|---|---|---|----|
| 得分 | | | | | | | | | | |
| 评卷人 | | | | | | | | | | |

一. 判断题 _____ (10 分) (正确打 \checkmark , 或错误打 \times)

- 1) “0” 的补码只有一种形式。 (\checkmark)
- 2) 原码和反码均可将减法运算转化为加法运算。 (\times)
- 3) 主从 JK 触发器、边缘 JK 触发器和同步 JK 触发器的逻辑功能完全相同。 (\checkmark)
- 4) 并行加法器采用超前进位, 目的是为了简化电路。 (\times)
- 5) 在同步时序电路的设计中, 如最简状态表中的状态数为 2^N , 而又采用 N 个触发器来实现电路, 则不需要检查电路的自启动性。 (\times)
- 6) 流水线操作算法结构一定比并行算法结构所需要的运算时间少。 (\times)
- 7) 摩尔型时序逻辑电路的输出与 输入和电路当前状态均有关。 (\times)
- 8) 所有的半导体存储器在运行时都具有读写功能。 (\times)
- 9) 在电路测试中 SA0 和 SA1 故障模型可以覆盖集成电路中的所有可能的故障。 (\times)
- 10) 冯诺依曼结构相比于哈佛体系结构具有更好的灵活性和稳定性, 而哈佛体系结构具有更好的硬件效率。 (\times)

二. 填空题 _____ (10 分)

- 1、二进制数 1101011.011 转换为 8421BCD 码为 0001 0000 0111 . 0011 0111 0101。

- 2、实现模值为 13 的计数器至少需要 4 个触发器。
- 3、组合逻辑电路是指任何时刻电路的输出仅由当时的 输入 决定。
- 4、TTL 或非门中，多余输入端的处理办法是 接地。
- 5、假设有一个三级扭环形计数器，其初始状态为 000，那么，经过 4 个时钟周期，其状态为 011。
- 6、一个二—十进制译码器规定为输出低电平有效，则当输入 8421BCD 码为 0110 时，其输出 $Y_9 Y_8 Y_7 Y_6 Y_5 Y_4 Y_3 Y_2 Y_1 Y_0 =$ 111011111。
- 7、已知逻辑函数 $F(A, B, C, D) = \sum m(1, 3, 4, 5, 6, 8, 9, 12, 14)$ ，当变量 ABCD 由 0110 → 1100 时，有 (有/无) 竞争-冒险现象；
- 8、一个容量为 256×4 位的静态 RAM，它的地址线为 8 条。
- 9、时序电路的可测性设计方法划分为 3 类：专门测试、扫描 测试和自测试。
- 10、函数 $F = [(A \cdot \bar{B} + C)D + \bar{E}]B$ 的反函数 $\bar{F} =$ $[(\bar{A} + B) \cdot \bar{C} + \bar{D}] \cdot E + \bar{B}$ 。

三. 组合电路 (14 分)

用两个 8 选 1 数据选择器 74LS151 及适当门电路设计一个数值比较器，比较两个二进制数 $A(a_1 a_0)$ 和 $B(b_1 b_0)$ ，能分别给出 $A-B \geq 2$ ， $B-A \geq 2$ 和 $|A-B| < 2$ 的输出信号，要求：1) 写出真值表；2) 输出函数表达式；3) 并画出逻辑图。

解：1. 设 $Y_1 = (A-B \geq 2)$ ， $Y_2 = (B-A \geq 2)$ ， $Y_3 = (|A-B| < 2)$ 。

有.

| B | A | Y |
|-----------|-----------|---------------|
| $b_1 b_0$ | $a_1 a_0$ | $Y_1 Y_2 Y_3$ |
| 00 | 00 | 1 0 0 |
| 00 | 01 | 1 0 0 |
| 00 | 10 | 0 0 1 |
| 00 | 11 | 0 0 1 |
| 01 | 00 | 1 0 0 |
| 01 | 01 | 1 0 0 |
| 01 | 10 | 1 0 0 |
| 01 | 11 | 0 0 1 |
| 10 | 00 | 0 1 0 |
| 10 | 01 | 0 1 0 |
| 10 | 10 | 1 0 0 |
| 10 | 11 | 0 1 0 |
| 11 | 00 | 0 1 0 |
| 11 | 01 | 1 0 0 |
| 11 | 10 | 1 0 0 |
| 11 | 11 | 1 0 0 |

2. 输出函数

Y_3 $a_1 a_0$

| $b_1 b_0$ | 00 | 01 | 10 | 11 |
|-----------|----|----|----|----|
| 00 | 1 | 1 | 0 | 0 |
| 01 | 1 | 1 | 0 | 0 |
| 10 | 0 | 0 | 1 | 1 |
| 11 | 0 | 0 | 1 | 1 |

$$Y_3 = \bar{b}_1 \bar{a}_1 + b_1 a_1 + b_0 a_1 \bar{a}_0 + b_1 \bar{b}_0 a_0 \quad (|A-B| < 2)$$

Y_2 $a_1 a_0$

| $b_1 b_0$ | 00 | 01 | 10 | 11 |
|-----------|----|----|----|----|
| 00 | 0 | 0 | 0 | 0 |
| 01 | 0 | 0 | 0 | 0 |
| 10 | 0 | 0 | 0 | 0 |
| 11 | 0 | 0 | 0 | 0 |

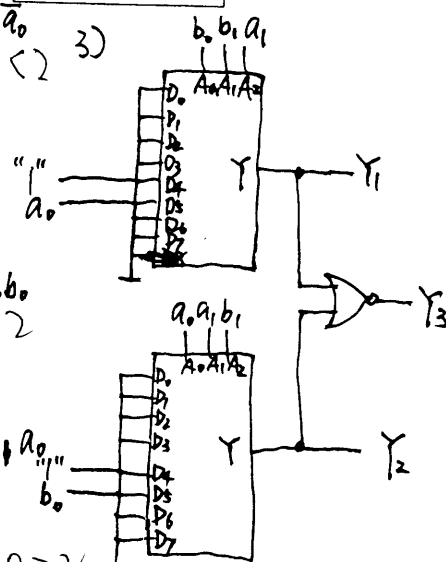
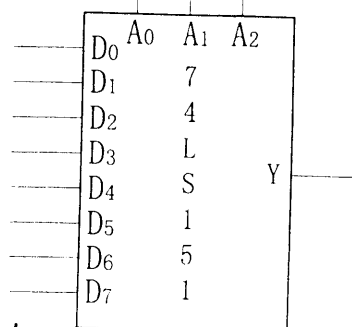
$$Y_2 = b_1 \bar{a}_1 \bar{a}_0 + b_1 b_0 \bar{a}_1 = b_1 \bar{a}_1 \bar{a}_0 + b_1 \bar{a}_1 b_0 \quad (B-A \geq 2)$$

Y_1 $a_1 a_0$

| $b_1 b_0$ | 00 | 01 | 10 | 11 |
|-----------|----|----|----|----|
| 00 | 0 | 0 | 0 | 0 |
| 01 | 0 | 0 | 0 | 0 |
| 10 | 0 | 0 | 0 | 0 |
| 11 | 0 | 0 | 0 | 0 |

$$Y_1 = \bar{b}_1 \bar{a}_1 a_0 + \bar{b}_1 \bar{b}_0 a_1 = \bar{b}_1 \bar{b}_0 a_1 + \bar{b}_1 b_0 a_0 \quad (A-B \geq 2)$$

故有 $Y_3 = Y_1 + Y_2$

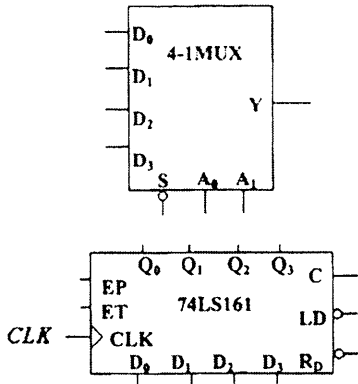


四. 时序逻辑电路 (16分) 李

试用题 4 图提供的逻辑器件 1 个 74LS161 和 1 或 2 个 4-1MUX, 设计一个具有控制端 M 的序列信号发生器, 当 M 分别为 0 和 1 时, 在时钟脉冲 CLK 的作用下, 电路的输出 Y 能分别周期性地输出 01111101 和 10010101 的脉冲序列(序列信号左边先行)。允许使用适当的门电路。1) 写出设计过程; 2) 画出电路图。4分

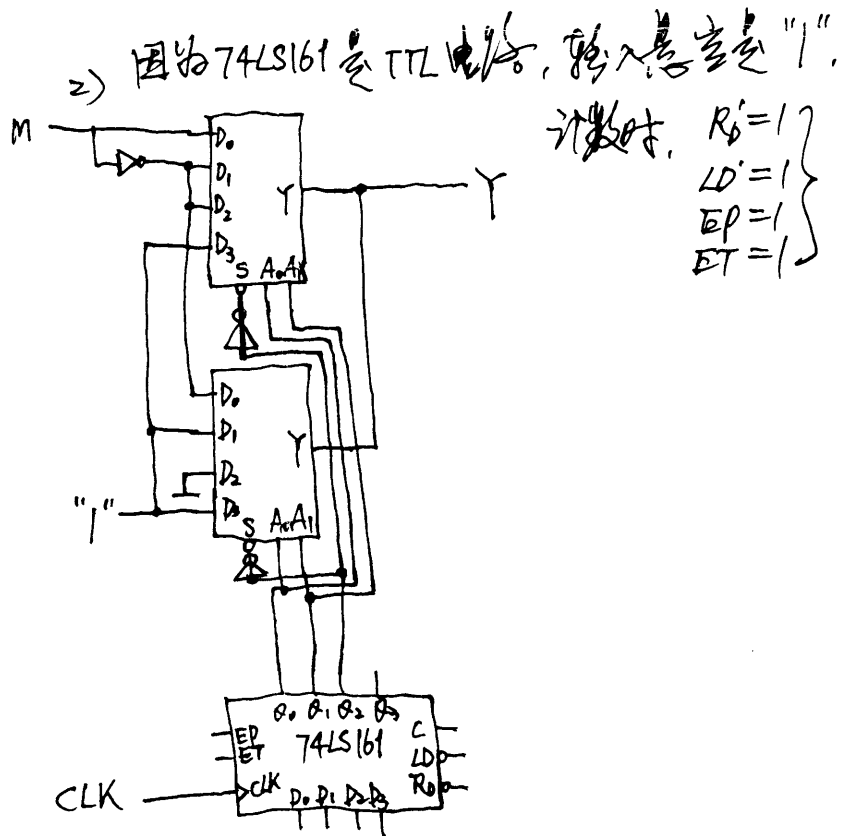
12分 题 4 表 74LS161 功能表

| CLK | R'_D | LD' | EP | ET | 工作状态 |
|-----|--------|-------|----|----|----------|
| X | 0 | X | X | X | 置 0 (异步) |
| | 1 | 0 | X | X | 预置数 (同步) |
| X | 1 | 1 | 0 | 1 | 保持 (包括C) |
| X | 1 | 1 | X | 0 | 保持 (C=0) |
| | 1 | 1 | 1 | 1 | 计数 |



解: 1) 题 4 图
脉冲序列均是 8 个为周期, 所以 74LS161 取 3 位 = 进计数;
2 个 4-1 MUX 组成 8-1 MUX, 由 8 个状态控制,
MUX 的输入与 M 有关;

| 状态 $Q_2 Q_1 Q_0$ | 输出 Y | | D |
|---------------------|------|-----|---|
| | M=0 | M=1 | |
| 0 0 0 | 0 | 1 | M |
| 0 0 1 | 1 | 0 | M |
| 0 1 0 | 1 | 0 | M |
| 0 1 1 | 1 | 1 | 1 |
| 1 0 0 | 1 | 0 | M |
| 1 0 1 | 1 | 1 | 1 |
| 1 1 0 | 0 | 0 | 0 |
| 1 1 1 | 1 | 1 | 1 |



五、控制器设计 (16分)

一个简单的 ADC 控制算法分为以下四步：(1) 启动 AD 设备；(2) 触发 AD 数据；(3) 获取 AD 的状态，若未结束则继续转换；(4) 停止 AD 设备。

请设计该控制器，要求采用微程序型。

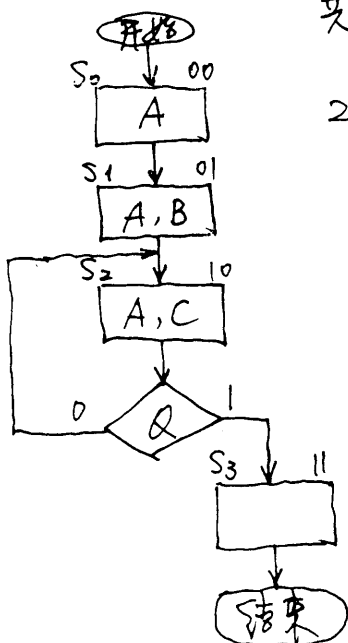
1) 画出 ASM 流程图：(6分)

2) 请设计微指令格式，并加以说明：(4分)

3) 请写出对应这种微指令格式的控制器微程序代码。(6分)

解：假设启动 AD 设备的控制信号为 $A=1$ 停止时 $A=0$ ；
触发 AD 数据转换的控制信号为 B ，
获取 AD 状态的控制信号为 C ，
得到的状态信息为 Q ， $Q=0$ ，未结束
 $Q=1$ ，结束

1) ASM 流程图



共4个状态，2位编码

2) 微指令格式

| A | B | C | PCD | μA_1 | μA_0 |
|-------|---|---|-----|-----------|-----------|
| ←微命令→ | | | 判别 | ←下地址→ | |

需要控制信号3个
判别 1个
地址 2个
共 6bit.

3) 微程序代码

| 微地址 | 微指令 | | | | |
|-----|-----|---|---|-----|-------------------|
| | A | B | C | PCD | $\mu A_1 \mu A_0$ |
| 00 | 1 | 0 | 0 | 0 | 0 1 |
| 01 | 1 | 1 | 0 | 0 | 1 0 |
| 10 | 1 | 0 | 1 | 1 | 1 0 |
| 11 | 0 | 0 | 0 | 0 | 1 1 |

S2时，缺省下一地址
 $\mu A_1, \mu A_0 = 10$ ，
修改地址
 $\mu A_0 = PCD \cdot Q \cdot T_2$
微地址修改
在指令周期的T2时

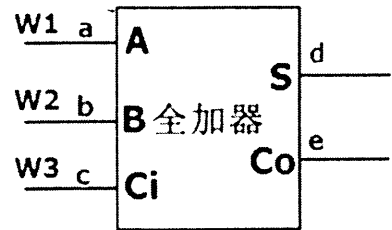
六、测试 (10分) 刘

题6图为全加器的示意图, 对于图中的五个可能出现固定型 sa0-sa1 故障的故障点 a-e, 需要找出测试向量对其进行测试。W1、W2、W3 为三输入测试向量。

- (1) 若电路中仅有 a 点存在 sa1 故障, 写出在该全测试集下的 d、e 点的测试输出。2分
(2) 写出能够测试 e 点 sa0 故障的全部测试向量。(4分)

解: (1) 在 a 点存在 sa1 故障时

| 测试 W1 W2 W3 | 输入 A B C | 输出 S d e |
|----------------|-------------|-------------|
| 0 0 0 | 1 0 0 | 1 0 0 |
| 0 0 1 | 1 0 1 | 1 0 1 |
| 0 1 0 | 1 1 0 | 1 0 1 |
| 0 1 1 | 1 1 1 | 1 0 1 |
| 1 0 0 | 1 0 0 | 0 1 1 |
| 1 0 1 | 1 0 1 | 0 1 1 |
| 1 1 0 | 1 1 0 | 0 1 1 |
| 1 1 1 | 1 1 1 | 0 1 1 |



题6图 全加器示意图

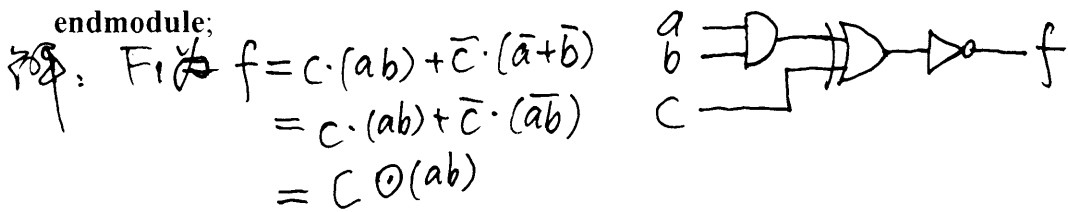
能测试的测试集为 {000, 001, 010, 011} 输出 {10, 01, 01, 11}

(2) 测试 e 点 sa0 故障, 必须是正常输出 e=1 测试
故有测试向量 {011, 101, 110, 111} 对 - 给 - 错 2 扣 -

七、Verilog HDL (12分) 刘

以下是 Verilog 描述的二个电路, 请使用反相器、2 输入与门、或门、异或门或 D 触发器分别画出它们对应的最简逻辑电路图。

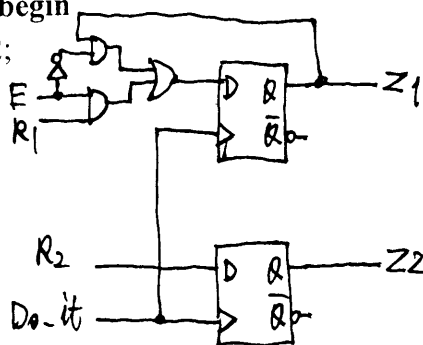
(i) module F1(a, b, c, f);
input a, b, c;
output f;
assign f = c ? (a & b) : (~a + ~b);
endmodule;



(ii) module F2(input R1, R2, E, Do_it, output reg Z1, Z2);
always @(posedge Do_it) begin
if (E) Z1 <= R1; Z2 <= R2;
end
endmodule;

解:

| R1 | R2 | E | Z1* | Z2* |
|----|----|---|-----|-----|
| x | x | x | R2 | |
| x | x | 0 | R1 | |
| x | x | 1 | R1 | |

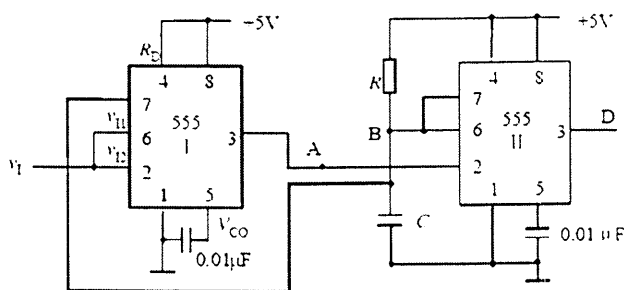


按题意: $Z_2 = R_2$
 $D_1 = E \cdot R_1 + \bar{E} \cdot Q_1$

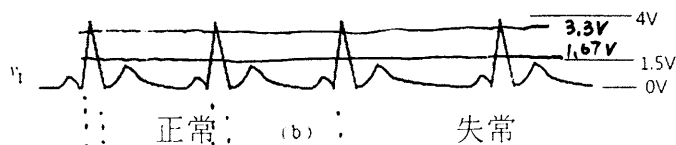
八、脉冲电路 (12分)

心脏病人的心跳频率容易出现波动。题8图(a)所示的是由555定时器构成的心率失常报警电路，经放大后的心电信号 v_i 如题8图(b)所示，其中 v_i 的峰值 $v_m = 4V$ ， v_i 最小值 $= 0V$ 。

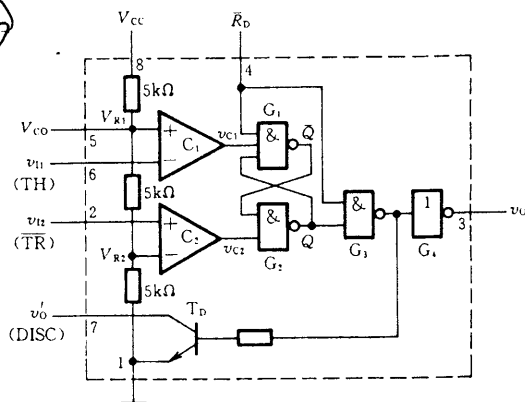
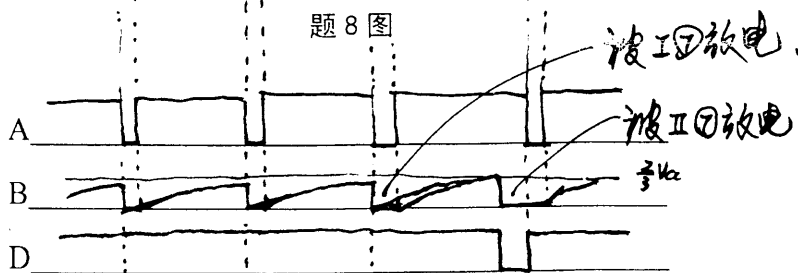
- (1) 分别说出 555 定时器 I 和 555 定时器 II 所构成的单元电路的名称；
- (2) 对应于 v_i 分别画出 A, B, D 三点波形；
- (3) 说明心率失常报警原理。



(a)



题8图



NE555 内部电路框图

解: (1) I 为施密特触发器;
II 为单稳态触发器。

$$(2) V_{th+} = \frac{2}{3} V_{cc} = \frac{2}{3} \times 5V = 3.33V$$

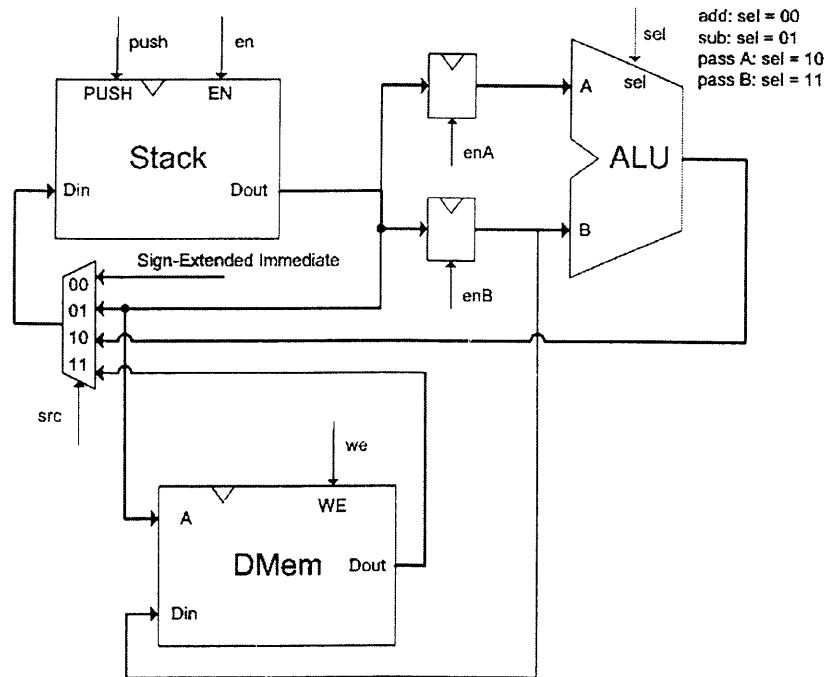
$$V_{th-} = \frac{1}{3} V_{cc} = \frac{1}{3} \times 5V = 1.67V$$

A 点为施密特反相输出;
B 点被 I 的 ⑦ 脚输出放电到 0.1V。

(3) 原理: 当心率正常时, 心跳频率平稳, 心跳间隔小于 II 号 555 定时器的 RC 充电到 $\frac{2}{3} V_{cc}$ 的时间。
 $t_w = RC \ln 3 = 1.1 RC$, 这时, 输出 D 一直是高电平。
当心率失常时, 心跳波动, 出现时间间隔大于 RC 充电时间 $t_w = 1.1 RC$ 时, 输出 D 出现低电平脉冲, 则表示检测到心率失常现象。

九、附加题 _____ (10 分) (注: 计入试卷总分, 但总分最多不超过 100 分)

堆栈机是一种特殊类型的 CPU, 其所有的指令都是从堆栈 (Stack, 一组特殊的数据寄存器) 中取出数据, 并且将操作结果放入栈顶。而堆栈有一种“后进先出”规则: 即最后进入堆栈的数据最先出来。该堆栈机的结构如题 9 图所示:



题 9 图 堆栈机的数据通路

其相应的指令集如下:

| 指令 | 指令描述 |
|--------------|-----------------------------------|
| add | 弹出两个数, 然后对它们求和, 再把结果压入堆栈中 |
| sub | 弹出两个数, 然后将第一个弹出的数减去第二个, 再把结果压入堆栈中 |
| dup | 复制栈顶的数据 |
| swap | 交换堆栈中前两个数据 |
| load | 堆栈弹出地址, 根据此地址从存储器中读出数据, 将数据压入堆栈中 |
| store | 将栈顶的数据存到数据存储器中, 其地址是第二个数据 |
| const | 将来自指令的立即数压入堆栈中 |

数据存储器 DMem 具有异步读和同步写, 堆栈(stack)有一个输入端和一个输出端, 以及两个控制信号(即使能信号 EN, 和压栈信号 PUSH)。在时钟的上升沿时刻, 如果 PUSH=1 且 EN=1, 则数据从数据输入端 Din 被压入堆栈中; 如果 PUSH=0 且 EN=1, 则栈顶数据从数据输出端被弹出; 如果 EN=0, 则堆栈不变。

据此回答下列问题:

- (1) 什么是指令周期和机器周期? 4
- (2) 题 9 图中给出了控制每一个模块的控制信号, 通过分析请写出题 9 表中所列指令对应的控制信号的值。其中每一个控制操作在一个时钟周期完成, 完成一条指令需要 多个 时钟周期, 表中可用“X”表示取任意值, 即“无关项”。(先不管顺序). 4
- (3) 请说明该堆栈机各控制信号在指令执行中的合理的固定顺序。(指明顺序和值)

swap

2.

(2)

题9表 部分指令的控制信号 (不管顺序)

| | Push | en | enA | enB | sel | we | src |
|-------|------|----|-----|-----|-----|----|-----|
| add | 1 | 1 | 1 | 1 | 00 | 0 | 10 |
| store | 0 | 1 | X | 1 | XX | 1 | XX |
| dup | 1 | 1 | X | X | XX | 0 | 01 |
| const | 1 | 1 | X | X | XX | 0 | 00 |

解: (1) 指令周期: 完成一条指令所需的时间, 这里是多个时钟周期。
机器周期: 完成一个基本操作所需的时间,
这里等于时钟周期。

(2) 如表

(3)

| | Push | en | enA | enB | sel | we | src | 顺序 |
|------|------|----|------|------|-----|----|-----|----------------|
| Swap | 0 | 1 | 1 | 0(x) | xx | 0 | xx | T ₁ |
| | 0 | 1 | 0 | 1 | xx | 0 | xx | T ₂ |
| | 1 | 1 | 0 | 0 | 10 | 0 | 10 | T ₃ |
| | 1 | 1 | 0(x) | 0 | 11 | 0 | 10 | T ₄ |