

习题讲解

Hw4 – Hw6、Quiz 2

王彤
wangt_@zju.edu.cn

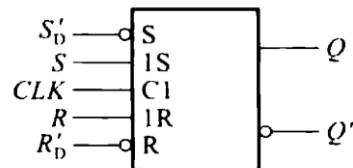
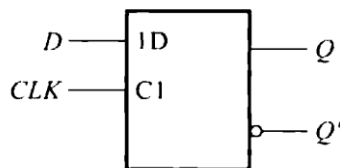
触发器

- SR锁存器：或非门/与非门 $S_D = R_D = 1$
- 触发器：
 - SR:
$$\begin{cases} Q^* = S + R'Q \\ SR = 0 \end{cases}$$
 - JK: $Q^* = JQ' + K'Q$
 - T: $Q^* = TQ' + T'Q$
 - D: $Q^* = D$
- 触发方式：电平触发、边沿触发、脉冲触发：

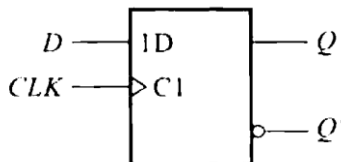
触发器

- SR锁存器：或非门/与非门 $S_D = R_D = 1$
- 触发器：SR、JK、T、D特性方程
- 触发方式：

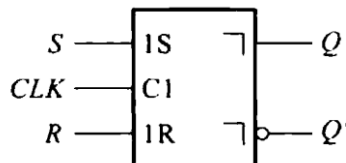
- 电平触发：



- 边沿触发：



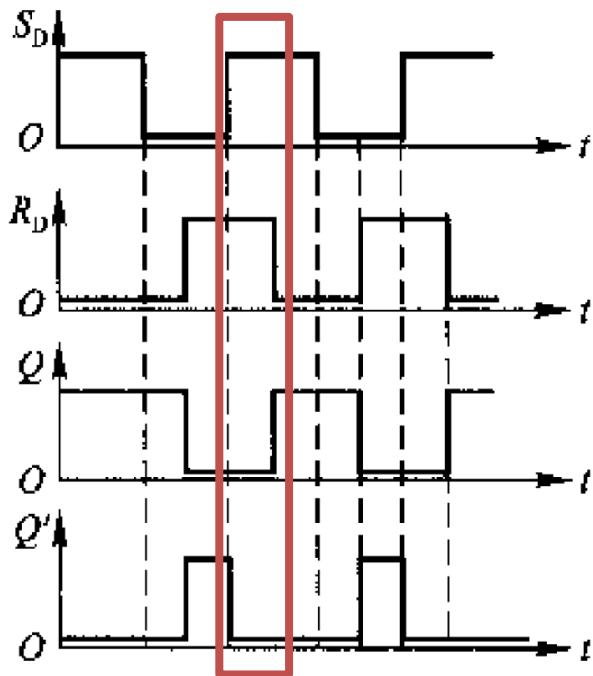
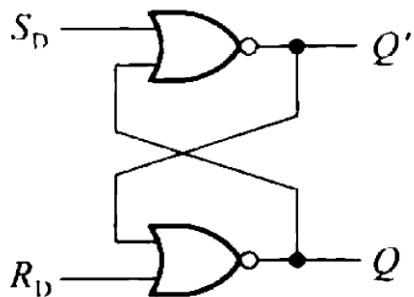
- 脉冲触发：



- 脉冲触发JK触发器：CLK=1期间只可能翻转一次（P223）

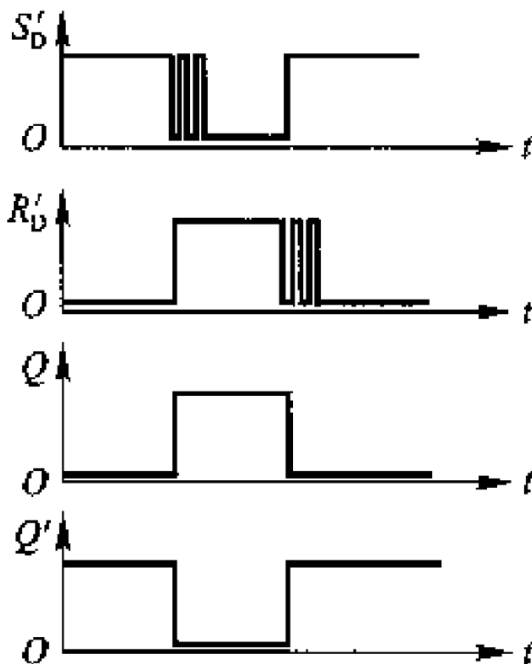
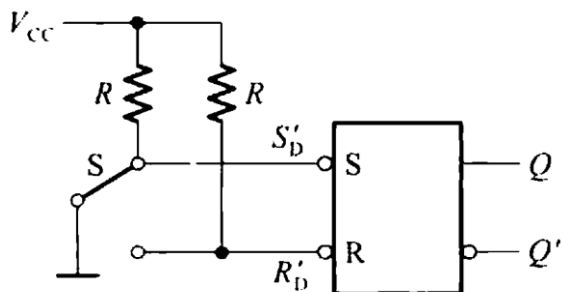
Homework 4

5.2 画出图P5.2由或非门组成的SR锁存器输出端Q、Q'的电压波形，输入端 S_D 、 R_D 的电压波形如图中所示。



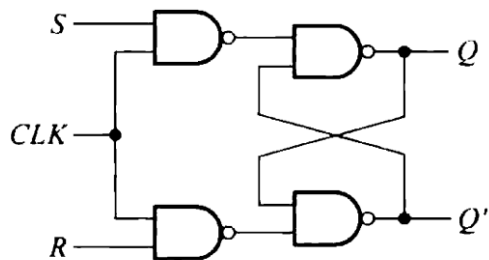
Homework 4

5.3 图P5.3所示为一个防抖动输出的开关电路。当拨动开关S时,由于开关触点接通瞬间发生振颤, S_D' 和 R_D' 的电压波形如图中所示,试画出Q、Q'端对应的电压波形。

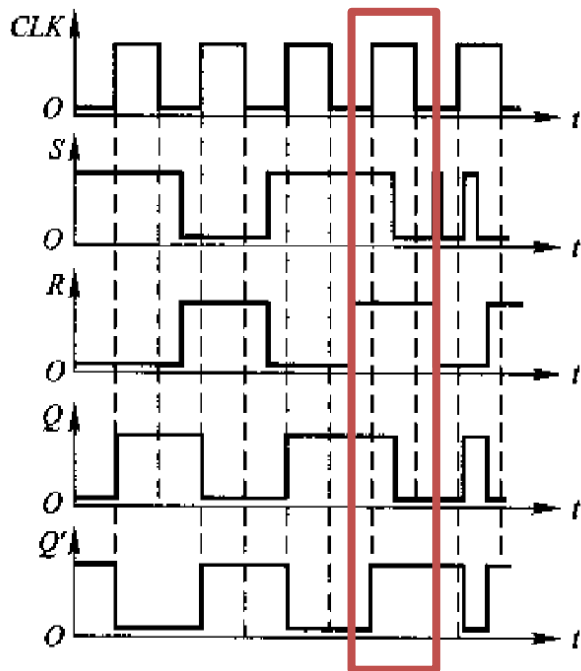


Homework 4

5.4 在图P5.4所示电路中，若CLK、S、R的电压波形如图中所示，试画出Q和Q'端与之对应的电压波形。假定触发器的初始状态为 $Q = 0$ 。

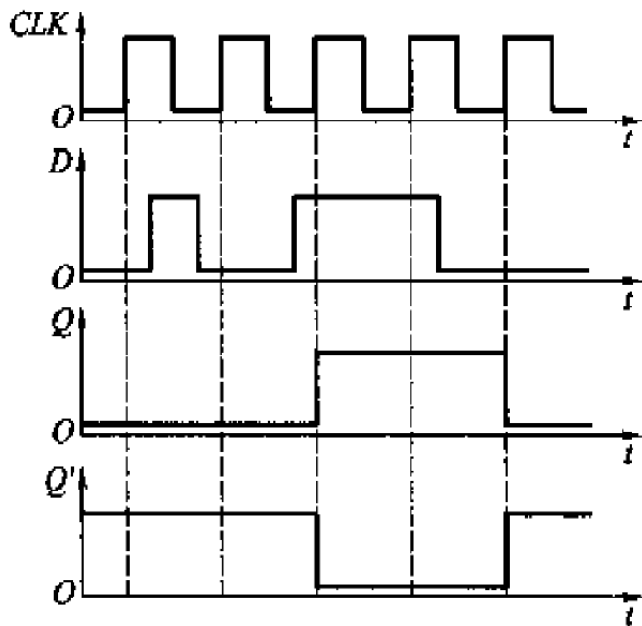
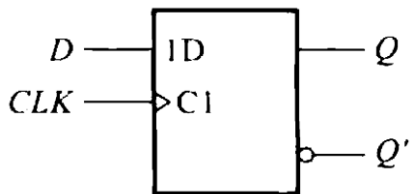


电平触发SR触发器



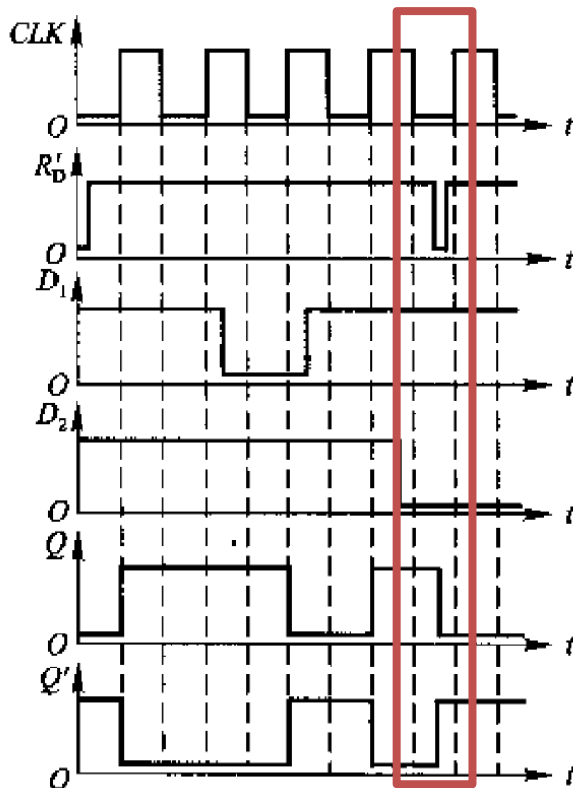
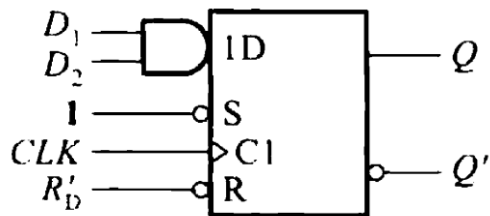
Homework 5

5.7 已知边沿触发器输入端D和时钟信号CLK的电压波形如图P5.7中所示，试画出Q和Q'端对应的电压波形。假定触发器的初始状态为 $Q = 0$ 。



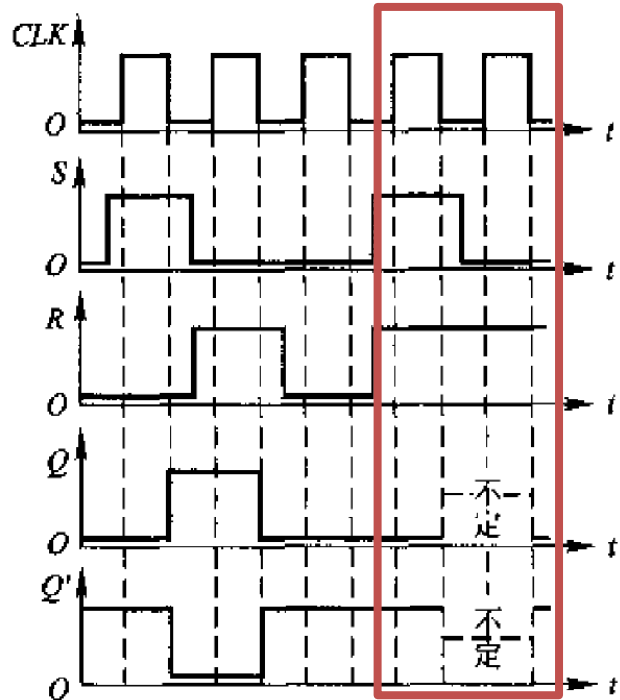
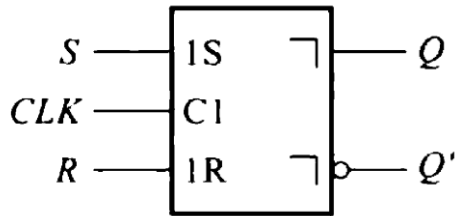
Homework 5

5.8 已知边沿触发D触发器各输入端的电压波形如图P5.8中所示，试画出Q和Q'端对应的电压波形。



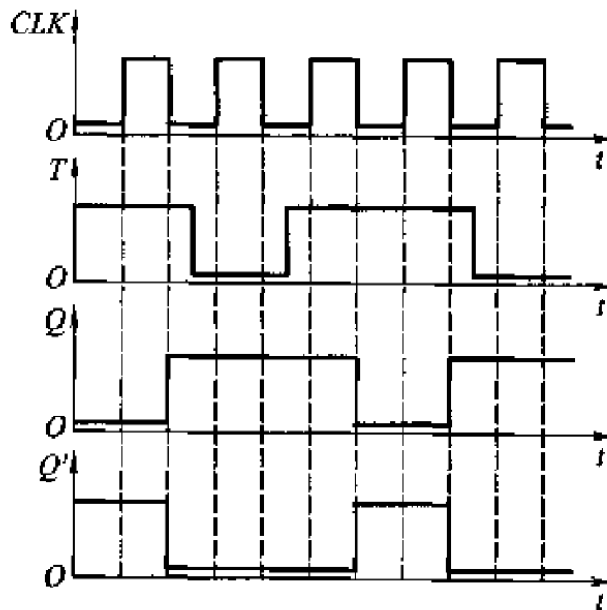
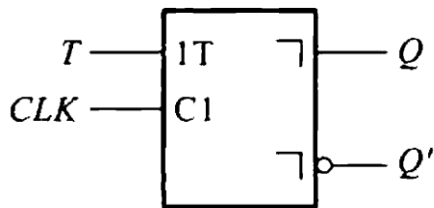
Homework 5

5.10 若脉冲触发SR触发器各输入端的电压波形如图P5.10中所给出，试画出Q、Q'端对应的电压波形。设触发器的初始状态为 $Q = 0$ 。



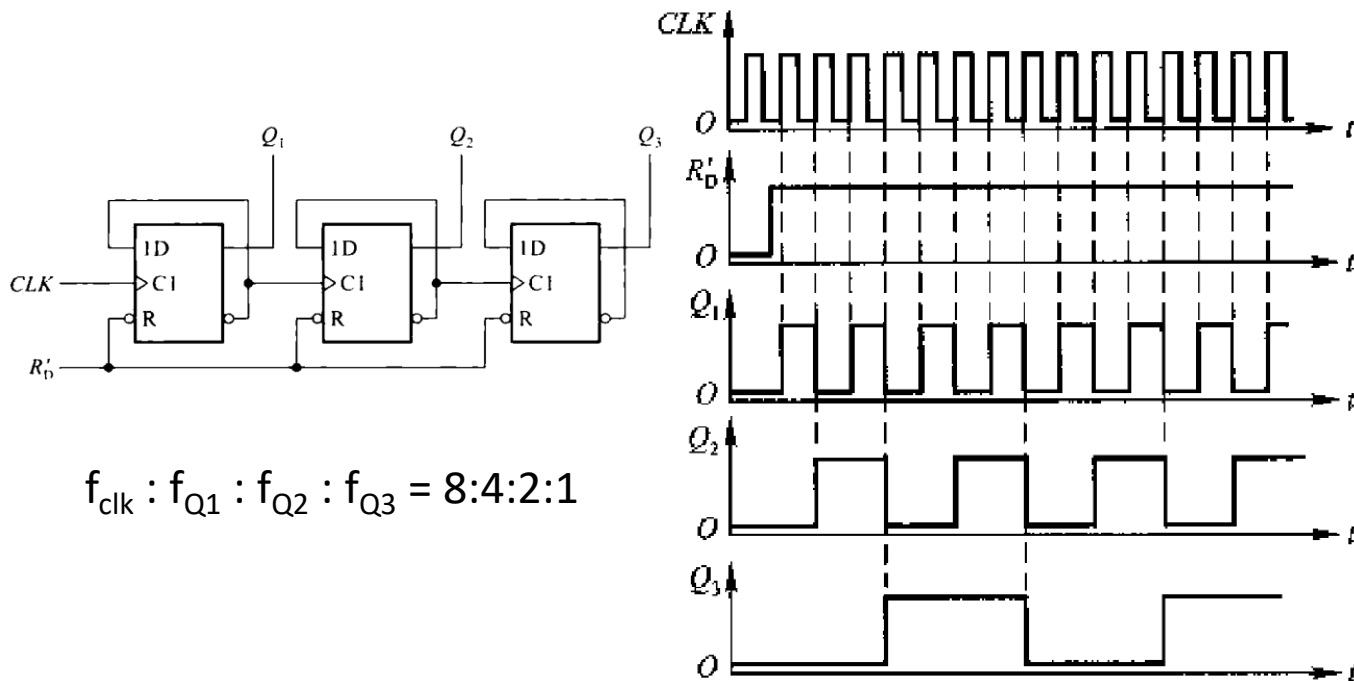
Homework 5

5.16 在脉冲触发T触发器中，已知T、CLK端的电压波形如图P5.16中所示，试画出Q、Q'端对应的电压波形。设触发器的初始状态为 $Q = 0$ 。



Homework 5

5.20 试画出图P5.20电路在图中所示CLK、RD'信号作用下Q1、Q2、Q3的输出电压波形，并说明Q1、Q2、Q3输出信号的频率与CLK信号频率之间的关系。



Homework 6

- 时序逻辑电路设计
 - 驱动方程、特性方程、输出方程
 - 状态转换表、状态转换图、状态机流程图、时序图
 - 电路设计（课本6.4节）
 - 利用触发器设计电路
 - 任意进制计数器（LD / R_D ）
 - 序列信号发生器
 - 顺序脉冲发生器
 - 自启动问题

Homework 6

1. 如图所示的时序电路，A为输入，Y为输出。写出其驱动方程、状态方程和输出方程，以真值表的形式列出状态转换表，画出电路的状态转移图。

首先由电路可写出驱动方程：

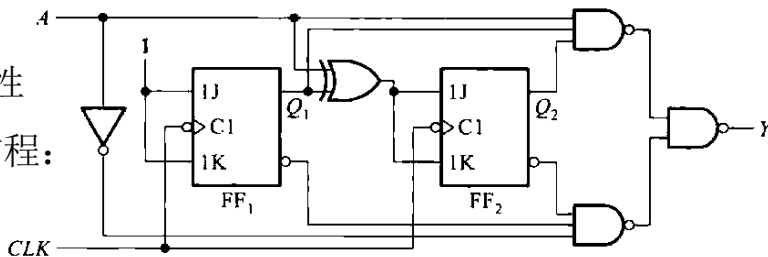
$$\begin{cases} J_1 = K_1 = 1 \\ J_2 = K_2 = A \oplus Q_1 \end{cases}$$

将上述驱动方程带入JK触发器的特性方程（ $Q^* = JQ' + K'Q$ ），得到状态方程：

$$\begin{cases} Q_1^* = Q_1' \\ Q_2^* = A \oplus Q_1 \oplus Q_2 \end{cases}$$

由电路图化简，得到输出方程：

$$Y = AQ_1Q_2 + A'Q_1'Q_2'$$



误： $Q_2^* = A \oplus Q_1 \cdot Q_1' + (A \oplus Q_1)' \cdot Q_1$

Homework 6

1. 如图所示的时序电路，A为输入，Y为输出。写出其驱动方程、状态方程和输出方程，以真值表的形式列出状态转换表，画出电路的状态转移图。

首先由电路可写出驱动方程：

$$\begin{cases} J_1 = K_1 = 1 \\ J_2 = K_2 = A \oplus Q_1 \end{cases}$$

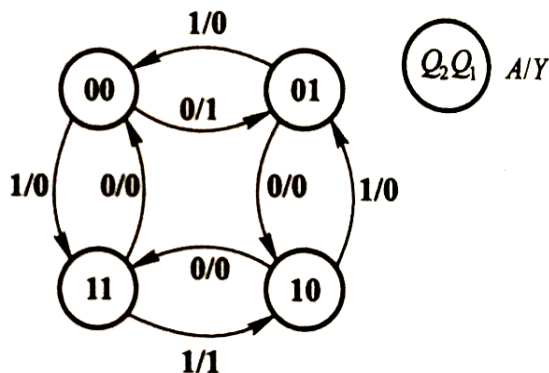
将上述驱动方程带入JK触发器的特性方程（ $Q^* = JQ' + K'Q$ ），得到状态方程：

$$\begin{cases} Q_1^* = Q_1' \\ Q_2^* = A \oplus Q_1 \oplus Q_2 \end{cases}$$

由电路图化简，得到输出方程：

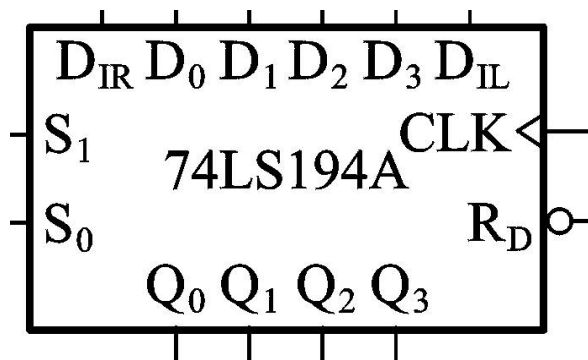
$$Y = AQ_1Q_2 + A'Q_1'Q_2'$$

$Q_2^* \backslash Q_1^* / Y$ A	Q_2Q_1 00	01	10	11
0	01/1	10/0	11/0	00/0
1	11/0	00/0	01/0	10/1



Homework 6

2. 4位双向移位寄存器74LS194A如左图所示，其功能表如右表所示。使用两片74LS194A设计一个8位双向移位寄存器。

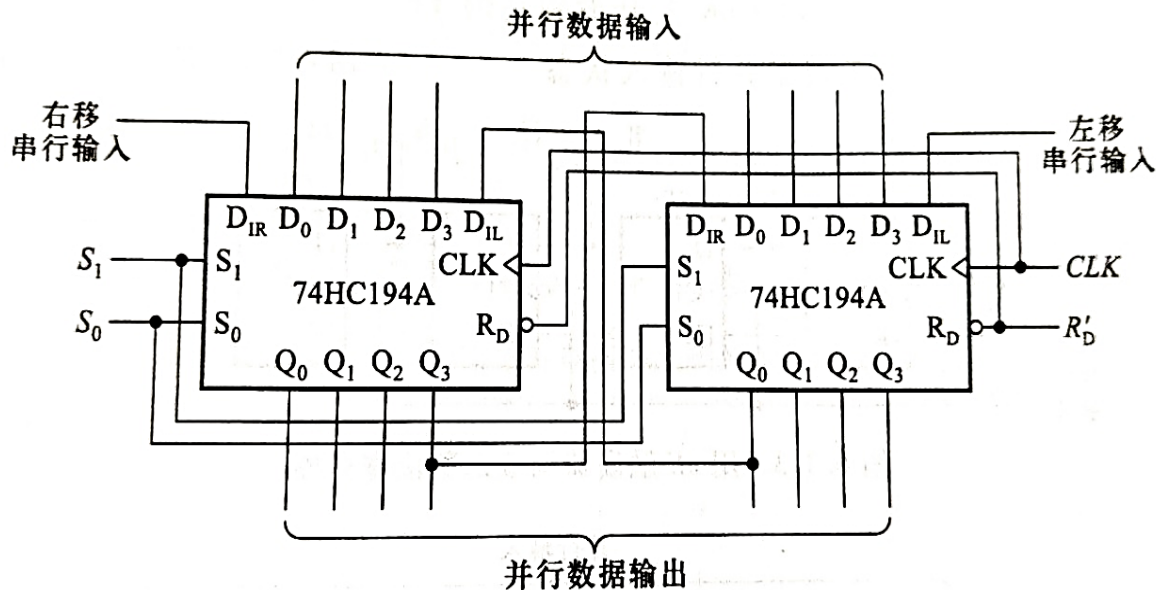


R'_D	S_1	S_0	工作状态
0	X	X	置零
1	0	0	保持
1	0	1	右移
1	1	0	左移
1	1	1	并行输入

Homework 6

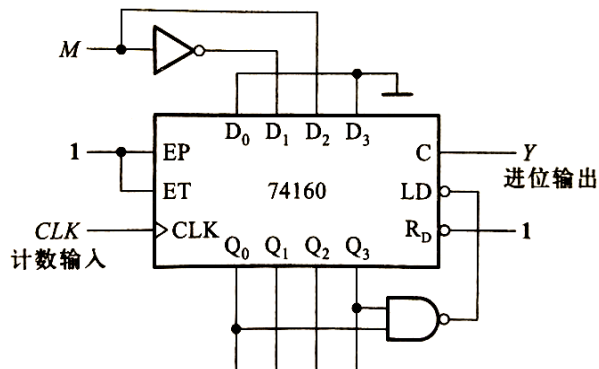
2.

解：只需将其中一片的 Q_3 接至另一片的 D_{IR} 端，将另一片的 Q_0 接至这一片的 D_{IL} ，同时把两片的 S_1 、 S_2 、 CLK 和 R'_D 分别并联就可以了。



Homework 6

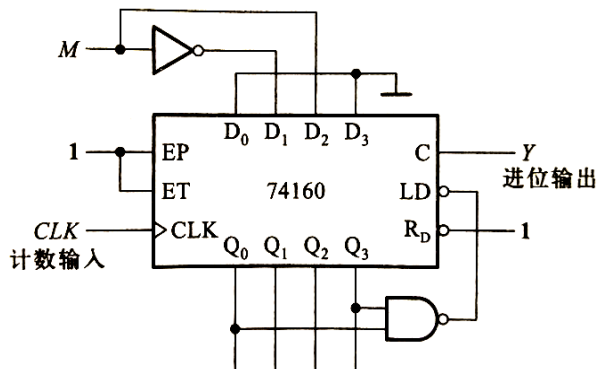
3. 试分析左图的计数器在 $M=0$ 和 $M=1$ 时各为几进制。74160功能表如右所示。



CLK	R'_D	LD'	EP	ET	工作状态
X	0	X	X	X	置 0 (异步)
	1	0	X	X	预置数 (同步)
X	1	1	0	1	保持 (包括C)
X	1	1	X	0	保持 (C=0)
	1	1	1	1	计数

Homework 6

3. 试分析左图的计数器在M=0和M=1时各为几进制。74160功能表如右所示。



解：

M=1时，当电路进入 $Q_3Q_2Q_1Q_0=1001$ 以后， $LD'=0$ 。下一个CLK到达时将 $D_3D_2D_1D_0=0100$ 置入电路中，再从0100继续做加法计数。因此，电路在0100和1001这六个状态间循环，构成六进制计数器。

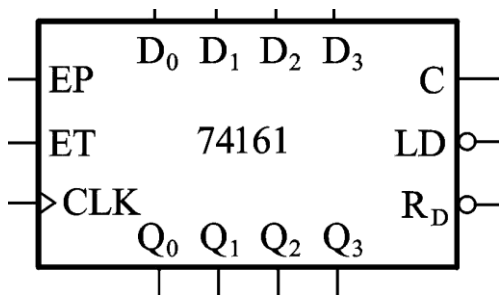
同理，在M=0的情况下，电路计到1001后
后置入0010，形成八进制计数器。

误: **M = 1**: 八进制, **M = 0**: 六进制

由高到低: $D_3D_2D_1D_0$

Homework 6

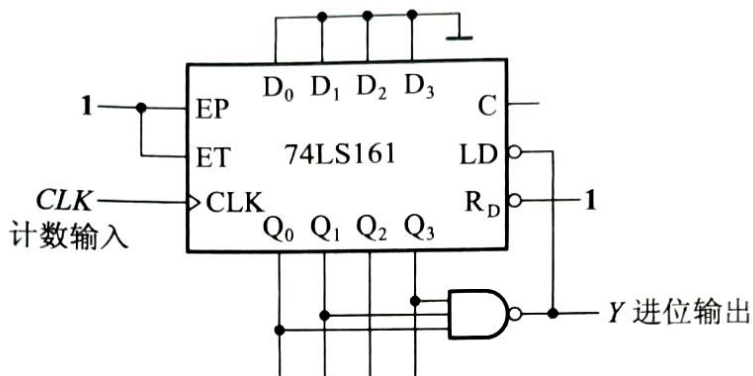
4. 试用4位同步二进制计数器74LS161接成十二进制计数器，可以附加必要的门电路。74LS161元件及其功能表如下所示。标明元件端口和输入输出端。



CLK	R'_D	LD'	EP	ET	工作状态
X	0	X	X	X	置0 (异步)
	1	0	X	X	预置数 (同步)
X	1	1	0	1	保持 (包括C)
X	1	1	X	0	保持 (C=0)
	1	1	1	1	计数

Homework 6

4. 试用4位同步二进制计数器74LS161接成十二进制计数器，可以附加必要的门电路。74LS161元件及其功能表如下所示。标明元件端口和输入输出端。

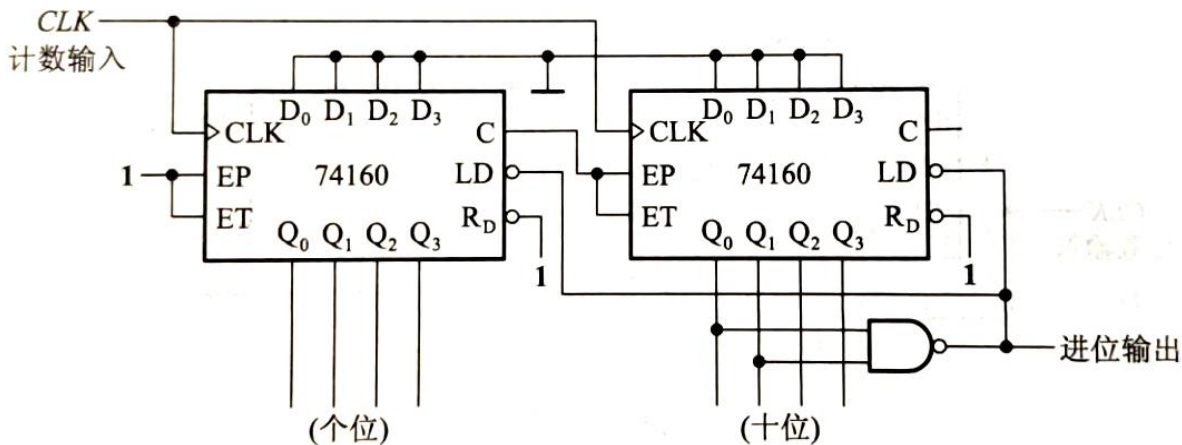


解：

此题有多种解法，例如可采用同步置数法，在电路计成 $Q_3Q_2Q_1Q_0=1011$ （十一）后译出 $LD'=0$ 的信号，并在下一个CLK信号到达时置入0000就得到了十二进制计数器。

Homework 6

5. 试用两片同步十进制计数器74160设计一个同步三十一进制计数器。可以附加必要的门电路。74160功能表如下所示。标明元件端口和输入输出端。



误：00011110 (30)



74161 / 74160

Quiz 2

一、组合逻辑电路

设计一组合电路，输入为一个3位二进制数 $x = x_2x_1x_0$ ，输出 $y = y_2y_1y_0$ 的值为 $3x$ 对8取模。

1. 用3线-8线译码器及门电路实现此电路。写出设计过程，画出电路图。
2. 用3线-8线译码器及适当的编码器实现此电路，要求不能外加其他器件，画出电路图。

解：

x_2	x_1	x_0	y_2	y_1	y_0	x_2	x_1	x_0	y_2	y_1	y_0
0	0	0	0	0	0	1	0	0	1	0	0
0	0	1	0	1	1	1	0	1	1	1	1
0	1	0	1	1	0	1	1	0	0	1	0
0	1	1	0	0	1	1	1	1	1	0	1

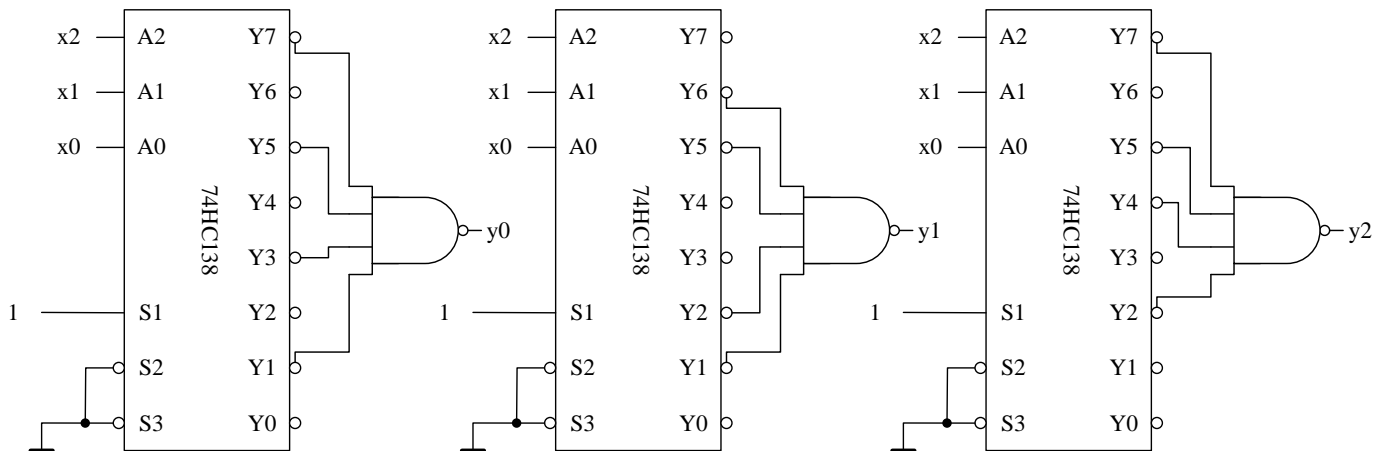
Quiz 2

一、组合逻辑电路

$$y_0 = m_1 + m_3 + m_5 + m_7 = \overline{\overline{m_1} \cdot \overline{m_3} \cdot \overline{m_5} \cdot \overline{m_7}}$$

$$y_1 = m_1 + m_2 + m_5 + m_6 = \overline{\overline{m_1} \cdot \overline{m_2} \cdot \overline{m_5} \cdot \overline{m_6}}$$

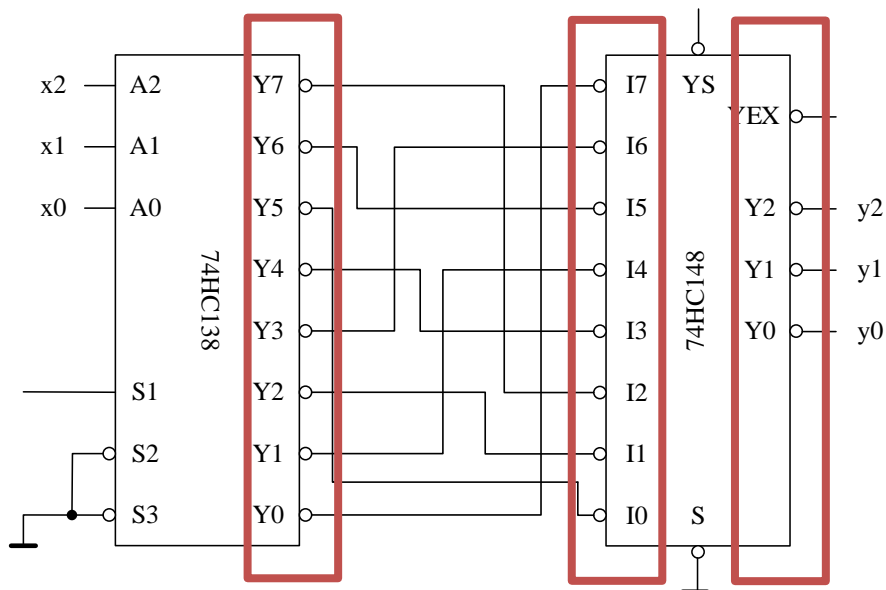
$$y_2 = m_2 + m_4 + m_5 + m_7 = \overline{\overline{m_2} \cdot \overline{m_4} \cdot \overline{m_5} \cdot \overline{m_7}}$$



Quiz 2

一、组合逻辑电路

x	y_2	y_1	y_0		
m_0	0	0	0	m_0	l_7
m_1	0	1	1	m_3	l_4
m_2	1	1	0	m_6	l_1
m_3	0	0	1	m_1	l_6
m_4	1	0	0	m_4	l_3
m_5	1	1	1	m_7	l_0
m_6	0	1	0	m_2	l_5
m_7	1	0	1	m_5	l_2

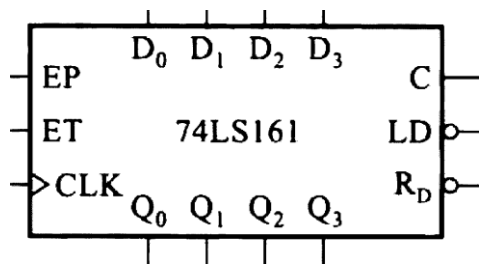


Quiz 2

二、时序逻辑电路

用两片如图所示的十六进制同步加法计数器74LS161及其他必要的器件设计一个可变模同步二进制计数器。当模式控制 $M = 0$ 时，为60进制计数器；当 $M = 1$ 时，为100进制计数器，**要求输出不能有毛刺**。请画出电路图。

74LS161功能表如下表所示， $Q_3Q_2Q_1Q_0$ 为输出端， $D_3D_2D_1D_0$ 为置数数据输入端， C 为进位输出，在计数至15时输出一个时钟周期的高电平。



CLK	R_D'	LD'	EP	ET	工作状态
×	0	×	×	×	置零
↑	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持（但 $C=0$ ）
↑	1	1	1	1	计数

Quiz 2

二、时序逻辑电路

解：

实现任意进制计数器：置零法、置数法

输出没有毛刺：对于有异步置零输入端的计数器，电路一进入SM状态后立即又被置成S0状态，所以SM状态仅在极短的瞬时出现，在稳定的状态循环中不包括SM状态。（课本P295）

M = 0： 60进制，计数满00111011（十进制59）时置数

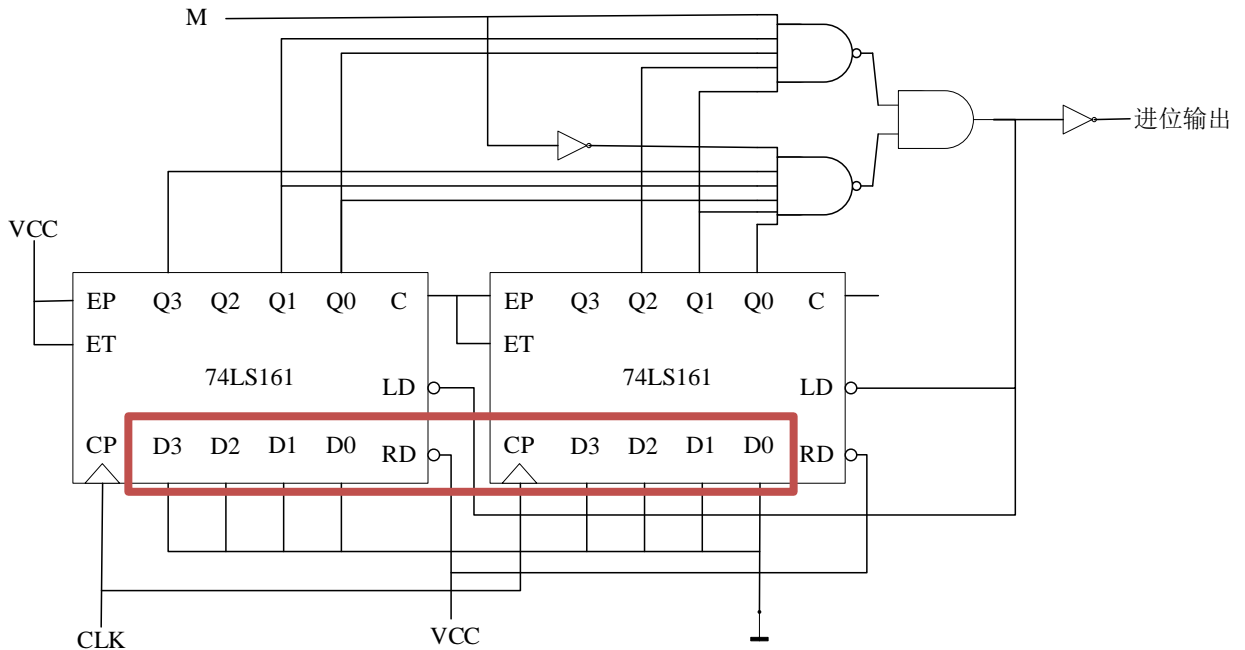
M = 1： 100进制，计数满01100011（十进制99）时置数

置数信号 $\overline{LD} = \overline{MQ_{21}Q_{20}Q_{13}Q_{11}Q_{10}} \cdot \overline{MQ_{22}Q_{21}Q_{11}Q_{10}}$

Quiz 2

二、时序逻辑电路

置数信号 $\overline{LD} = \overline{M}Q_{21}Q_{20}Q_{13}Q_{11}Q_{10} \cdot \overline{M}Q_{22}Q_{21}Q_{11}Q_{10}$

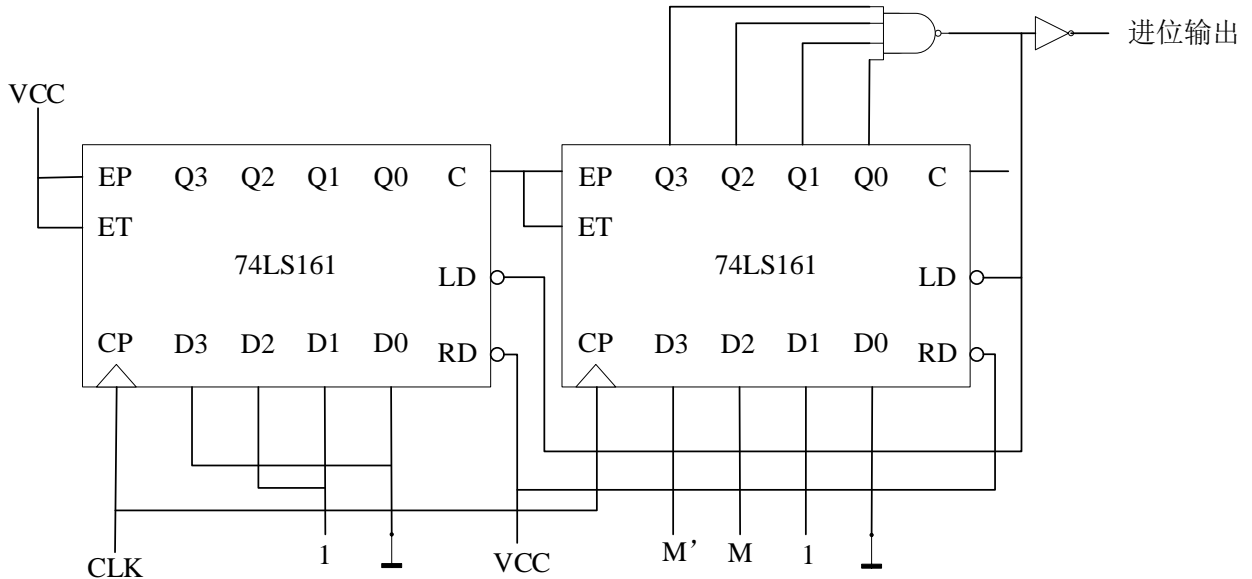


Quiz 2

二、时序逻辑电路

$$D_{13}D_{12}D_{11}D_{10} = 0110$$

$$D_{23}D_{22}D_{21}D_{20} = M'M_{10} = 0110(M=1) / 1010(M=0)$$



作业成绩

- 作业成绩：

10分 = 提交基本分（5/6分）+ 正确率得分

- 作业补交：

期末考试前

只能获得正确率得分部分

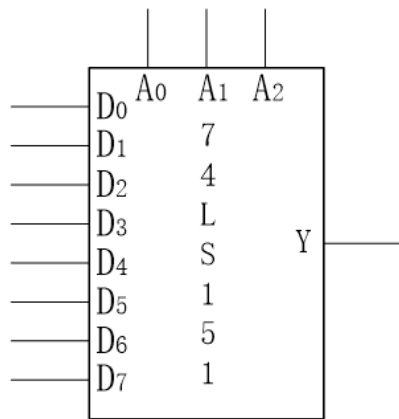
- 学在浙大提交：

带批改标记和成绩得分，拍照上传到学在浙大对应模块

组合逻辑

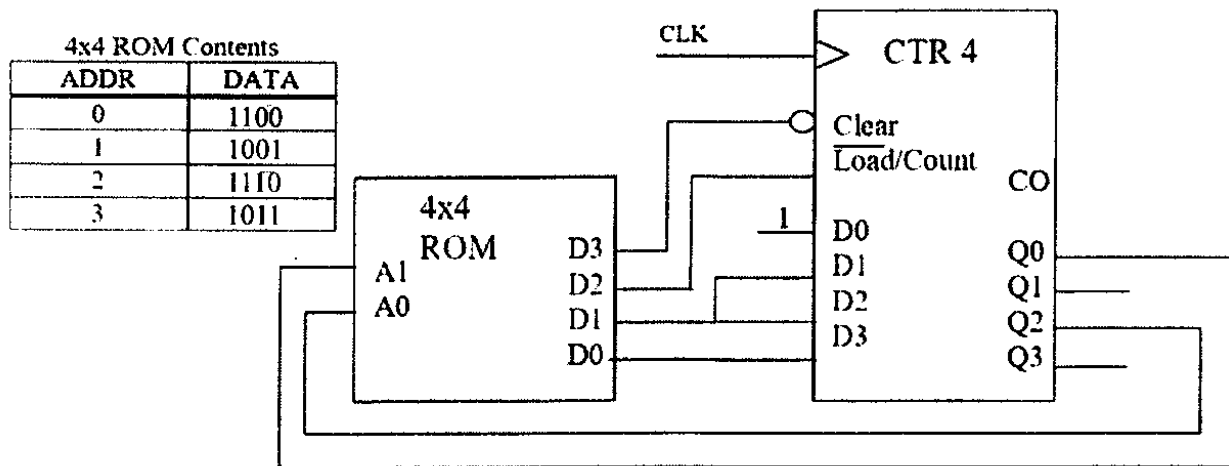
用两个8选1数据选择器74LS151及适当门电路设计一个数值比较器，比较两个二进制数A(a₁a₀)和B(b₁b₀)，能分别给出 $A-B \geq 2$ ， $B-A \geq 2$ 和 $|A-B| < 2$ 的输出信号。

要求：1)写出真值表；2)给出函数表达式；3)并画出电路图



时序逻辑

有4*4ROM和计数器构成的逻辑电路图如下图，其功能为序列发生器，请写出其Q[3:0]端循环序列。图中数据DATA为2进制数，假定初始状态为X0=0000。



习题讲解

Hw4 – Hw6、Quiz 2

王彤
wangt_@zju.edu.cn