



数字系统设计总复习

徐新民

xuxm@zju.edu.cn

一、基本要点：

1. 三种基本逻辑、复合逻辑、逻辑函数表示方法及其相互转换、基本公式、常用公式、基本规则、逻辑化简、最小项、卡诺图及其化简、约束化简、降维卡诺图化简；
2. 加法器、选择器、比较器、编码器、译码器、多输出函数化简；函数实现；
3. 集成组合器件应用、组合电路中的竞争与冒险；
4. TTL 与非门、传输特性、输入噪声容限、输入负载特性及多余输入端处理、扇出系数、平均传输时间；

- 5 . OC 门线与及外接负载计算、三态门 ;
- 6 . MOS 场效应三极管、 CMOS 反相器、双向传输门 ;
- 7 . 同步 RS 触发器与空翻现象、主从 JK 触发器及其一次变化问题、边沿型 D 触发器、 T 触发器、各类触发器间的转换 ;
- 8 . 锁存器、移位寄存器、累加器、同步二进制加 / 减法计数器、异步二进制加法 / 减法计数器、同步异步计数器 ;
- 9 . 三位环形计数器分析及其自启动设计、三位扭环形计数器分析及其自启动设计 ;

- 10 . 同步时序电路分析设计、异步时序电路分析设计；
- 11 . 有输入变量的同步时序电路分析与设计、等价状态合并、状态编码原则；
- 12 . 用集成计数器构成任意进制计数器（复位法、置数法）；
- 13 . CMOS 施密特触发器、CMOS 微分型单稳态触发器、CMOS 积分型单稳态触发器；用 555 时基电路构成施密特触发器、单稳态触发器、多谐振荡器；
- 14 . PLA、组合 PLA、时序 PLA、EPROM、地址扩展、位扩展、SRAM、DRAM、存储器地址分配方法；
- 15 . Verilog HDL 硬件描述语言；各种组合时序电路的描述、FSM 的设计

17. **控制器设计**：ASM 图表示、状态机设计（激励函数卡诺图）、控制器设计（包括数据通路、ALU）——计数器型控制器设计 / 选择器型控制器设计 / 定序型控制器设计 / 微码控制器设计；算法与流水结构；

18. 数字系统验证与测试：验证与测试过程、可测试性设计（专门测试、扫描测试、边界扫描设计、内建自测试）、测试图形生成（故障模型、矢量顺序、路径敏化）；

19. 微处理器设计：数据通路设计、控制器设计、简单指令设计与运行（ALU 用 74HC181）；微处理器的整体结构、微处理器主要执行的三个步骤、微处理器设计与验证（定义指令集、设计数据通路、设计控制单元、使用硬件描述语言实现设计、编写汇编程序进行验证）；讲义仔细看一看；

二、基本要求：

1. 掌握二进制、十进制及其相互转换方法；掌握 8421 BCD 码、2421 BCD 码、余 3 码和余 3 循环码的编码方法；掌握格雷码的编码规律、格雷码与二进制相互转换方法。
2. 掌握逻辑代数的基本运算、基本定律和基本规则；掌握逻辑函数的标准形式；掌握逻辑函数的公式法化简方法和卡诺图化简方法；掌握逻辑函数的各种表示方法及其相互之间的转换。
3. 熟悉 TTL 集成门电路和 CMOS 集成门电路的电路组成和原理；掌握 TTL 电路和 CMOS 电路的主要参数的物理意义、输入输出特性和输入输出等效电路；掌握集成电路使用的注意事项。
4. 掌握组合逻辑电路的分析和设计；熟悉组合逻辑的竞争和冒险。
5. 掌握组合逻辑模电路（优先编码器、译码器、数据选择器、加法器和比较器）的电路功能、逻辑关系、扩展和应用。

6. 掌握各种触发器（基本 RS、时钟 RS、主从 JK、边沿 JK、边沿 D 和边沿 T）的状态转换真值表、状态转换方程、激励方程、状态转换图和各种触发器的电路符号；掌握触发器的动态特性。

7. 掌握同步时序电路的分析过程；掌握同步时序电路的设计步骤；掌握寄存器、二进制计数器、十进制同步计数器、可逆计数器和移位寄存器电路功能，掌握这些器件的应用；了解常用异步计数器的功能和应用。

8. 掌握用计数器实现控制器的，序列信号发生器的等常用时序电路的方法。

9. 能简单设计与应用微处理器。

10. 熟悉半导体存储器组成原理和应用。

11. 熟悉可编程逻辑器件组成和原理；掌握 Verilog HDL 硬件描述语言。

12. 掌握脉冲波形变换电路和脉冲波产生电路。

三、复习建议

- ❖ 作业做好看一遍
- ❖ 往年试卷做做看看
- ❖ 回忆一下课件讲述的内容

四、有关试题

- ❖ 1、Verilog 10%,
- ❖ 2、脉冲 10 - 15 %
- ❖ 3、门电路, 组合电路、时序电路、控制器、验证, 微处理器等为 75 - 80 %
- ❖ 4、题型
- ❖ 课程总评成绩组成:
 - ❧ 平时 40 % (包括作业 (大作业)、期中考试、小测验、出勤等)
 - ❧ 期末考试 60 %。