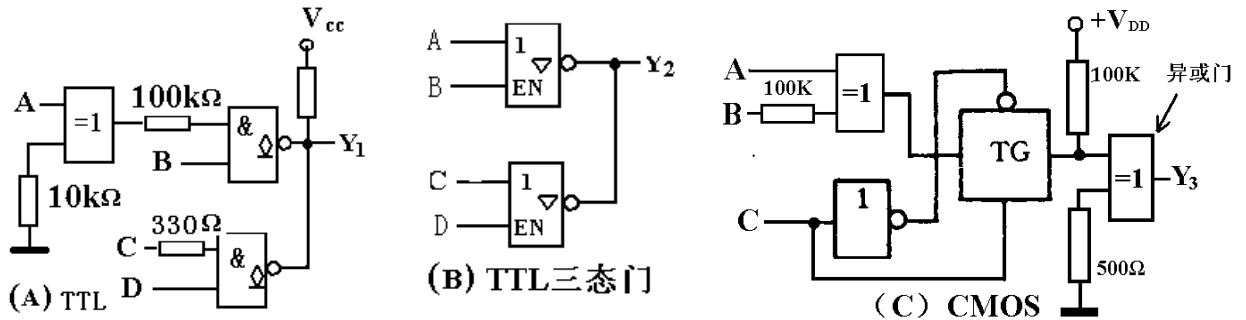


2019 级《数字系统设计》测验 (2021 年 6 月 1 日)

专业_____ 学号_____ 姓名_____ 得分_____

一、(30 分) 分析下图所示的电路，说明哪些能正常工作，能工作的写出输出信号的表达式或值；不能工作的说明为什么。其中 (A)、(B) 为 TTL 逻辑门，(C) 为 CMOS 逻辑门。



解：(A) 能正常工作。对TTL门电路，输入端接大电阻相当输入为高电平，所以不管输入信号A为0还是1，其异或门的输出对后级的门电路输入没有影响，故上方的OC门的输出为 $\overline{B \cdot 1} = \overline{B}$ ，下方的OC门输出为 \overline{CD} 。OC门有线与功能，则输出 $Y_1 = \overline{B \cdot CD}$ 。

(B) 当B和D不同时为高电平时电路可以正常工作，此时的电路输出 $Y_2 = \overline{AB} + \overline{CD} + Z$ 。

(C) 能正常工作。对CMOS门电路来说，不管输入端接多大多小的电阻，其输入电压都取决于电阻另一端所接电压。当C为低电平时TG门截止，电路输出 $Y_3 = V_{DD} \oplus 0 = 1$ ；当C为高电平时TG门导通， $Y_3 = A \oplus B \oplus 0 = A \oplus B$ 。整个电路的输出 $Y_3 = \overline{C} + A \oplus B$ 。

二、(30 分) 用两个 8 选 1 数据选择器 74LS151 及适当组合电路设计一个数值比较器，比较两个二进制数 $A(a_1a_0)$ 和 $B(b_1b_0)$ ，能分别给出 $A-B \geq 2$ ， $B-A \geq 2$ 和 $|A-B| < 2$ 的输出信号，要求写出真值表和输出函数表达式。并画出逻辑图。

解：1. 设 $Y_1 = (A-B \geq 2)$, $Y_2 = (B-A \geq 2)$, $Y_3 = (|A-B| < 2)$ 。

2. 输出函数

3. 逻辑图

真值表：

B	A	Y ₁	Y ₂	Y ₃
00	00	0	0	1
00	01	0	0	1
00	10	0	0	1
00	11	0	0	1
01	00	0	1	0
01	01	0	1	0
01	10	0	1	0
01	11	0	1	0
10	00	1	0	0
10	01	1	0	0
10	10	1	0	0
10	11	1	0	0
11	00	1	1	0
11	01	1	1	0
11	10	1	1	0
11	11	1	1	0

输出函数表达式：

$$Y_1 = \overline{b_1} \overline{a_1} a_0 + \overline{b_1} a_1 \overline{a_0} + b_1 \overline{b_0} \overline{a_1} + b_1 a_1 \overline{a_0}$$

$$Y_2 = \overline{b_1} \overline{a_1} \overline{a_0} + \overline{b_1} \overline{a_1} a_0 + \overline{b_1} a_1 \overline{a_0} + \overline{b_1} a_1 a_0$$

$$Y_3 = \overline{b_1} \overline{a_1} a_0 + \overline{b_1} \overline{a_1} \overline{a_0} + \overline{b_1} a_1 \overline{a_0} + \overline{b_1} a_1 a_0$$

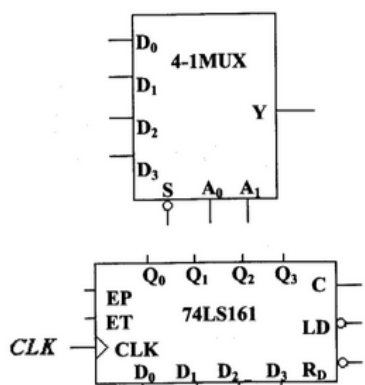
故有 $Y_3 = \overline{Y_1} + \overline{Y_2}$

逻辑图：使用两个 74LS151 数据选择器。第一个选择器的输入 A₀, A₁, A₂ 分别接 a₀, a₁, a₁。第二个选择器的输入 A₀, A₁, A₂ 分别接 b₀, b₁, b₁。两个选择器的使能端 E₀, E₁, E₂ 均接高电平。两个选择器的输出 Y₁ 和 Y₂ 通过一个 OR 门得到 Y₃。

三、(40分) 试用题图提供的逻辑器件 1 个 16 进制同步计数器 74LS161 和 1 或 2 个 4-1MUX, 设计一个具有控制端 M 的序列信号发生器, 当 M 分别为 0 和 1 时, 在时钟脉冲 CLK 的作用下, 电路的输出 Y 能分别周期性地输出 01111101 和 10010101 的脉冲序列 (序列信号左边先行)。允许使用适当的门电路。1) 写出设计过程; 2) 画出电路图。

题表 74LS161 功能表

CLK	R'_D	LD'	EP	ET	工作状态
X	0	X	X	X	置 0 (异步)
	1	0	X	X	预置数 (同步)
X	1	1	0	1	保持 (包括 C)
X	1	1	X	0	保持 (C=0)
	1	1	1	1	计数



题图

解: 1) 题 4 图

脉冲序列均是 8 个周期, 所以 74LS161 取 3 位 = 进计数;

2 个 4-1 MUX 组成 8-1 MUX, 由 8 个状态控制,

MUX 的输入与 M 有关;

2) 因为 74LS161 是 TTL 电路, 输入高电平是 "1".

计数时, $R'_D=1$
 $LD'=1$
 $EP=1$
 $ET=1$

状态	输出 Y	D
$Q_2 Q_1 Q_0$	M=0	M=1
0 0 0	0	1
0 0 1	1	0
0 1 0	1	0
0 1 1	1	1
1 0 0	1	0
1 0 1	1	1
1 1 0	0	0
1 1 1	1	1