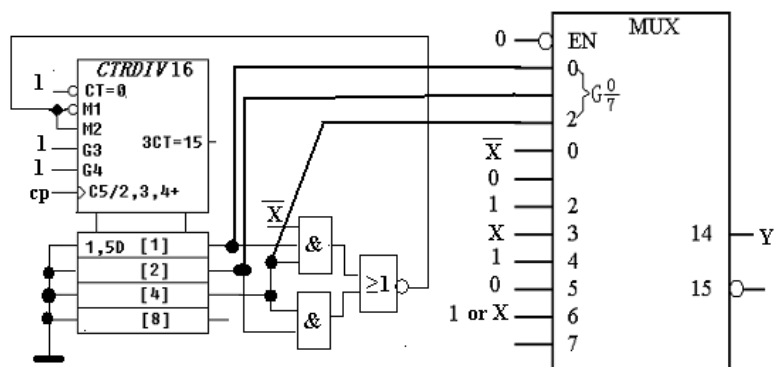


1. 用一个计数器 74161 和一个 8 选 1 数据选择器 74151 及必要的门电路设计一个脉冲序列发生器:当 $X=0$ 时产生序列信号 101010; 当 $X=1$ 时产生序列信号 0011101。

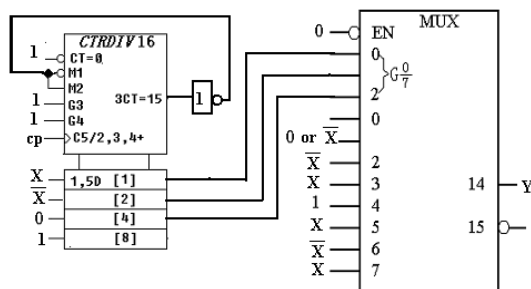
方法 1: $X=0$, 利用 S_0 至 S_5 ; $X=1$, 利用 S_0 至 S_6 ; $LD = \bar{X}S_5 + (X)S_6$

x	D0	D1	D2	D3	D4	D5	D6	D7
0	1	0	1	0	1	0		
1	0	0	1	1	1	0	1	
	\bar{X}	0	1	x	1	0	1 OR x	



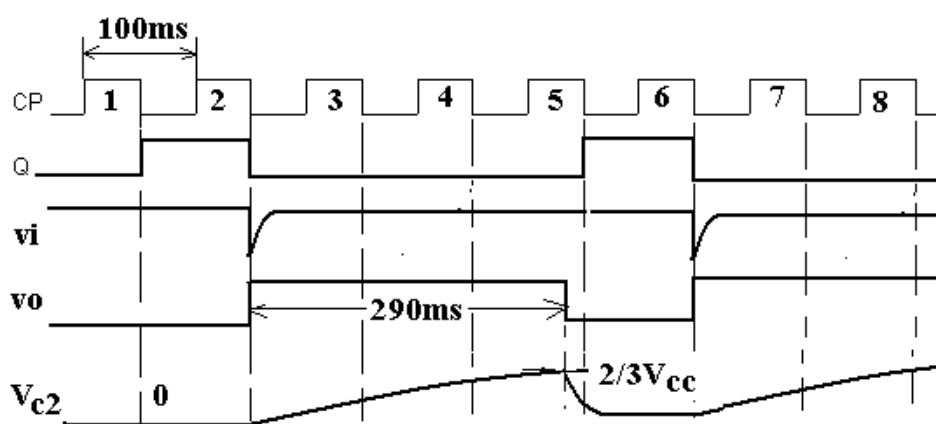
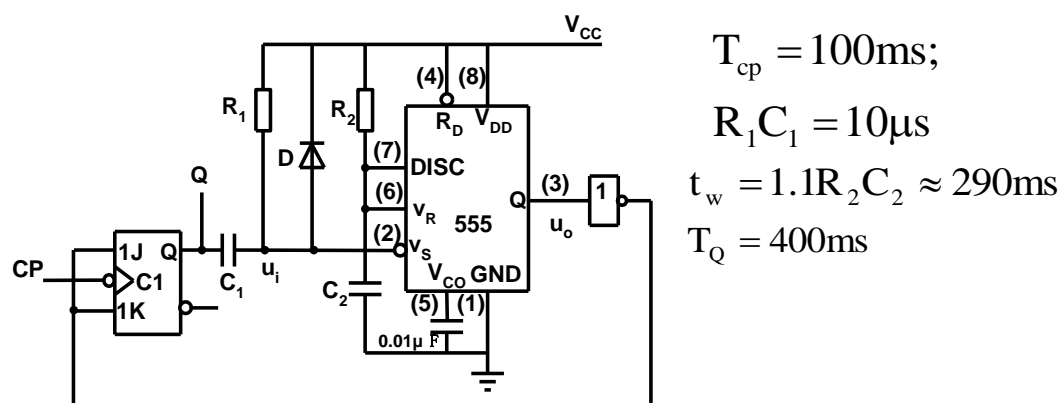
方法 1: $X=0$, 利用 S_{10} 至 S_{15} ; $X=1$, 利用 S_9 至 S_{15} ; $LD = \bar{X}S_5 + (X)S_6$

x	D0	D1	D2	D3	D4	D5	D6	D7
0			1	0	1	0	1	0
1		0	0	1	1	1	0	1
		0 OR \bar{X}	\bar{X}	x	1	x	\bar{X}	x



2. 由主从 JK 触发器和 555 定时器组成的电路如图(a)所示, 已知: CP 为 10Hz 的方波, $R_1=10k\Omega$, $R_2=56k\Omega$, $C_1=1000pF$, $C_2=4.7\mu F$ 。触发器 Q 及 555(图 b)输出端 (3 端) 初态为 0。

- 1) 试画出触发器 Q 端、 u_i 、 u_o 相对于 CP 的波形。
- 2) 试求触发器 Q 端输出波形的周期。



3, 描述设计一个模为 30 的可逆计数器。

- 有进位/借位输出端;
- 有计数/保持控制端、置数控制端、加减控制端、预置数输入端;
- 进位/借位信号只在计数状态下才会输出。

```
module c30(d,clk,co_bo,load,up_down,qd,en);
input[5:1]  d;
input      clk,en,load,up_down ;
output[5:1] qd;
output     co_bo;
reg[5:1]   cnt;
assign     qd=cnt;
assign     co_bo=  en &&(up_down && cnt==29 || !up_down &&
cnt==00);
always @(posedge clk)
begin
    if(load)      cnt=d;    //高电平、同步置数
    else if(up_down) //加法计数
        if(cnt==29) cnt=en?0:cnt;    //计数或保持
        else      cnt = cnt + en; //计数或保持
    else //减法计数
        if(cnt==00) cnt=en?29:cnt;    //计数或保持
        else      cnt = cnt - en;    //计数或保持
end
endmodule
```

测试题

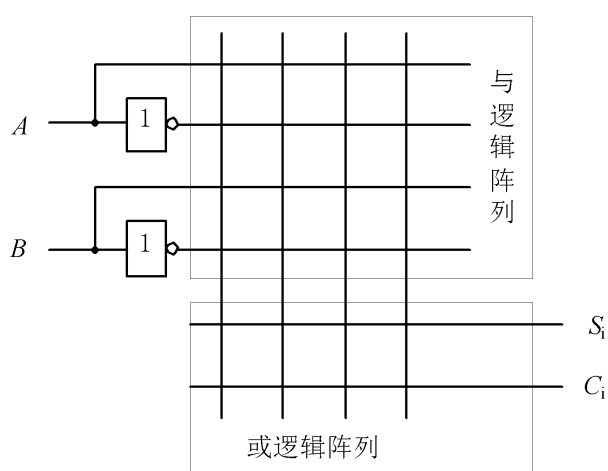
1. 组合逻辑

设计一多数表决电路，要求 A、B、C、D 四人中只要多数同意，则决议就通过；如果只有二人同意二人反对时，则 A 有决定权。假设同意用高电平“1”表示，不同意用低电平“0”表示；通过用高电平“1”表示，不通过用低电平“0”表示，输出结果用变量 F 表示。试求：

- (1) 列出真值表并写出输出的逻辑函数表达式；
- (2) 化简输出逻辑函数，用与非门实现设计并画出电路图。

2. 逻辑设计

试用 4×2 字位容量的 ROM 实现半加器的逻辑功能。列出真值表，写出半加器的表达式，并直接在图中画出用 ROM 点阵图实现的半加法器电路。



3. 计数器电路

只用 2 个十六进制 74161 计数器设计一个完整的 17 进制计数器。

4. Verilog HDL 语言

写出带并行预置的 4 位 BCD 十进可逆计数器的行为级描述。

计数器有三个控制输入分别对应三种功能：加法计数、减法计数和预置。优先顺序是预置、加法计数和减法计数。