

# xx 大学 2005 - 2006 学年秋冬季学期

## 《数字系统设计基础》课程期末考试试卷

开课学院： 信息学院 ， 考试形式： 闭卷， 允许带 入场

考试时间： 2006 年 1 月 14 日，所需时间： 120 分钟

考生姓名： 学号： 专业：

题序	一	二	三	四	五	六	七	八	总 分
得分									
评卷人									

一、(10 分) 把下列逻辑表达式化简为最简形式（不考虑冒险）。

$$(1) \quad Y_1(A,B,C,D) = A B C \bar{D} + A(\bar{B} + \bar{C})(\bar{B} + \bar{D}) + \overline{A + C + D}$$

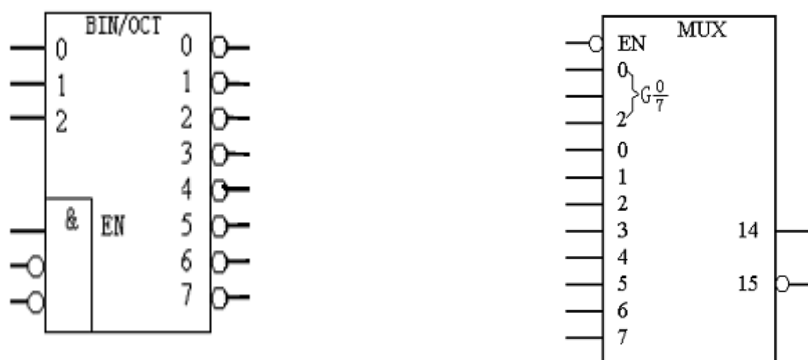
$$(2) \quad Y_2(A,B,C,D) = \prod M(2,3,5,7,12,13) \bullet \prod d(0,4,8,10) \quad \text{其中 } d \text{ 表示任意项。}$$

二、(本题共 15 分，其中第 1、2 小题 6 分，其中第 3 小题 3 分)

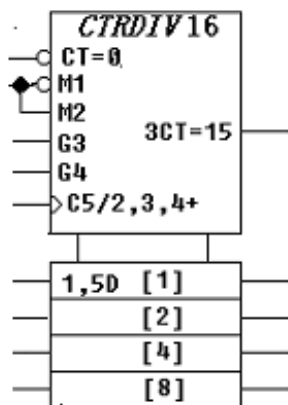
设计一个一位 8421BCD 码乘以 5 的电路，要求输出也为 8421BCD 码，写出设计过程，画出电路。

1. 用 4 线-16 线译码器及门电路实现此电路 (只画出十位的 BCD 码电路即可);
2. 只用四位全加器实现此电路;
3. 不用任何器件设计此电路，请写出设计过程，画出电路。

三、(7 分)  $P(P_2P_1P_0)$ 、 $Q(Q_2Q_1Q_0)$  为二个三位无符号二进制数，试用一个 3 线-8 线译码器 74138 和一个 8 选 1 数据选择器 74151 和尽可能少的门电路设计如下组合电路：当  $P=Q$  时，电路输出  $Y=1$ ；否则， $Y=0$ 。



四、(12 分) 以一个计数器 74161 为核心器件和少量门电路，设计一个带同步清 0 功能的 5421BCD 码计数器：电路有清 0 输入控制端  $R$ ，当  $R=0$  时，同步清 0；当  $R=1$  时，按 5421BCD 码规则同步计数，注意不能有过渡态。5421BCD 码编码规则：0~9 分别为：0000、0001、0010、0011、0100、1000、1001、1010、1011、1100。请写出设计过程。



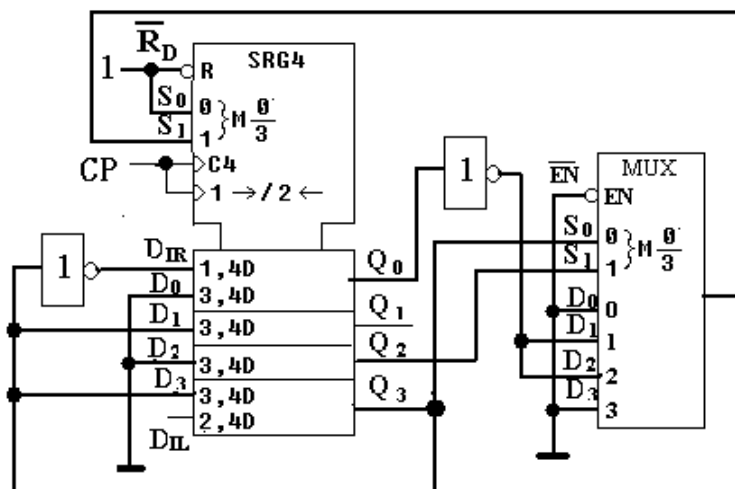
五、(15 分) 试用 JK 触发器及与非门设计一个具有异步清零功能的 2421BCD 码十进制同步计数器，不要求自启动分析。2421BCD 码如下表所示：

2421BCD 码

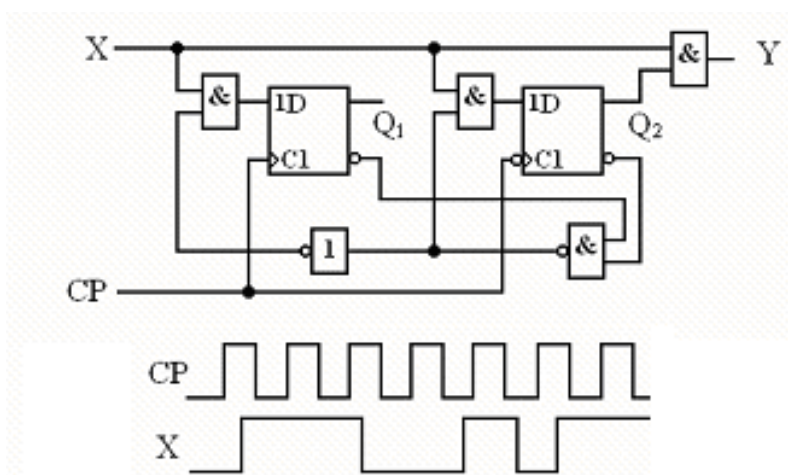
十进数	$Q_3$	$Q_2$	$Q_1$	$Q_0$
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	1	0	1	1
6	1	1	0	0
7	1	1	0	1
8	1	1	1	0
9	1	1	1	1

六、分析题（本题共 16 分，每小题 8 分）

- 1、分析由移位计数器 74194 组成的时序，画出电路状态图？（排列次序： $Q_0 Q_1 Q_2 Q_3$  功另外  $S_1 S_0=00$ ，保持； $S_1 S_0=01$ ，右移； $S_1 S_0=10$ ，左移； $S_1 S_0=11$ ，置数。）



- 2、分析下列时序电路画出  $Q_1$ 、 $Q_2$  及  $Y$  的输出波形。设各触发器的初态为 0。

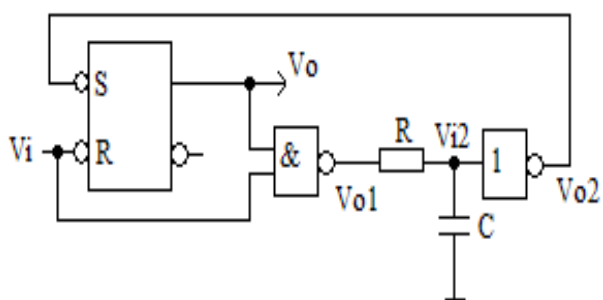


七、脉冲题（本题共 15 分，其中第 1 小题 7 分，第 2 小题 8 分）

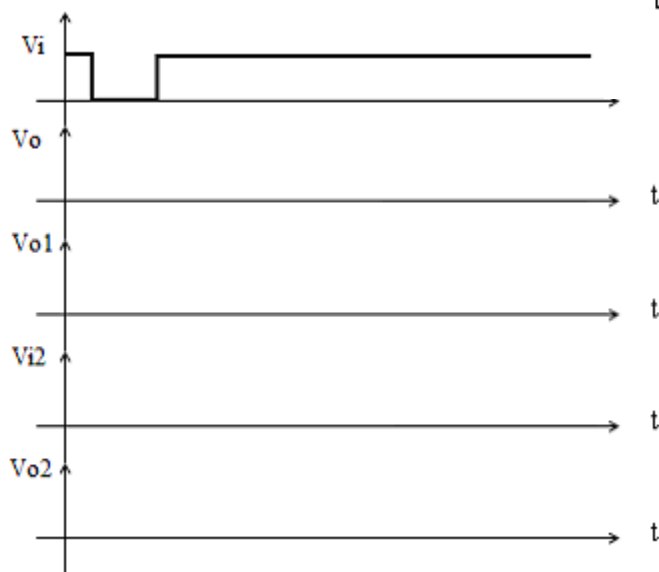
1、有 CMOS 基本 RS 触发器构成的单稳图所示。已知电源工作电压为  $V_{DD}$ 。

要求：

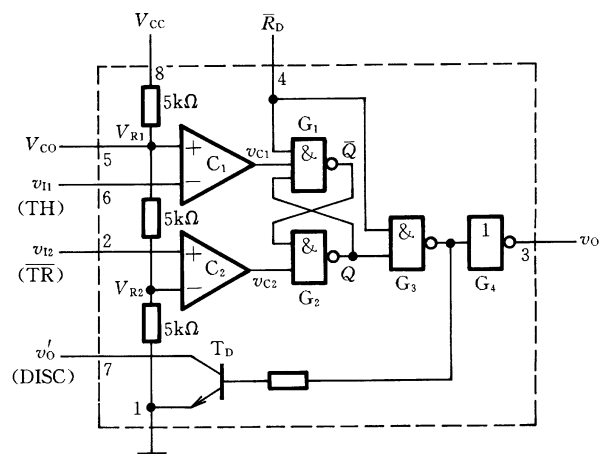
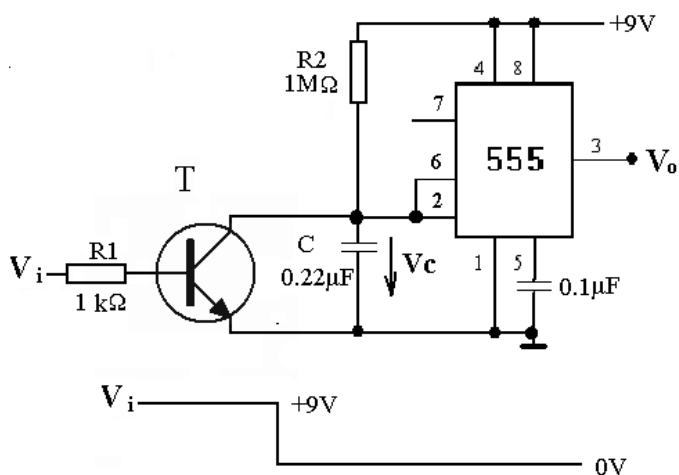
- (1) 画出  $V_O$ 、 $V_{O1}$ 、 $V_{i2}$ 、 $V_{O2}$  波形。
- (2) 求  $t_w$



电路如



2、下图为 555 定时器组成的电路，在  $V_i$  的作用下，计算并画出输出电压  $V_O$  和电容电压  $V_C$  的波形，当  $V_i$  为高电平时，三极管处于饱和状态。



#### 八、(10 分) Verilog HDL 语言

写出带并行预置的 4 位可逆计数器的行为级描述。计数器有三个控制输入 LD、UP、DN 分别对应三种功能：预置、加法计数和减法计数。输入高电平有效。输入高电平有效，优先顺序是预置、加法预置计数和减法计数。