

浙江大学 2010 - 2011 学年 春夏 学期

《数字系统设计 I》课程期末考试试卷

课程号： 111C0120 ， 开课学院： 信息与电子工程学系

考试试卷： √ A 卷、B 卷（请在选定项上打√）

考试形式： √ 闭、开卷（请在选定项上打√），允许带直尺、计算器入场

考试日期： 2011 年 06 月 23 日，考试时间： 120 分钟

诚信考试，沉着应考，杜绝违纪。

考生姓名： 学号： 所属院系：

题序	一	二	三	四	五	六	七	八	九	总分
得分										
评卷人										

一、判断题（正确打√，错误的打×，每题1分，共8分）。

- 1、正“与非”门也就是负“或非”门。 ()
- 2、已知 $X+Y=X+Z$ 成立，那么 $Y=Z$ 。 ()
- 3、ROM 可作为数据存储器也可作为函数发生器。 ()
- 4、逻辑门电路输出只有 0、1 二种可能值。 ()
- 5、对组合逻辑电路的竞争冒险可以通过电路重新进行逻辑设计来消除。 ()
- 6、连续“同或”2011 个“1”的结果是“1”。 ()
- 7、可测试性设计是指设计用于测试的电路。 ()
- 8、边界扫描测试设计是指为测试边界电路的设计。 ()

二、用卡诺图法化简下列逻辑函数，要求都写出最简“与-或”式。（每题5分，共10分）

1、 $F(A,B,C,D) = \sum m(0, 1, 4, 7, 9, 10, 13) + \sum d(2, 5, 8, 12, 15)$ 其中 d 为任意项。

2、 $F(A,B,C,D) = \prod M(1,2,3,5,7,11,12) \bullet \prod d(0,4,6,10)$ ， 其中 d 表示任意项。

三、设计一个一位余 3 码数 $A_3A_2A_1A_0$ 乘以 5 的电路, 要求写出设计过程, 画出电路, 在电路中表明输入、输出。(本题共 12 分, 每小题 4 分)

1. 只用门电路设计此电路, 要求电路尽量简单, 输出也为余 3 码 (二位余 3 码 $Y_{13}Y_{12}Y_{11}Y_{10} \ Y_{03}Y_{02}Y_{01}Y_{00}$)。
2. 用 4 线-16 线译码器及尽量少的门电路实现此电路, 要求输出也为余 3 码 (二位余 3 码 $Y_{13}Y_{12}Y_{11}Y_{10} \ Y_{03}Y_{02}Y_{01}Y_{00}$)
3. 只用四位全加器实现此电路, 结果用自然二进制表示, 如余 3 码的 4 乘以 5 后为 20, 结果用自然二进制码表示 20。

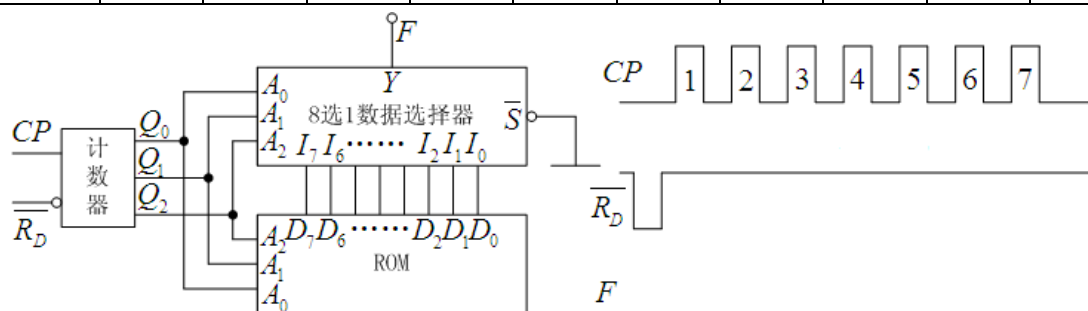
四、（12 分）试用 T 触发器及少量与非门设计一个具有异步清零功能的采用自然二进制码的十三进制同步计数器，要求：

- （1）写出次态卡诺图、求出驱动方程；
- （2）画出逻辑电路图；
- （3）画出完整的状态图，检查电路能否自启动。

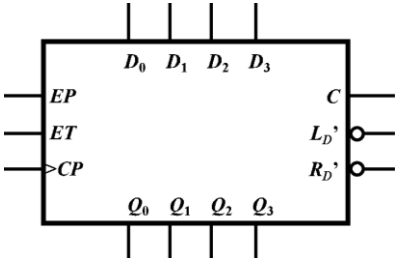
五、序列信号产生电路由三位二进制加法计数器、ROM 和 8 选 1 数据选择器组成，如下图所示。已知 ROM 的内容如下表所示，在计数器异步清 0 信号 $\overline{R_D}$ 和 CP 信号的作用下，画出对应的数据选择器输出端 F 的波形。（8 分）

题五表 ROM 的内容

地 址			内 容							
A_2	A_1	A_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
0	0	0	1	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	1
0	1	0	0	0	0	1	0	0	0	0
0	1	1	1	0	0	0	1	1	0	0
1	0	0	0	1	1	0	1	1	1	0
1	0	1	0	1	1	1	0	1	1	1
1	1	0	0	1	0	1	0	1	1	0
1	1	1	0	0	1	0	1	0	0	1



六、请用 2 片 16 进制同步加法计数器 74161 和一个上升沿 *D* 触发器组成的同步计数器，要求使用进位输出端实现对时钟信号的 48 分频功能，画出逻辑电路图。（10 分）



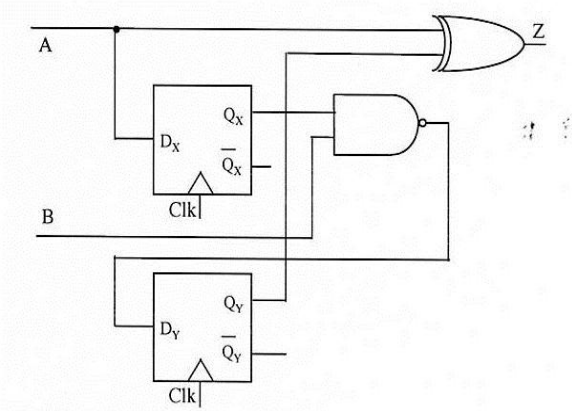
4 位同步二进制计数器 74161 的功能表

<i>CLK</i>	<i>R'_D</i>	<i>LD'</i>	<i>EP</i>	<i>ET</i>	工作状态
x	0	x	x	x	清零
↑	1	0	x	x	预置数
x	1	1	0	1	保持
x	1	1	x	0	保持（但 <i>C</i> =0）
↑	1	1	1	1	计数

七、根据下面时序电路图得到状态机图。（10 分）

题七表 状态转换表

<i>Q_x</i>	<i>Q_y</i>	<i>A</i>	<i>B</i>	<i>D_x</i>	<i>D_y</i>	<i>Z</i>
0	0	0	0			
0	0	0	1			
0	0	1	0			
0	0	1	1			
0	1	0	0			
0	1	0	1			
0	1	1	0			
0	1	1	1			
1	0	0	0			
1	0	0	1			
1	0	1	0			
1	0	1	1			
1	1	0	0			
1	1	0	1			
1	1	1	0			
1	1	1	1			



1) 这是 *Melay* 状态机还是 *Moore* 状态机？

2) 写出下面三个电路节点的布尔方程。

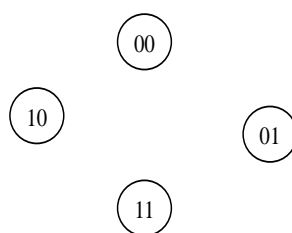
$$Z(A, B, Qx, Qy) =$$

$$Dx(A, B, Qx, Qy) =$$

$$Dy(A, B, Qx, Qy) =$$

3) 完成该电路的状态转换表（题七表）。

4) 根据状态转换表，只完成从状态 11 开始的状态图。



八、Verilog HDL 语言 (10 分)

分析下面 Verilog 模块描述的功能。

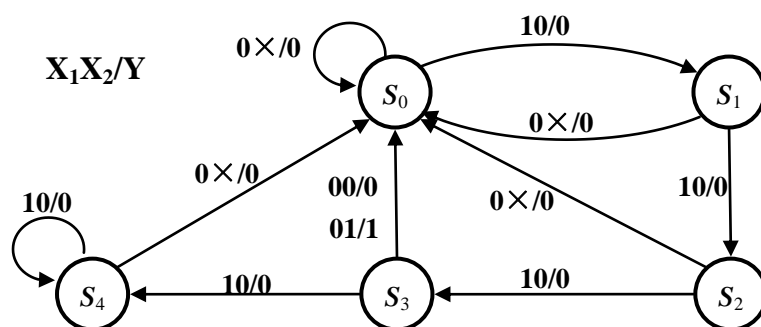
```
module X (EN, I, A, E0);
    input      EN;
    input  [3:0] I;
    output [1:0] A;
    output      E0;
    always @ (EN or I or A or E0)
    begin
        if (EN == 0) begin E0 = 0; A = 0; end
        else
        begin
            E0 = 1; A = 0;
            if (I[0] == 1) begin E0 = 0; A = 0; end
            if (I[1] == 1) begin E0 = 0; A = 1; end
            if (I[2] == 1) begin E0 = 0; A = 2; end
            if (I[3] == 1) begin E0 = 0; A = 3; end
        end
    end
endmodule
```

(1) 首先读懂上面的 Verilog 代码所描述的功能，然后完成下面的真值表。注意：此真值表不是完整的真值表。

I_3	I_2	I_1	I_0	EN	A_1	A_0	$E0$
0	0	0	0	0			
0	0	0	0	1			
0	0	0	1	0			
0	0	0	1	1			
0	0	1	0	0			
0	0	1	0	1			
1	0	0	0	0			
1	0	0	0	1			
1	0	0	1	0			
1	0	0	1	1			

(2) 指出上面代码所实现的功能。

九、有一控制器状态图如下。（本题共 20 分，其中第 1、2 小题各 6 分，第 3、4 小题各 4 分）



- 1、请画出此状态图的 ASM 图。
- 2、用 MUX 型控制器实现此系统。
- 3、用微控制器实现此系统，写出微指令格式，并加以说明。
- 4、写出微控制器控制存储器 E²PROM 中存放的微程序。