

浙江大学 2009 - 2010 学年 秋冬 学期

《数字电路》课程期末考试试卷

课程号：_____，开课学院：信电系

考试试卷：√A 卷、B 卷（请在选定项上打√）

考试形式：√闭、开卷（请在选定项上打√），允许带计算器入场

考试日期：2010 年 1 月 26 日，考试时间：120 分钟

诚信考试，沉着应考，杜绝违纪。

考生姓名：_____学号：_____所属院系：_____

题序	一	二	三	四	五	六	七	总分
得分								
评卷人								

一、判断下列说法是否正确，正确打√，错误打X。（共 10 分）

- 1、采用与非门可以实现任意逻辑函数。 ()
- 2、若两个函数具有不同的最简与或函数式，则两个逻辑函数必然不相等。 ()
- 3、多个 CMOS 传输门电路的输出端可以并接。 ()
- 4、对于 TTL OC 门而言，输出端并接可以实现逻辑与的功能。 ()
- 5、对于可编程阵列逻辑 PAL，其与逻辑阵列和或逻辑阵列均是可编程的。 ()
- 6、PROM 的每个与项（地址译码器的输出）都一定是最小项。 ()
- 7、三态门的三种状态分别为：高电平、低电平、不高不低的电压。 ()
- 8、单稳态触发器的暂稳态时间与输入触发脉冲宽度成正比。 ()
- 9、A/D 转换器的位数越多，量化级分得足够多，量化误差就可以减小到 0。 ()
- 10、D/A 转换器的位数越多，分辨率就越高。 ()

二、组合逻辑设计（第 1 题 18 分，第 2 题 13 分，共 31 分）

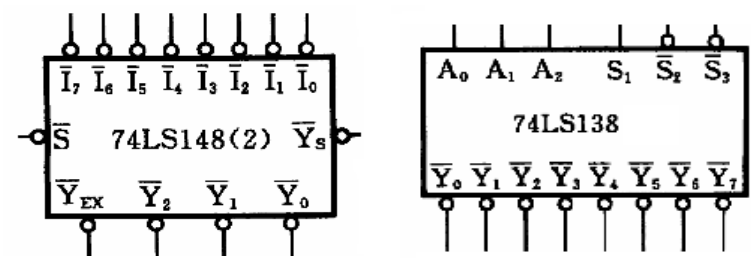
- 1、设计一多数表决电路，要求 A、B、C、D 四人中只要多数同意，则决议就通过；如果是二人同意二人反对时，则 A 有决定权。假设同意用“1”表示，不同意用“0”表示；通过用“1”表示，不通过用“0”表示，输出结果用变量 F 表示。试求：
 - (1) 列出真值表并写出输出的“最小项和”的标准逻辑函数表达式；
 - (2) 化简输出逻辑函数，用与非门实现设计并画出电路图。
 - (3) 以 A、B、C 为地址，用一个 8 选 1 数据选择器实现此电路，画出电路图。

2、试设计一个代码转换电路，输入为 3 位格雷码 $G(G_2G_1G_0)$ ，输出为 3 位自然二进制码 $Y(Y_2Y_1Y_0)$ 。画出电路图。格雷码编码表如表一所示。

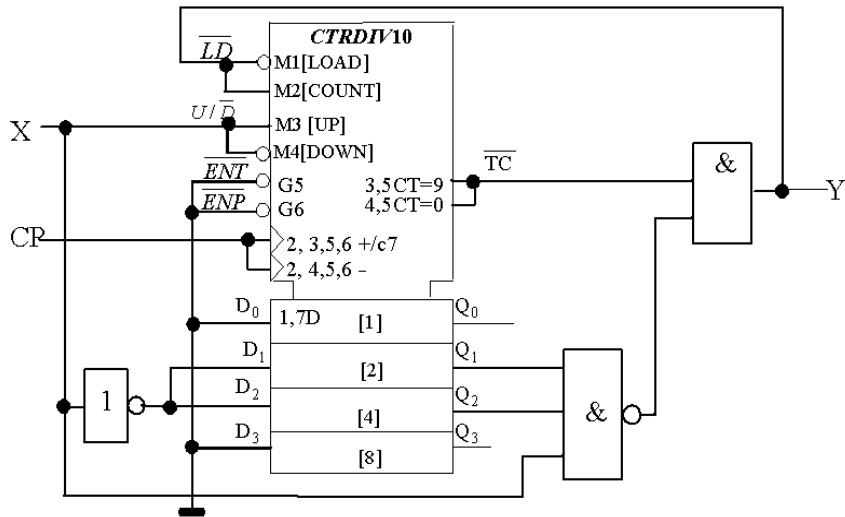
- (1) 用一个四位全加器及必要的门电路实现。写出设计过程，画出电路图。
- (2) 用一个下图所示 8 线/3 线优先编码器 74LS148(2) 和一个 3 线/8 线译码器 74LS138 实现，不能外加其他器件。画出电路图。

表一 格雷码编码表

十进制	格雷码
0	000
1	001
2	011
3	010
4	110
5	111
6	101
7	100



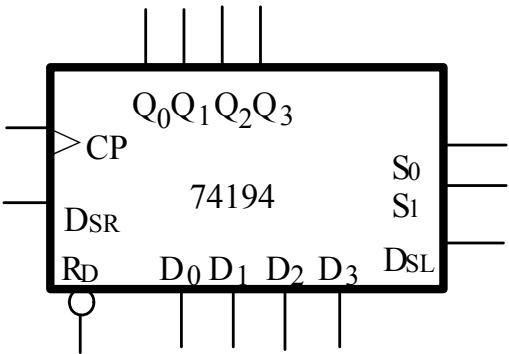
74168 功能表如表二所示，注意，74168 的功能表最后两行给出 $\overline{TC} = 0$ 的两种情况，其它情况下， $\overline{TC} = 1$ 。（10 分）



表二 74168 的功能表:

输入					输出		工作方式
\overline{LD}	U/\overline{D}	CP	\overline{ENP}	\overline{ENT}	$Q_3Q_2Q_1Q_0$	\overline{TC}	
1	1	↑	0	0			加法计数
1	0		0	0			减法计数
0	×		×	×	$D_3D_2D_1D_0$		同步置数
×	1	×	×	0	1001	0	进位输出
×	0	×	×	0	0000		借位输出

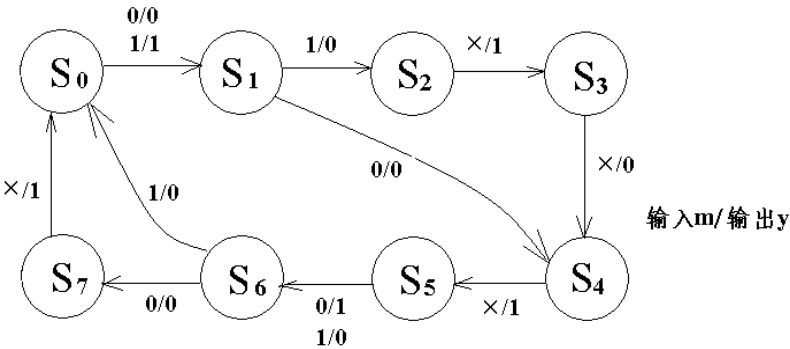
四、请用下图所示的双向移位寄存器 74194 和尽量少的门电路设计序列信号发生器，当 $A=0$ 时，产生序列信号 $Z1=10110111$ ；当 $A=1$ 时，产生序列信号 $Z2=1111000$ 。写出必要的设计步骤并画出电路图。74194 功能表如表三所示。（12 分）



表三 74194 的功能表

R_D	$S_1 S_0$	CLK	功能
1	00	↑	保持
1	01		右移
1	10		左移
1	11		同步置数
0	××	×	异步清 0

五、某时序电路的状态转换图如下图所示，其中 m 为输入信号， y 为输出信号。要求用一个 16 进制计数器 74LS161 和必要的器件设计该时序电路。写出必要的设计步骤，并画出电路图。（12 分）

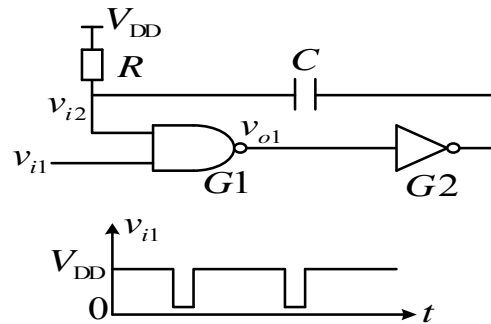


六、用 Verilog HDL 语言描述功能表如下表所示的 60 进制 BCD 码同步加法计数器，要求：
具有异步清零、同步置数、计数使能和进位输出功能。（10 分）

CLR	LD	EN	CLK	功能
0	×	×	×	异步清 0
1	0	×	↑	同步置数
1	1	1	↑	BCD 码同步加法计数
1	1	0	×	状态保持
注：↑表示上升沿。				

七、脉冲电路（第1题7分，第2题8分，共15分）

1、下图所示电路中 G1 和 G2 均为 CMOS 电路，电路阈值为 V_{TH} 。输入信号 v_{i1} 波形由下图给出(负脉冲为窄脉冲)，试绘出 v_{i2} 和 v_{o1} 的波形(不计输入端保护电路)。若 $V_{DD}=10V$ ， $V_{TH}=5V$ ， $R=51k\Omega$ ， $C=0.01\mu F$ ， $V_{OH}=V_{DD}$ ， $V_{OL}=0V$ ，请计算 v_{o1} 输出的高电平持续时间。



2、试用 555 芯片构成一个多谐振荡器，给你两个电阻，分别是 $1k\Omega$ 和 $10k\Omega$ ，和一个电容 $1\mu F$ ，要求算出这个振荡器的周期 T 和占空比，并画出电路。（不考虑电路滤波问题）

555 内部电路图

