

xx 大学 2005 学年秋冬季学期

《数字系统设计基础》课程

一、化简下列逻辑函数，要求表达式尽量简单。

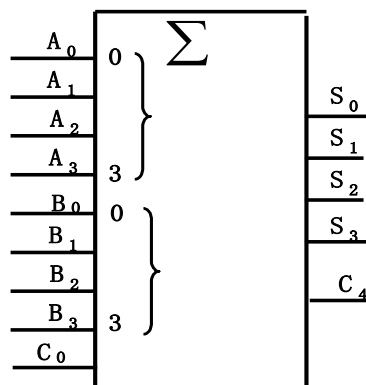
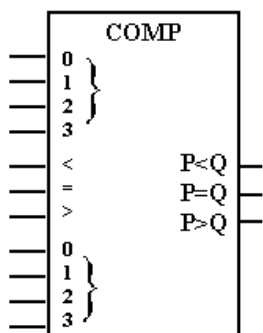
1、 $F(A,B,C,D)=\Sigma m(1,2,4,12,14) + \Sigma d(5,6,7,8,9,10)$ ，其中，d 为任意项

2、 $Y = \overline{A} \overline{B} D + \overline{A} \overline{B} \overline{C} + BCD + \overline{A} \overline{B} \overline{C} D + \overline{A} \overline{B} C \overline{D}$

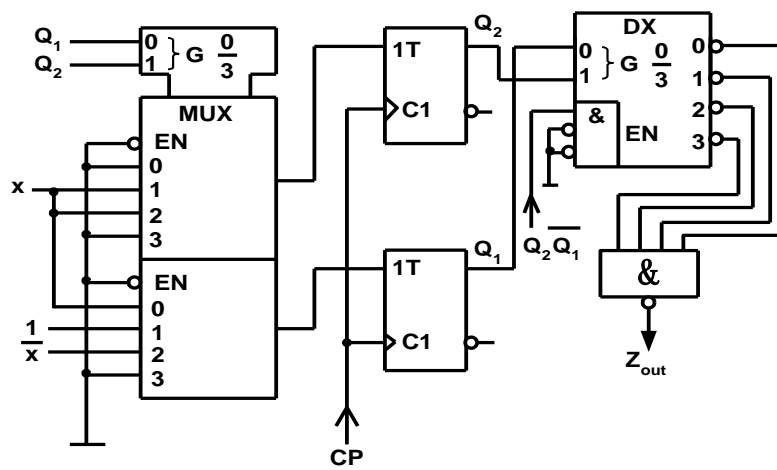
二、

1、用一个 4 位二进制比较器和门电路设计 5 位二进制比较器；即电路的输入为两个 5 位二进制无符号数 A ($A_4A_3A_2A_1A_0$)、B ($B_4B_3B_2B_1B_0$)，输出 L、E、S 分别表示 $A>B$ 、 $A=B$ 、 $A<B$ 。

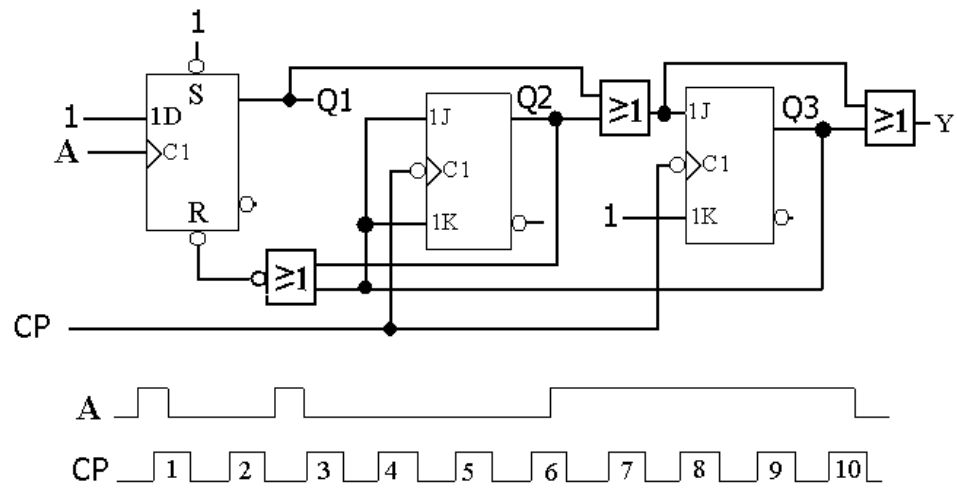
2、设 A、B 为四位二进制数，试用 1 片四位二进制加法器 74283 实现函数 $Y=4A+B$ 。



三、分析如图所示的电路功能，假设 Q_2Q_1 初态为 00。

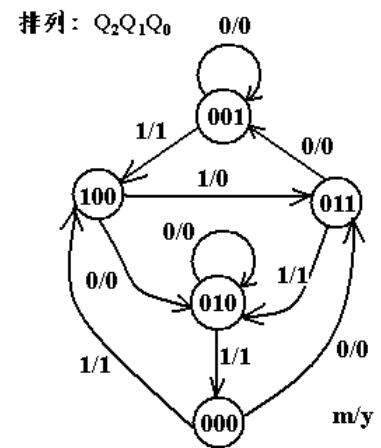


四、分析图中所示的时序电路，画出在图中所示的输入信号 A 和时钟 CP 作用下 Q3、Q2、Q1 和 Y 的波形。

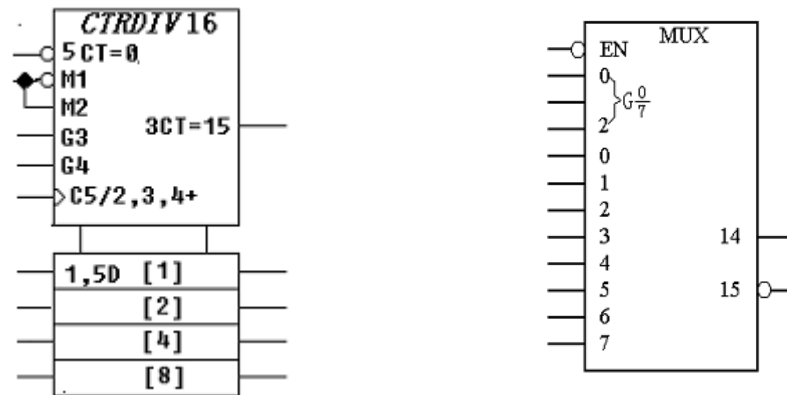


五、图中为某时序的状态转换图，其中 m 为 输入信号， y 为输出信号号，试用 JK 触发器设计此同步时序电路，要求：

- (1) 写出次态卡诺图、激励方程、输出方程；
- (2) 画出逻辑电路图。



六、用一个计数器 74161 和一个 8 选 1 数据选择器 74151 及必要的门电路设计一个脉冲序列发生器:当 X=0 时产生序列信号 101010;当 X=1 时产生序列信号 0011101



七、 用 Verilog HDL 语言设计一个模为 30 的可逆计数器，要求：

- 1、有进位/借位输出端，
- 2、有计数/保持控制端、置数控制端、加减控制端、预置数输入端，
- 3、进位/借位信号只在计数状态下才会输出。

八、由主从 JK 触发器和 555 定时器组成的电路如图(a)所示，已知：CP 为 10Hz 的方波， $R_1=10k\Omega$ ， $R_2=56k\Omega$ 。 $C_1=1000pF$ ， $C_2=4.7\mu F$ 。触发器 Q 及 555(图 b)输出端（3 端）初态为 0。

- 1、试画出触发器 Q 端、 u_i 、 u_o 相对于 CP 的波形。
- 2、试求触发器 Q 端输出波形的周期。

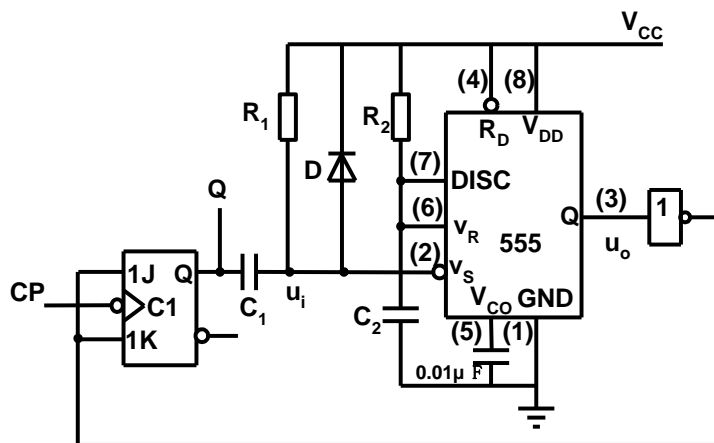


图 (a)

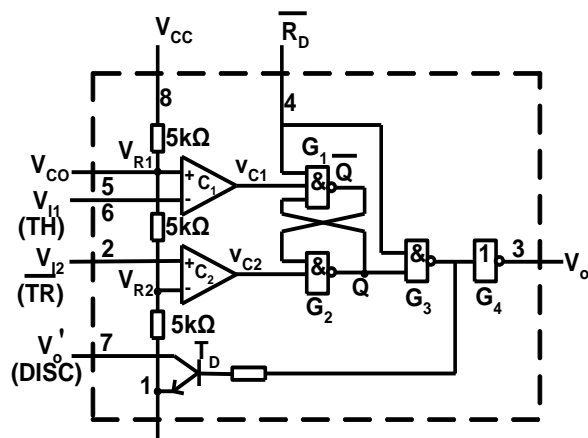
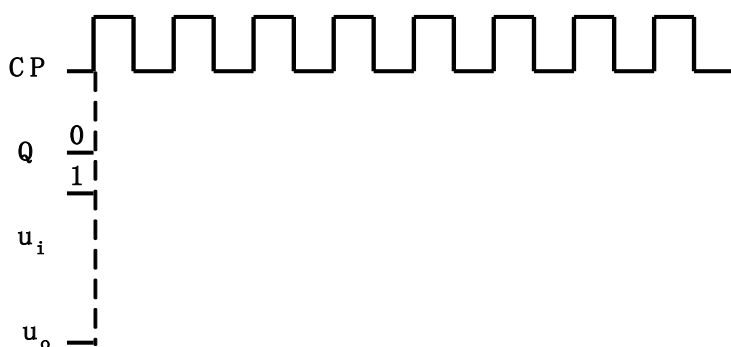


图 (b) 定时器 555 的电路结构图



九、有 CMOS D 触发器构成的单稳态电路如图所示。已知工作电平为 V_{dd} 。要求：

- 1、画出 Q 端、 V_o 波形。
- 2、求 t_w

