



UNIVERSITÉ
DE LORRAINE

Électronique en PEIP 2 à Polytech Nancy



Insertion de l'EC électronique dans le programme de S3

2^{ème} année cycle PeIP

Nature	Libellé	Resp. Nancy	Hrs Etu.	HCM	HTD	HTP	TA*	Coef.	ECTS
SEM	Semestre S3								
UE	Sciences fondamentales III	R. Marty						14	14
EC	Mathématiques III	R. Marty	76	34	42			5	
EC	Electromagnétisme	E. Faudot	28	14	14			2	
EC	Informatique - Programmation algorithmique I	S. Youcef	34	12	22			3	
EC	Thermodynamique	O. Lottin	46	26	20			3	
EC	Transport de l'énergie	S. Germain	12	6	4	2		1	
UE	Sciences appliquées III	O. Elmazria						11	11
EC	Génie électronique	O. Elmazria						6	
MATI	Electronique linéaire	O. Elmazria	48	16	12	20			
MATI	Electronique non linéaire	O. Elmazria	40	12	12	16			
EC	Mécanique du solide indéformable I	E. Jacquot	32	8	24			2	
EC	Conception Fabrication III	J. Landier	36	4	16	16		3	
UE	SHEJS - Langues III	A. Nivet						5	5
EC	Anglais	A. Nivet	32		32			3	
EC	Culture et Communication III	M. Epicoco						1	
MATI	Economie d'entreprise, Innovation et Communication	M. Epicoco	18	6	12			2	
MATI	Projet professionnel personnel	F. Thiebaud						20	1
EC	Soutenance de stage	A. Kheiri	12			12	20	1	
EC Optionnelle	Langue optionnelle			20		20			1*
	Total heures semestre 3			414	138	210	66	40	30

Objectifs de l'EC Génie électronique

Acquérir, dans le contexte international, des compétences permettant de :

- ✓ Maîtriser les méthodologies d'analyse et de synthèse des systèmes en électronique ;
- ✓ Acquérir une base scientifique solide dans le domaine des systèmes à comportement linéaire et non linéaire ;
- ✓ Avoir une bonne capacité d'adaptation aux évolutions technologiques et aux dimensions transversales et pluridisciplinaires de ce domaine.
- ✓ Connaître le vocabulaire, les conventions et les règles de base de l'électronique ;

Objectifs de l'EC Génie électronique

- ✓ Appréhender les différents aspects de l'analyse des composants de base en électronique (composants passifs, composants actifs, etc.) ;
- ✓ Appréhender l'utilisation du matériel de laboratoire et acquérir les techniques fondamentales de la métrologie ;
- ✓ Se familiariser avec les outils de simulation (CAO) et les mettre à profit pour l'analyse et la conception de circuits électroniques
- ✓ Mettre en équation des circuits linéaires à partir de modèles simples des composants de base de l'électronique et établir les liens entre l'étude théorique et le comportement du circuit ;
- ✓ Sensibiliser à l'influence des conditions réelles de fonctionnement (grandeurs d'influences, éléments parasites, etc.).

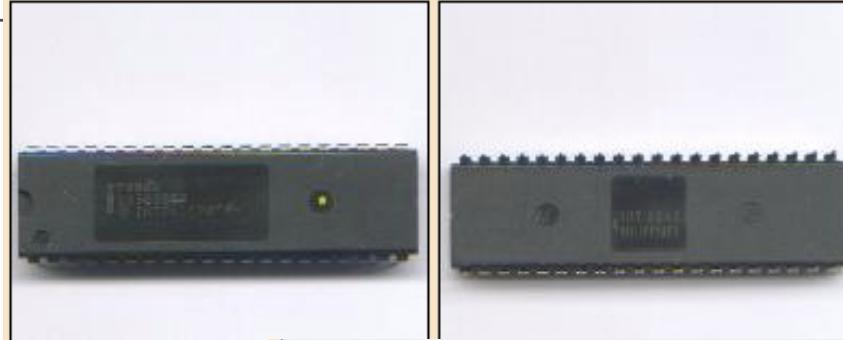
Électronique linéaire et non linéaire

Présentation du programme et de la méthode de fonctionnement

5

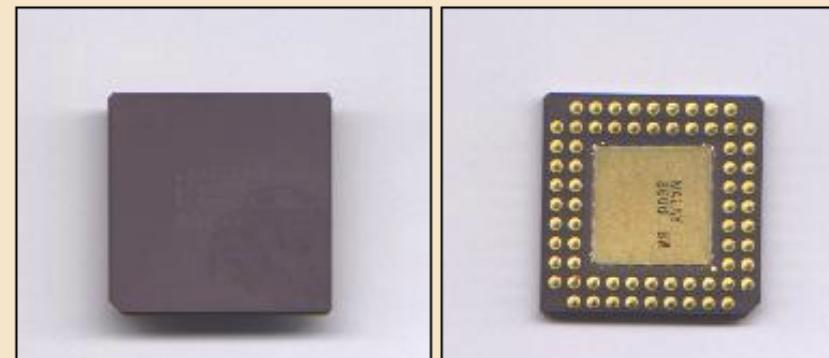
Exemple de systèmes électronique

Intel P8086



- Processor Speed: 5.00 MHz
- Bus Speed: 5.00 MHz
- FPU: no
- Mfg. date: week 50/1985

Intel A80286-8



- Processor Speed: 8.00 MHz
- Bus Speed: 8.00 MHz
- FPU: no
- Introduction: 2/1982
- Mfg. date: week 9/1986

Intel Pentium 60MHz CPGA /w FDIV-Bug



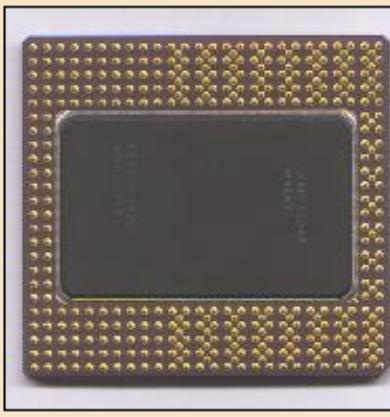
- Processor Speed: 60.00 MHz
- Bus Speed: 60.00 MHz
- L1 Cache: 16 kByte
- FPU: yes
- Introduction: 3/1993
- Mfg. date: week 36/1993

Électronique linéaire et non linéaire

Présentation du programme et de la méthode de fonctionnement

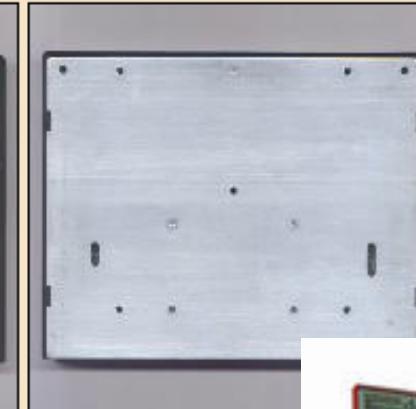
6

Intel Pentium Pro 200MHz 256k

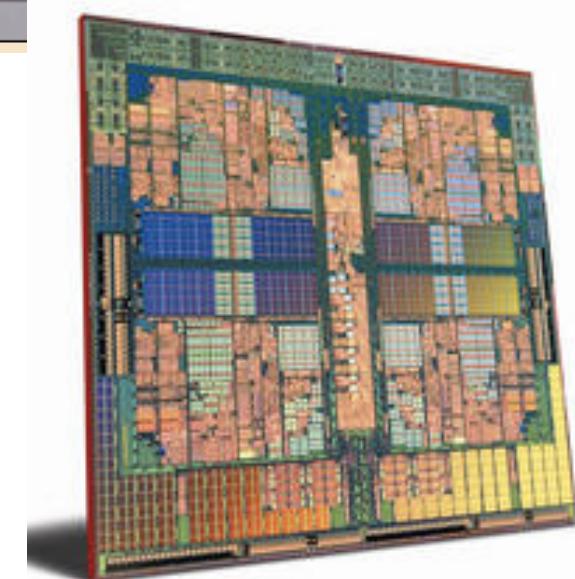
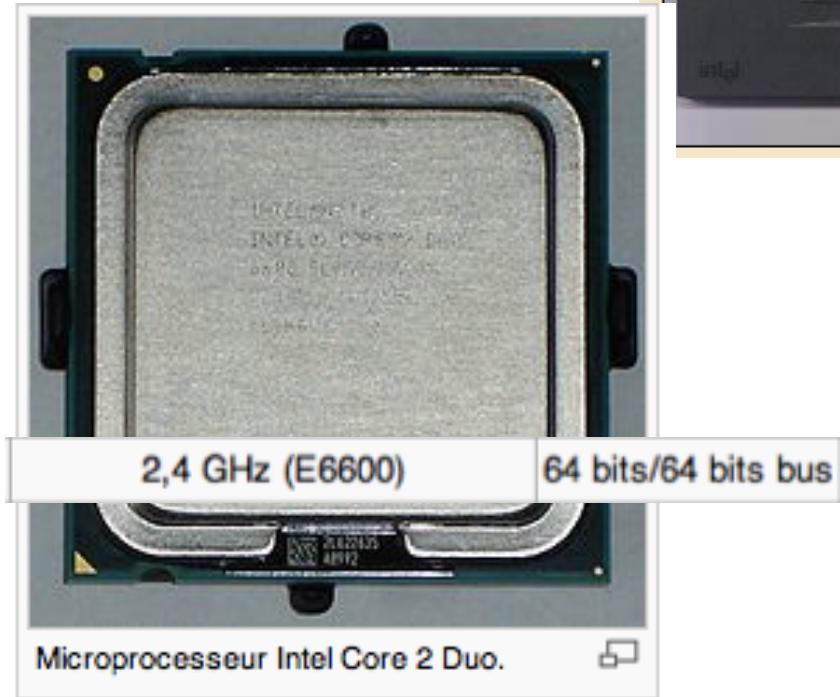


- Processor Speed: 200.00 MHz
- Bus Speed: 66.00 MHz
- L1 Cache: 16 kByte
- L2 Cache: 256 kByte
- FPU: yes
- Introduction: 11/1995
- Mfg. date: week 26/1997

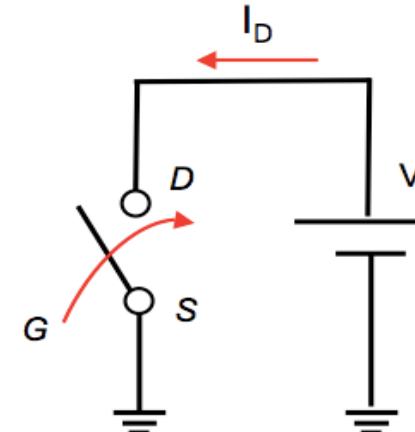
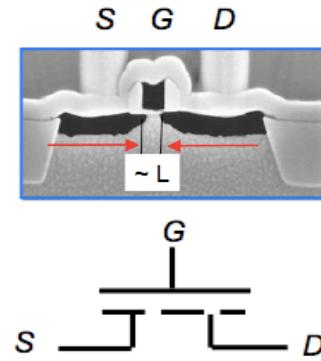
Intel Xeon 450/1M/100



- Processor Speed: 450.00 MHz
- Bus Speed: 100.00 MHz
- L1 Cache: 32 kByte
- L2 Cache: 1024 kByte
- FPU: yes
- Introduction: 1/1999
- Mfg. date: week 2/1999

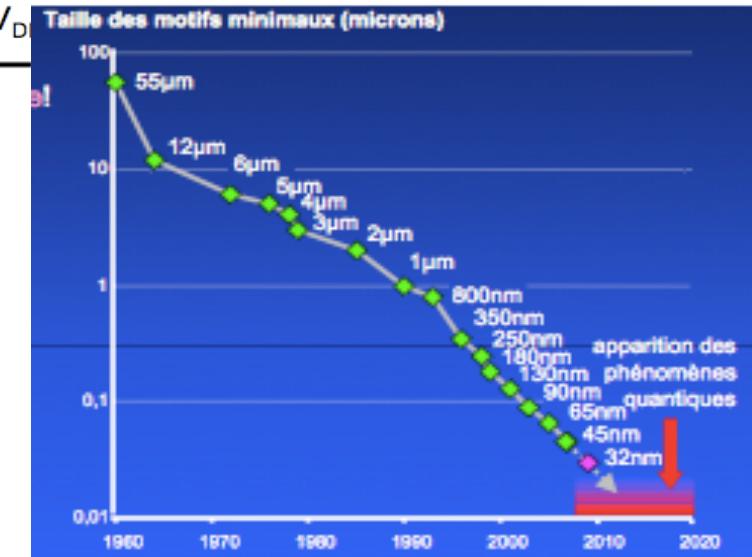
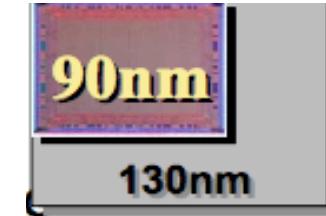


Miniaturisation



$V_G > V_T$: $I_D \rightarrow \infty$ "on-current"

$V_G < V_T$: $I_D = 0$ "off-current"



A chaque génération technologique: $L \Rightarrow L/\sqrt{2}$ donc $S \Rightarrow S/2$
 Nombre de transistor par puce double \Rightarrow Loi de Moore
 Processeur Intel 32nm (2009); 22 nm 2012; 16nm prévue en 2018 et 11nm en 2022 ??

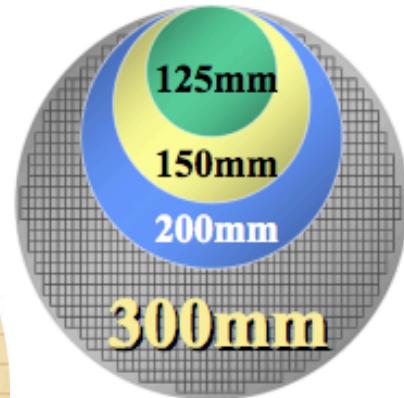
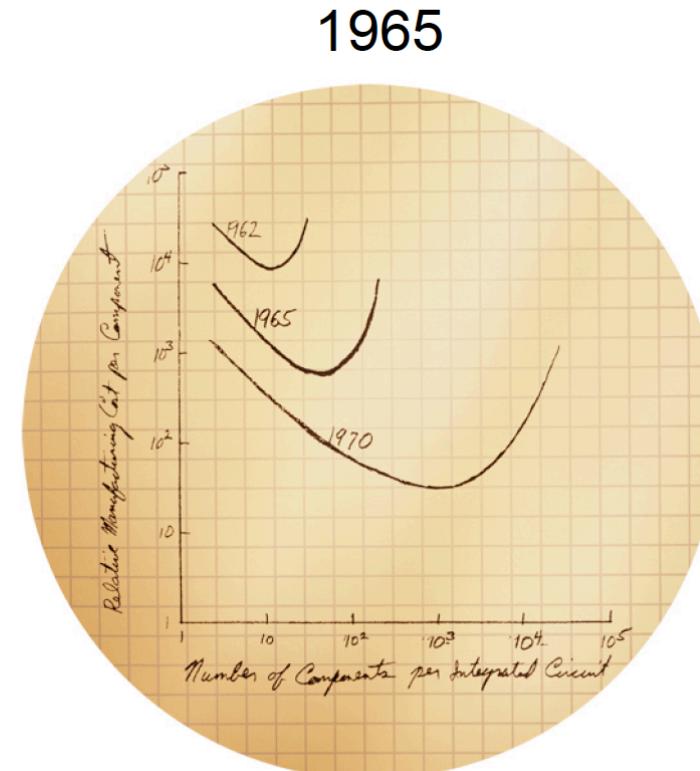
Itrs: International Technology Roadmap for semiconductors

1. Moore's Law

Gordon E. Moore
 Co-founder, Intel Corporation



Copyright © 2005 Intel Corporation.

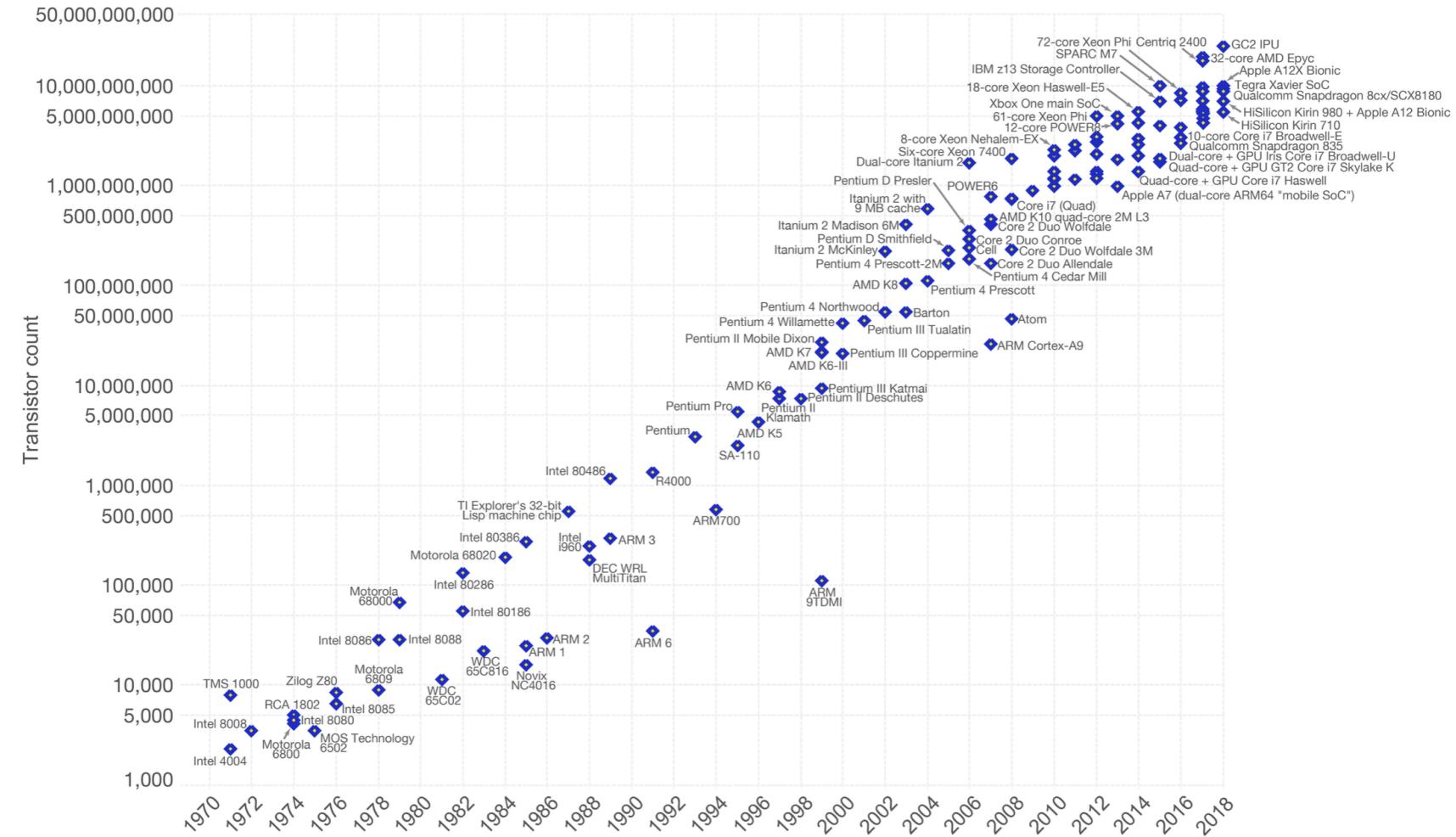


In 1965, Gordon Moore sketched out his prediction of the pace of silicon technology. Decades later, Moore's Law remains true, driven largely by Intel's unparalleled silicon expertise. Copyright ©2005 Intel Corporation.

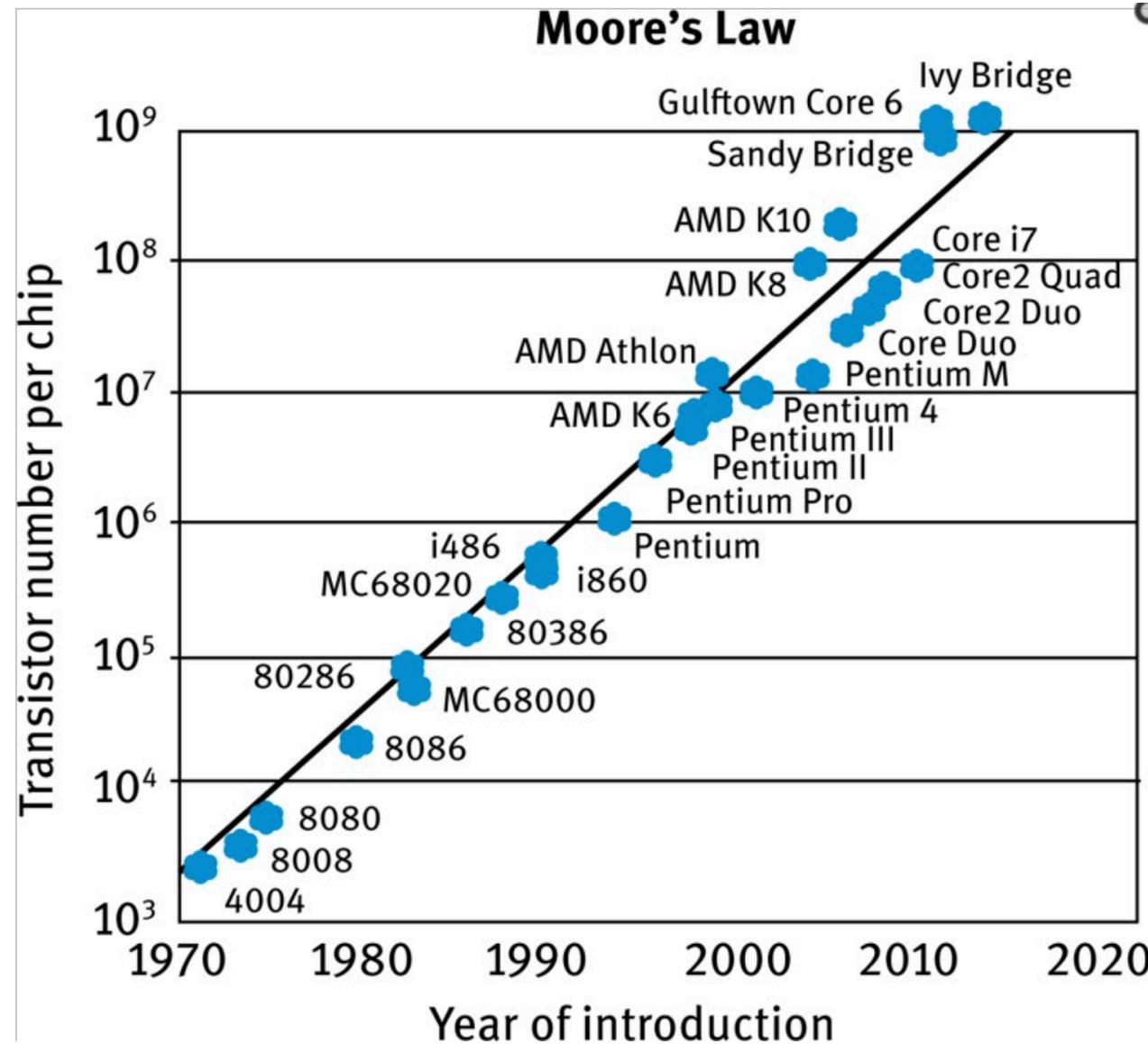
Itrs: International Technology Roadmap for semiconductors

Moore's Law – The number of transistors on integrated circuit chips (1971-2018)

Moore's law describes the empirical regularity that the number of transistors on integrated circuits doubles approximately every two years. This advancement is important as other aspects of technological progress – such as processing speed or the price of electronic products – are linked to Moore's law.



Itrs: International Technology Roadmap for semiconductors



Date	Nom	Nombre de transistors	Finesse de gravure (nm)	Fréquence de l'horloge	Largeur des données	MIPS
1971	Intel 4004	2 300	10 000	108 kHz	4 bits/4 bits bus	0,06
1974	Intel 8008	6 000	6 000	2 MHz	8 bits/8 bits bus	0,64
1979	Intel 8088	29 000	3 000	5 MHz	16 bits/8 bits bus	0,33
1982	Intel 80286	134 000	1 500	6 à 16 MHz (20 MHz chez AMD)	16 bits/16 bits bus	1
1985	Intel 80386	275 000	1 500	16 à 40 MHz	32 bits/32 bits bus	5
1989	Intel 80486	1 200 000	1 000	16 à 100 MHz	32 bits/32 bits bus	20
1993	Pentium (Intel P5)	3 100 000	800 à 250	60 à 233 MHz	32 bits/64 bits bus	100
1997	Pentium II	7 500 000	350 à 250	233 à 450 MHz	32 bits/64 bits bus	300
1999	Pentium III	9 500 000	250 à 130	450 à 1 400 MHz	32 bits/64 bits bus	510
2000	Pentium 4	42 000 000	180 à 65	1,3 à 3,8 GHz	32 bits/64 bits bus	1 700
2004	Pentium 4 D (Prescott)	125 000 000	90 à 65	2,66 à 3,6 GHz	32 bits/64 bits bus	9 000
2006	Core 2 Duo (Conroe)	291 000 000	65	2,4 GHz (E6600)	64 bits/64 bits bus	22 000
2007	Core 2 Quad (Kentsfield)	2*291 000 000	65	3 GHz (Q6850)	64 bits/64 bits bus	2*22 000 (?)
2008	Core 2 Duo (Wolfdale)	410 000 000	45	3,33 GHz (E8600)	64 bits/64 bits bus	~24 200
2008	Core 2 Quad (Yorkfield)	2*410 000 000	45	3,2 GHz (QX9770)	64 bits/64 bits bus	~2*24 200
2008	Intel Core i7 (Bloomfield)	731 000 000	45	3,33 GHz (Core i7 975X)	64 bits/64 bits bus	?
2009	Intel Core i5/i7 (Lynnfield)	774 000 000	45	3 06 GHz (i7 880)	64 bits/64 bits bus	76383
2010	Intel Core i7 (Gulftown)	1 170 000 000	32	3,47 GHz (Core i7 990X)	64 bits/64 bits bus	147600
2011	Intel Core i3/i5/i7 (Sandy Bridge)	1 160 000 000	32	3,5 GHz (Core i7 2700K)	64 bits/64 bits bus	
2011	Intel Core i7/Xeon (Sandy Bridge-E)	2 270 000 000	32	3,5 GHz (Core i7 3970K)	64 bits/64 bits bus	
2012	Intel Core i3/i5/i7 (Ivy Bridge)	1 400 000 000	22	3,5 GHz (Core i7 3770K)	64 bits/64 bits bus	

Evolution de systèmes électroniques sur 10 ans

Les premiers modèles

2G (2007),

3G (2008), 3GS (2009),

4 (2010), 4S (2011),

5 (2012), 5c(2013) et 5s (2013)

5s (2013)

6 et 6 Plus (2014),

6s et 6s Plus(2015), SE (2016),

7 et 7 Plus (2016),

8 et 8 Plus (2017), X (2017),

XS et XS Max (2018) XR (2018)

11, 11 Pro et 11 Pro Max (2019) et SE (2020)

Samsung S5L8900

Samsung S5PC100

Apple A4,A5

Apple A6

Apple A7

Apple A8

Apple A9

Apple 10

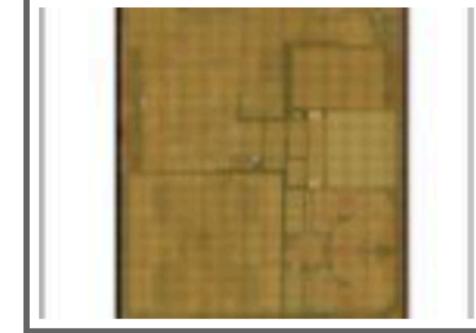
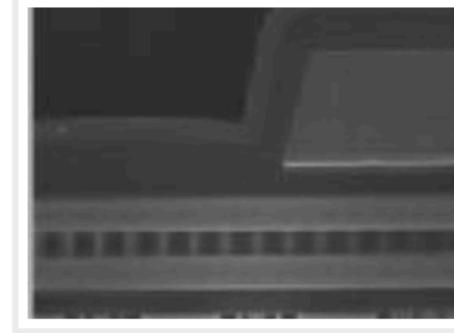
Apple 11

Apple 12

Apple 13

Evolution de systèmes électroniques sur 10 ans

Puce A4 équipant l'iPhone 4 fournit par Samsung (Techno 45nm, 2×10^9 Transistors) 1 cœur à 800 MHz



Puce A8 équipant l'iPhone 6 fournit par TSMC (Techno 20nm, 2×10^9 Transistors) 2 cœurs à 1.4 GHz

La puce A11 fournit par TSMC équipe la génération de l'iPhone 8 et iPhone X est une puce 64-bits 6 cœurs comportant plus de $4,3 \times 10^9$ de transistors à base de la technologie 10 nm FinFET

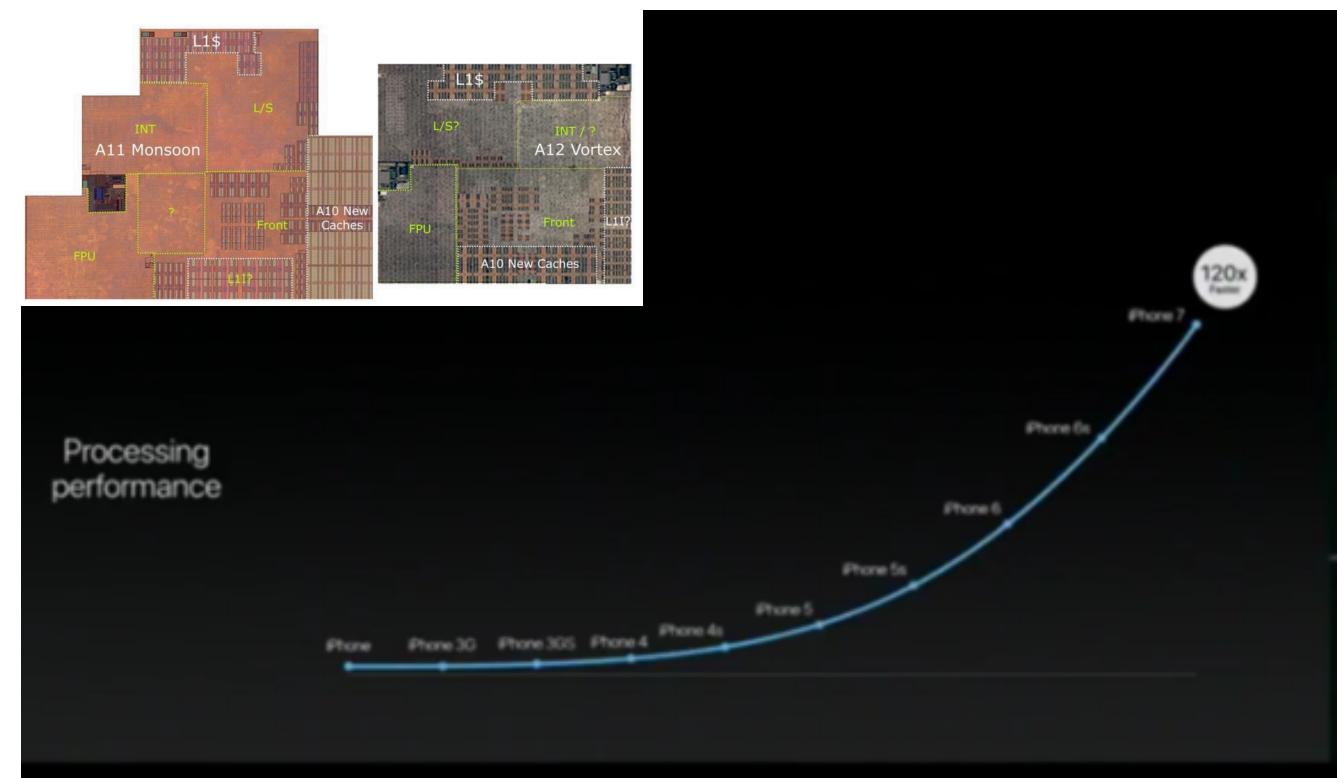
L'A11 comprend également du matériel dédié pour les réseaux bâtié par Apple «neural engine», qui peut effectuer jusqu'à 600×10^9 d'opérations par seconde.



Evolution de systèmes électroniques sur 10 ans

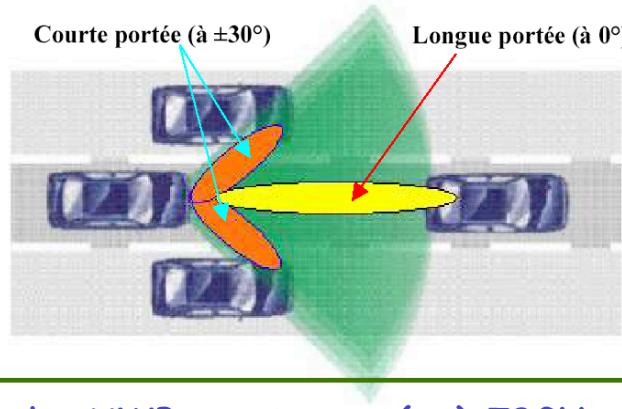
La puce A13 fournit par TSMC équipe la génération des l'iPhone 11 est une puce 64-bits 6 cœurs (2 haute performance et 4 basse consommation) 2,45 GHz et comportant plus de $8,5 \times 10^9$ de transistors avec une finesse de 7 nm Lithographie Extrême UV.

La puce A14 équipera l'iPhone 12 (64-bits quatre cœurs comportant plus de 14×10^9 de transistors avec une finesse de gravure de 5 nm.



Exemple d'applications: le véhicule autonome

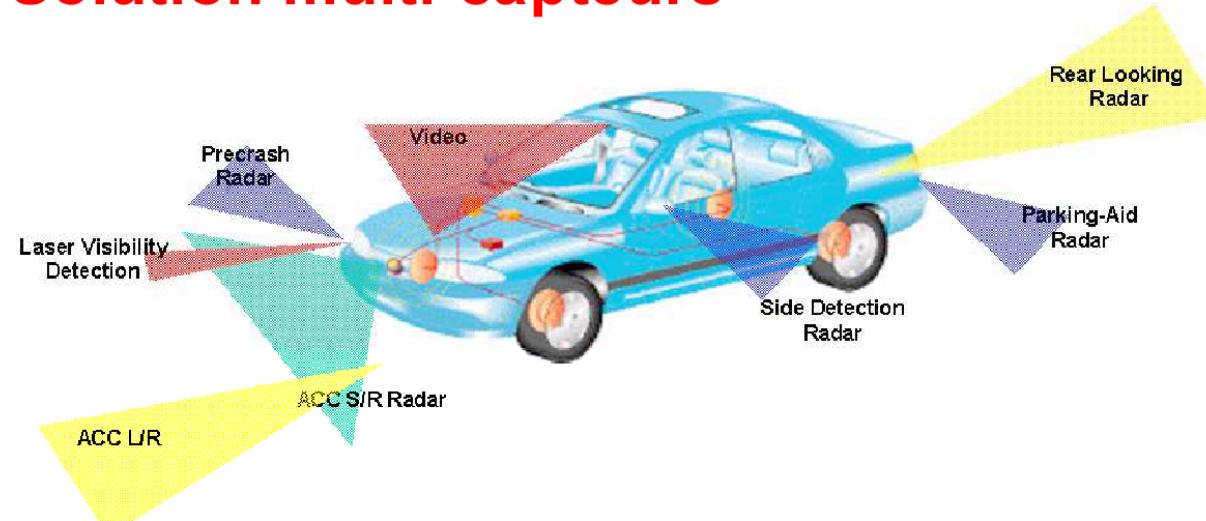
Antennes intégrées:



Radar UWB courte portée à 79GHz

- Frequency 79 GHz
- Bandwidth 4000 MHz
- Maximum field of view $\pm 80^\circ$
- Range 30 m
- Range Accuracy ± 5 cm
- Bearing accuracy $\pm 5^\circ$

Solution multi-capteurs



- LASER (Light Amplification by Stimulated Emission of Radiation)
- RADAR (Radio Detection And Ranging)
- LIDAR (Light Detecting And Ranging)
- Ultrasons (SONAR)
- Infra rouge (IR)
- Caméras

Exemple d'application: le véhicule autonome

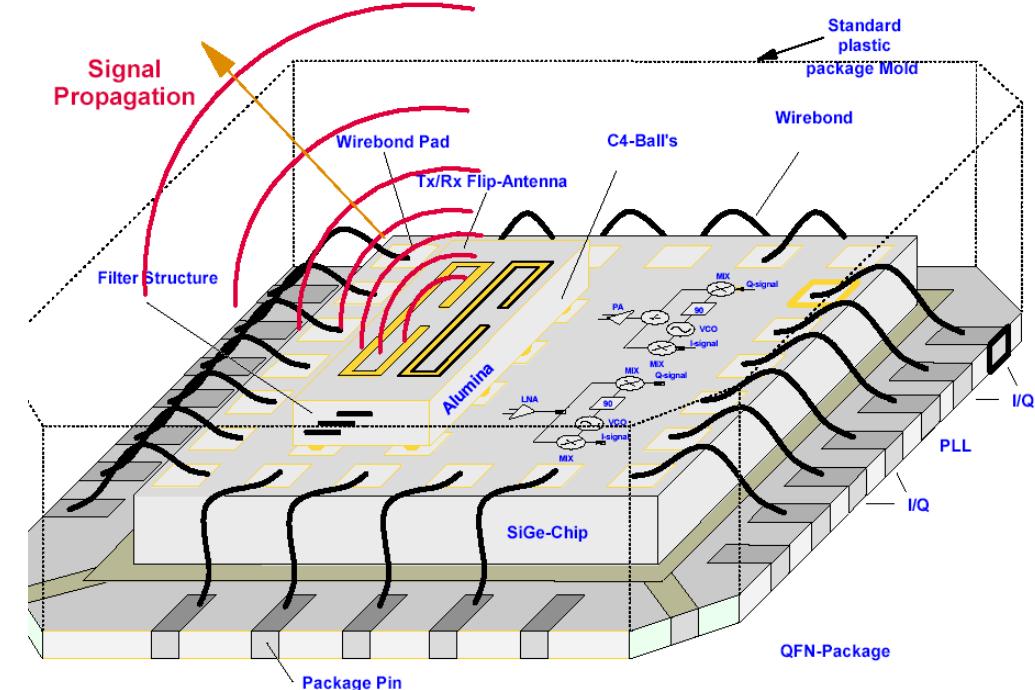
SoC et antennes intégrées:

France : (ART)

24,5-26,5 GHz : Applications large bande multimédia

27,5-29,5 GHz : Liaisons point à point, point-multipoint
Desserte primaire
Distribution en zone peu dense

23, 38, 40, 58 GHz : Opérateur
Liaisons point à point forte densité



- Antennes intégrées sur substrat semi-conducteur en ondes millimétriques
- Antennes sur substrats "exotiques" application à la commandabilité des caractéristiques, à la RFID, à la domotique et à la miniaturisation.

Programme

- ✓ Théorèmes généraux ;
- ✓ Amplificateurs opérationnels en régimes linéaires: opérateurs, amplification, filtrage ;
- ✓ Semi-conducteurs,
- ✓ Diodes : jonction PN, diodes zener, DEL, photodiodes
- ✓ Transistors: JFET et MOSFET

Programme

- ✓ Amplificateurs opérationnels, en régimes de commutation ;
- ✓ Diodes, Transistors FET et MOSFET en commutation ;
- ✓ Éléments actifs en régime de commutation ; CMOS ;
- ✓ Conversion électronique de puissance ;
- ✓ Oscillateurs

Répartition horaire totale

- ✓ 14 séances de CM de 2h00
- ✓ 12 séances de TD de 2h00
- ✓ 9 séances de TP de 4h00
(5 séances en CAO salle 205, & 4 séances en « câblés » salle F212).

Travaux dirigés

Les travaux dirigés sont des applications directes du cours. Ils sont conçus pour illustrer les notions fondamentales et les grandes fonctions en électronique linéaire.

Il est essentiel d'avoir assimiler le CM avant de participer au TD. Il est également nécessaire de disposer du support du cours durant les séances de TD.

A chaque séance de TD, **un contrôle** (durée : < 15mn) des acquis est réalisé et la moyenne de tous ces contrôles participe à l'évaluation théorique du semestre complétée par, au moins, deux devoirs surveillés.

Travaux pratiques

- ✓ Ils sont conçus autour d'applications des grandes fonctions de l'électronique et mettent en œuvre les méthodologies fondamentales de la métrologie en électronique.
- ✓ Environ la moitié de ces TP's est réalisée avec du matériel, l'autre moitié met en œuvre un logiciel professionnel de simulation (ORCAD).
- ✓ La préparation rendue en début de chaque séance est évaluée ainsi que le compte-rendu remis en fin de chaque séance.
- ✓ La moyenne de ces évaluations donne l'évaluation de l'aspect pratique de l'UE.

Bibliographie

- ✓ Albert Paul MALVINO : Principes d'électronique: cours, exercices et problèmes résolus 3^{ème} édition, traduit de : « the 3th edition of Electronic Principle » McGRAW-HILL, ISBN : 2-7042-1176_0, / 1988
- ✓ Serge DUSAUSAY : Comprendre l'électronique par la simulation; Vuibert, ISBN : 2-7117-8952-7
- ✓ Paul HOROWITZ : Traité de l'électronique analogique et numérique; tome 1 : Techniques analogiques, Winfield Hill
- ✓ Mahmood NAHVI, Joseph A. EDMINISTER, Yves GRANJON : Circuits électriques; Ediscience, Schaum's, ISBN : 2-10-048911-9
- ✓ Jimmie J. CATHEY : Circuits et systèmes électroniques; Ediscience, Schaum's, ISBN : 2-10-006939-X
- ✓ Jean AUVRAY : Circuits et composants électroniques. Cours et TP; Hermann Scientif., ISBN : 2-7056-5899-8

ARCHE ENT UL

Tous les cours magistraux, les énoncés des TDs et TPs sont/seront accessibles aux étudiants sur ARCHE.