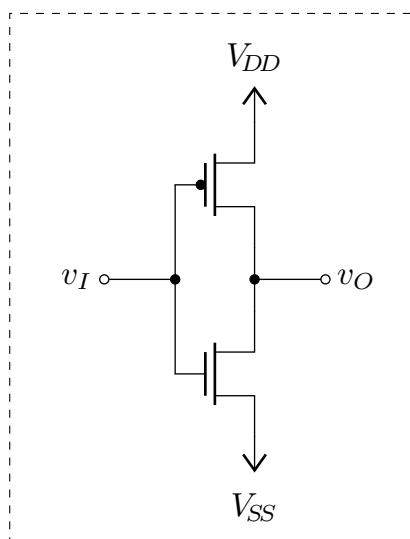


L3 - Inversor CMOS

*Autores:***Manuel Soares** : 96267

↪ mail@tecnico.ulisboa.pt

João Gonçalves : 99995

↪ jrazevedogoncalves@tecnico.ulisboa.pt

Jorge Contente : 102143

↪ mail@tecnico.ulisboa.pt

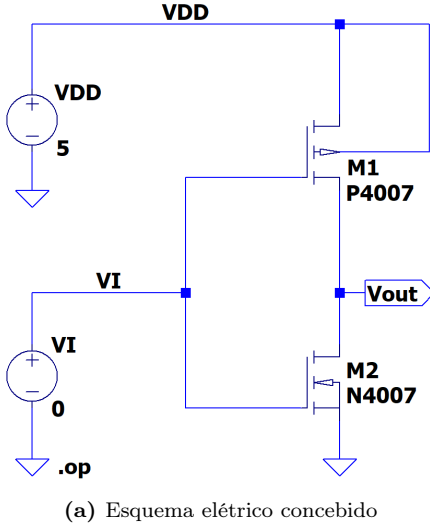
*Docente:***João Francisco Marafuz Gaspar**

4. Simulação

4.1 Análise do ponto de funcionamento em repouso do circuito

Tab. 1: Tensão de saída no PFR

| | $V_I = 0V$ | $V_I = V_{DD}/2$ | $V_I = V_{DD}$ |
|-------|------------|------------------|----------------|
| V_O | 5.000 V | 4.607 V | 5.529 nV |



```

--- Operating Point ---
V(vi):      0      voltage
V(vdd):     5      voltage
V(vout):     5      voltage
Id(M1):     -1.75473e-009 device_current
Ig(M1):     -0      device_current
Ib(M1):     -1.53609e-018 device_current
Is(M1):     1.75473e-009 device_current
Id(M2):     1.001e-011 device_current
Ig(M2):     0      device_current
Ib(M2):     -5.01e-012 device_current
Is(M2):     -5e-012 device_current
I(Vdd):     -1.001e-011 device_current
I(Vi):      0      device_current

```

(b) $v_I \equiv 0V$

```

--- Operating Point ---
V(vi):      2.5      voltage
V(vdd):     5      voltage
V(vout):     4.60667 voltage
Id(M1):     0.000114804 device_current
Ig(M1):     -0      device_current
Ib(M1):     4.03329e-013 device_current
Is(M1):     -0.000114804 device_current
Id(M2):     0.000114805 device_current
Ig(M2):     0      device_current
Ib(M2):     -4.61667e-012 device_current
Is(M2):     -0.000114805 device_current
I(Vdd):     -0.000114805 device_current
I(Vi):      0      device_current

```

(c) $v_I \equiv 2.5V$

```

--- Operating Point ---
V(vi):      5      voltage
V(vdd):     5      voltage
V(vout):     5.52901e-009 voltage
Id(M1):     5e-012 device_current
Ig(M1):     -0      device_current
Ib(M1):     5.01e-012 device_current
Is(M1):     -1.001e-011 device_current
Id(M2):     1.00097e-011 device_current
Ig(M2):     0      device_current
Ib(M2):     -7.66665e-021 device_current
Is(M2):     -1.00097e-011 device_current
I(Vdd):     -1.001e-011 device_current
I(Vi):      0      device_current

```

(d) $v_I \equiv 5V$

Fig. 1: Esquema LTspice® do circuito no ponto de funcionamento em repouso (PFR) para $v_I \in \{0, 2.5, 5\}V$.

4.2 Gráfico de $i_D(v_I)$ e valor máximo da corrente i_D

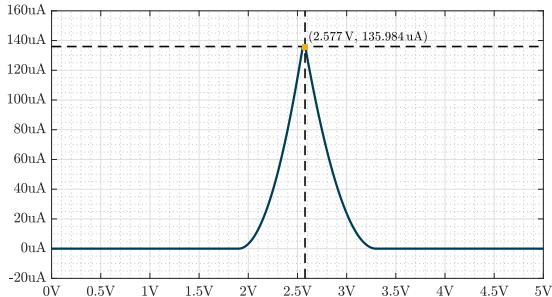


Fig. 2: Gráfico de $i_D(v_I)$ e $(i_D)_{\max}$

A simulação em LTspice®, efetuada com a diretiva `.dc VI 0 5 0.001`, resultou na Fig. 2.

O valor $(i_D)_{\max} = 135.984\mu A$ é obtido para a tensão de entrada $v_I \equiv 2.577V$. Este resultado é congruente com a análise teórica uma vez que o valor da tensão de entrada que maximiza a corrente se aproxima do *midpoint* (V_M) calculado, onde os transístores complementares, M_1 e M_2 , se encontram simultaneamente em saturação.

Nota: Erro relativo(%) = $\frac{2.577-2.566}{2.566} \cdot 100 \approx 0.43\%$

4.3 Característica de transferência $v_O(v_I)$, derivada e margens de ruído

Com o mesmo varrimento DC: `.dc VI 0 5 0.001`, foi possível adquirir os dados da característica $v_O(v_I)$ do inversor CMOS simulado, e respetiva derivada dv_O/dv_I , para posterior análise computacional[†].

Os valores resultantes (apresentados na Fig. 3) são:

$$\begin{matrix} V_{IH} = 2.749V & V_{OH} = 5V \\ V_{IL} = 2.362V & V_{OL} = 0V \end{matrix} \Rightarrow \begin{cases} NM_H \approx 2.251V \\ NM_L \approx 2.362V \end{cases}$$

Conforme a convenção, tomam-se V_{IH} e V_{IL} como os valores de v_I para os quais $v_O(v_I)$ apresenta declive -1.

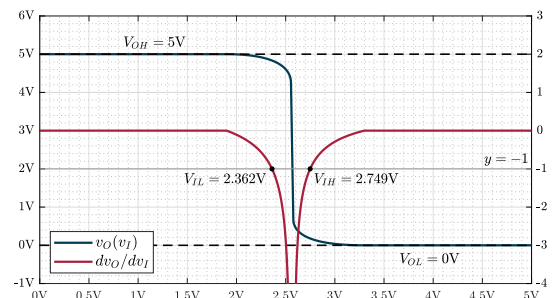


Fig. 3: Característica de transferência do inversor

[†]O processamento de dados e análise da simulação concebida em LTspice® foi efetuado em MATLAB®.

4.4 Determinação dos tempos de atraso de propagação

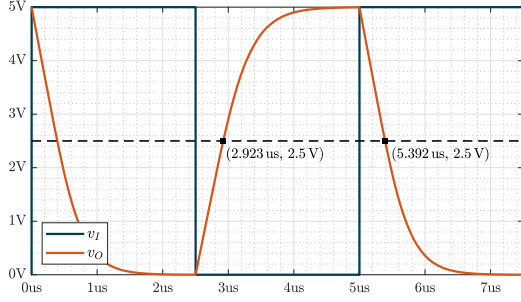


Fig. 4: Atrasos de propagação, $C_L = 470\text{pF}$

A análise do funcionamento dinâmico do inversor foi realizada com: um sinal de entrada retangular com níveis 0V e 5V, frequência 200kHz e tempos de subida e descida de 1ns; e uma capacidade de saída $C_L = 470\text{pF}$. Com recurso a `[.tran 0 7.5u 0 0.01u]`, foi capturado um período e meio das tensões de entrada e saída, de modo a visualizar as transições $L \rightarrow H$ e $H \rightarrow L$ sobre o nível de passagem médio (50%).

As incongruências entre os tempos de propagação devem-se ao facto dos transístores não serem perfeitamente adaptados na tecnologia CMOS simulada.

Registam-se os seguintes atrasos de propagação:

$$\begin{cases} t_{pLH} = 2.5\mu\text{s} - 2.923\mu\text{s} = 423\text{ns} \\ t_{pHL} = 5.0\mu\text{s} - 5.392\mu\text{s} = 392\text{ns} \end{cases} \Rightarrow t_p = \frac{t_{pHL} + t_{pLH}}{2} = 407.5\text{ns}$$

5. Trabalho experimental

A Fig. 5 apresenta uma representação concisa do circuito montado numa *breadboard*. Esta representação fornece uma referência prática para a montagem e disposição do circuito.

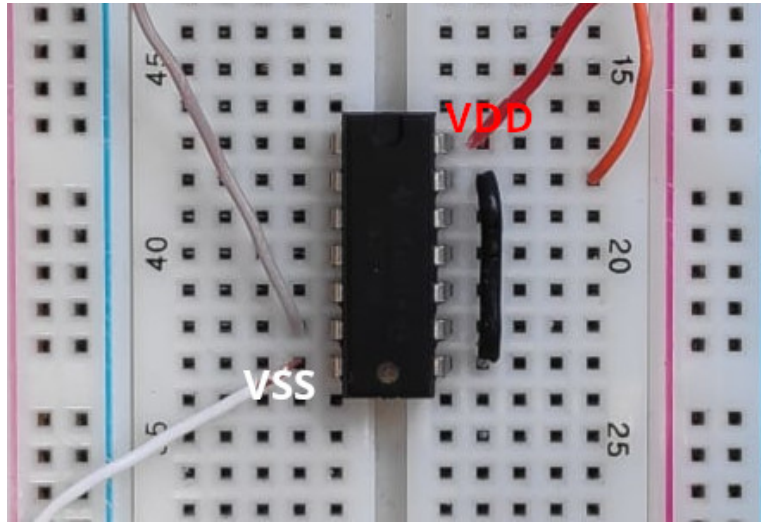


Fig. 5: Referência para a implementação física do inversor CMOS com o circuito integrado CA4007

5.3 Resultados no ponto de funcionamento em repouso

Os valores detalhados pelo voltímetro encontram-se nas tabelas seguintes:

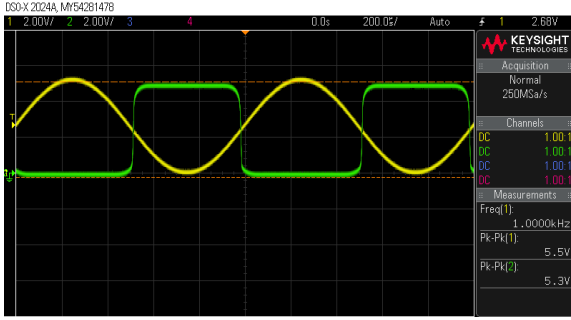
| Tab. 2: Alimentação | |
|---------------------|------------|
| V_{DD} | V_{SS} |
| 4.985 V | -000.36 mV |

| Tab. 3: Tensão de saída no PFR | | | |
|--------------------------------|-------------------|------------------|----------------|
| | $V_I = 0\text{V}$ | $V_I = V_{DD}/2$ | $V_I = V_{DD}$ |
| V_O | 4.983 V | 4.195 V | -000.71 mV |

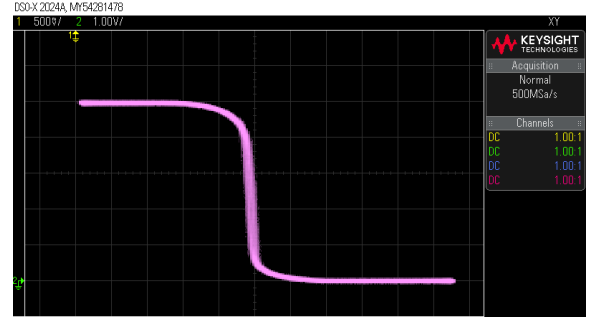
5.4 Gráficos em função do tempo e característica de transferência

Com o sinal de entrada $v_I = \frac{V_{DD}}{2} + \frac{V_{DD}}{2} \cos(\omega t)$ foi possível realizar um primeiro estudo sobre o funcionamento do inversor. Note-se que quando v_I está acima de um certo valor de tensão, o PMOS encontra-se no estado "OFF" (desligado), e o NMOS no estado "ON" (ligado); o inverso é aplicado para quando v_I se encontra abaixo de um certo valor inferior (o comportamento

dos transístores troca). Entre estas regiões os transístores não se comportam puramente como interruptores, como é aparente nas Fig. 6(a) e 6(b) (a visualização da característica de transferência em modo XY torna mais claro este comportamento).



(a) v_I (channel 1) e v_O (channel 2)



(b) Característica de transferência $v_O(v_I)$

Fig. 6: Gráficos em função do tempo e característica de transferência

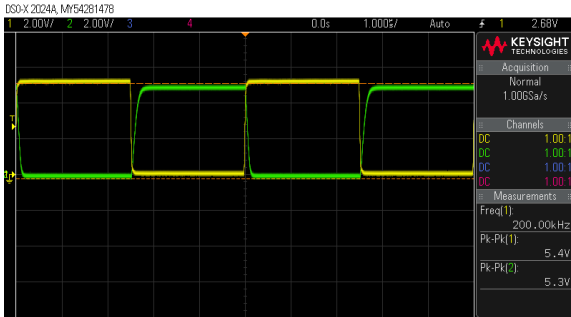
5.5 Determinação de V_{OL} , V_{OH} , V_{IL} , V_{IH} , NM_L e NM_H

De modo a adquirir resultados mais fidedignos e complementar a discussão da alínea anterior, foram exportados os dados da característica de transferência—em modo de aquisição de **alta resolução**—para se obter os níveis de tensão e margens de ruído do inversor CMOS. O resultado da análise computacional—explicitada no Apêndice A—culmina em:

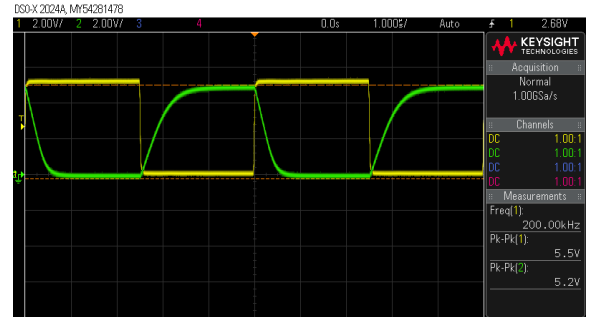
$$\begin{matrix} V_{IH} = 2.801V & V_{OH} = 4.970V \\ V_{IL} = 2.079V & V_{OL} = -0.013V \end{matrix} \Rightarrow \begin{cases} NM_H \approx 2.169V \\ NM_L \approx 2.092V \end{cases}$$

5.6 Tempos de atraso de propagação (com e sem carga capacitiva)

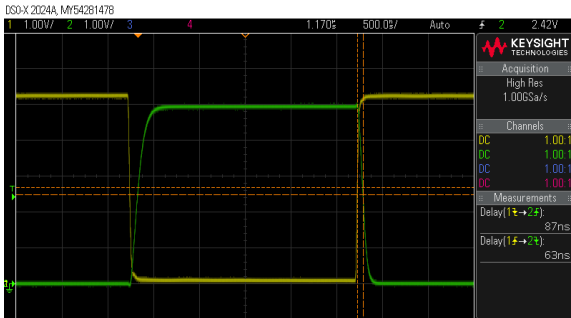
A dinâmica do inversor foi estudada através de uma onda quadrada de frequência 200kHz, com extremos em 0V e V_{DD} . Realizaram-se ensaios na presença¹ e ausência de uma carga capacitiva ($C_L = 470pF$). Os resultados encontram-se nas figuras subsequentes:



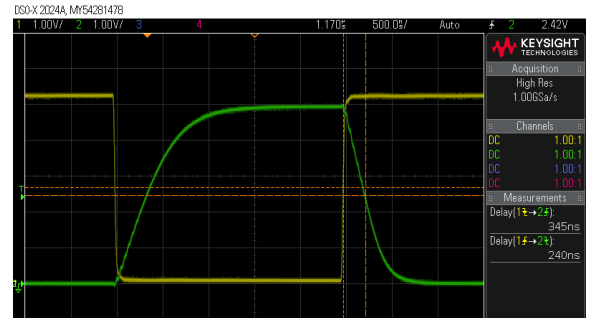
(c) v_I (channel 1) e v_O (channel 2), sem C_L



(d) v_I (channel 1) e v_O (channel 2), $C_L = 470pF$



(e) Tempos de atraso sem C_L (high res)



(f) Tempos de atraso com $C_L = 470pF$ (high res)

Fig. 7: Gráficos temporais de v_I e v_O e atrasos temporais (sobre o nível de passagem médio)

¹O uso do condensador replica condições de carga realistas (e.g., saída ligada a outras portas lógicas).

| Sem carga capacitiva | Com carga capacitiva |
|--|--|
| $t_{pLH} = 87\text{ns} \quad \wedge \quad t_{pHL} = 63\text{ns}$ | $t_{pLH} = 345\text{ns} \quad \wedge \quad t_{pHL} = 240\text{ns}$ |
| $t_p = \frac{t_{pLH} + t_{pHL}}{2} = \mathbf{75\text{ns}}$ | $t_p = \frac{t_{pLH} + t_{pHL}}{2} = \mathbf{292.5\text{ns}}$ |

6. Análise de resultados e Comentários

De modo a complementar a discussão das secções anteriores, sumariza-se na tabela seguinte², em forma de erro relativo, as incongruências entre as modalidades da atividade laboratorial.

| | Teórico | Simulação | | Experimental | | |
|-----------|----------|-----------|------------------|--------------|------------------|------------------|
| | Valor | Valor | Erro sim/teo (%) | Valor | Erro exp/teo (%) | Erro exp/sim (%) |
| V_{OH} | 5 V | 5 V | 0.000 | 4.970 V | 0.600 | 0.600 |
| V_{OL} | 0 V | 0 V | — | −0.013 V | — | — |
| V_{IH} | 2.73 V | 2.749 V | 0.696 | 2.801 V | 2.601 | 1.892 |
| V_{IL} | 2.38 V | 2.362 V | 0.756 | 2.079 V | 12.647 | 11.981 |
| NM_H | 2.27 V | 2.251 V | 0.837 | 2.169 V | 4.449 | 3.643 |
| NM_L | 2.38 V | 2.362 V | 0.756 | 2.092 V | 12.101 | 11.431 |
| t_{pHL} | 426.7 ns | 392 ns | 8.122 | 240 ns | 43.748 | 38.776 |
| t_{pLH} | 463.1 ns | 423 ns | 8.668 | 345 ns | 25.509 | 18.440 |
| t_p | 444.9 ns | 407.5 ns | 8.406 | 292.5 ns | 34.255 | 28.221 |

- Analisando os níveis de tensão, há uma sintonia interessante entre os valores obtidos teoricamente, os simulados e os experimentais. Salienta-se que, os níveis de tensão representam uma característica crítica do comportamento do inversor CMOS [1, 2].
- As margens de ruído experimentais mostraram-se, tal como previsto, inferiores às obtidas através das simulações e cálculos teóricos. Este facto é consequência direta do ambiente laboratorial onde, contrariamente ao ambiente virtual das simulações e à idealidade das suposições teóricas, o ruído é uma variável de difícil controlo inerente às qualidades não ideais dos componentes da montagem (como a *breadboard*, cabos e conectores...). Não obstante, as margens de erro provaram-se bastante aceitáveis.
- Em relação aos tempos de propagação, nota-se que os valores experimentais foram consistentemente inferiores aos teoricamente previstos e simulados. Este resultado intrigante indica que o comportamento na prática é muito mais rápido do que os cálculos e as simulações sugerem, levantando a possibilidade de fenómenos físicos não contemplados—como por exemplo, o efeito de túnel—poderem estar a acelerar a transição de estados no circuito inversor CMOS.
- Aprofundando a análise dos tempos de propagação, constata-se que t_{pLH} excede sempre t_{pHL} , em todas as modalidades. Esta observação reforça a assimetria inerente à estrutura do CMOS, onde o processo de carga, sujeito a uma maior dificuldade de movimentação de cargas, revela-se invariavelmente mais lento quando comparado com o processo de descarga.
- A presença do condensador de saída na configuração experimental demonstrou ser de grande relevância, ao permitir a replicação de condições de carga mais verosímeis. Naturalmente, a ausência do condensador conduziu a tempos de propagação inferiores.
- ★ A análise do comportamento do inversor CMOS, nas várias situações propostas, reforçou a sua relevância como bloco base na construção de circuitos lógicos digitais. Mesmo perante as discrepâncias entre a teoria, a simulação e a prática, a concordância dos resultados reitera a fiabilidade do modelo teórico e sublinha a importância de considerar as condições reais durante a projeção de circuitos—acrescentando uma camada de complexidade à compreensão dos princípios fundamentais do *design* de circuitos CMOS.

²Apresentam-se os resultados dos cálculos teóricos para uma carga capacitiva de $C_L = 470\text{pF}$, de modo a permitir uma comparação mais conveniente com os resultados da simulação e da montagem laboratorial.

Referências

- [1] M. Silva. *Circuitos com Transistores Bipolares e MOS*. Fundação Calouste Gulbenkian, 6th edition, 2016.
 [2] A. S. Sedra and K. C. Smith. *Microelectronic Circuits*. Oxford University Press, 7th edition, 2015.

Apêndice A: Análise da Função de Transferência

Neste apêndice, apresentamos uma análise aprofundada da característica de transferência do inversor CMOS realizado laboratorialmente. Os dados experimentais foram adquiridos através de um osciloscópio DSO-X 2024A (aquisição *high res* com 25MSa/s) e exportados em formato CSV para posterior análise em MATLAB®. A Fig. A1 ilustra o resultado da análise realizada.

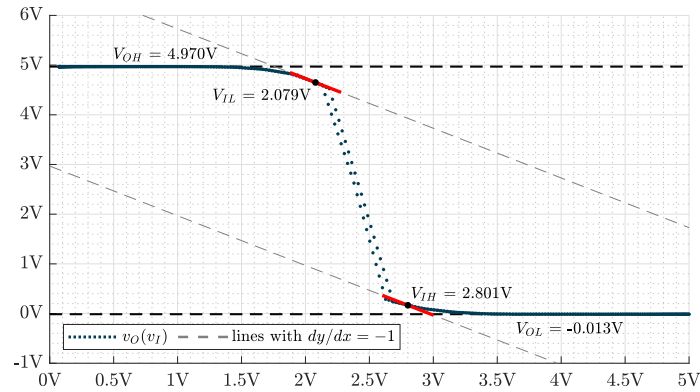


Fig. A1: Resultado da análise dos dados experimentais adquiridos

O algoritmo exposto na **L.A1.** descreve a abordagem que leva à transformação dos dados experimentais numa representação gráfica detalhada—e robusta—da característica $v_O(v_I)$.

L.A1.: Análise, em MATLAB®, dos dados da característica de transferência obtida em ambiente laboratorial

```

1 function analyze_transfer_function(data)
2     figure; set(gcf, 'Position', [100, 100, 660, 340]);
3     x = data(:,2); y = data(:,3); % x -> vI, y -> vO
4
5     % calculate VOL and VOH as the mean of the bottom and top 25% of y values respectively
6     sorted_y = sort(y);
7     n = round(0.25 * length(y)); % calculate the top/bottom 25%
8     VOL = mean(sorted_y(1:n)); VOH = mean(sorted_y(end-n+1:end));
9
10    % begin plotting
11    hold on; grid on, grid minor;
12    plot_VOL_VOH(VOH, VOL); % add dashed lines at y = VOL and y = VOH
13    plot(x, y, '.', 'Color', [0.0 0.24 0.33], 'LineWidth', 1.75); % plot transfer function
14
15    % split the data into two halves based on x values
16    half_x_value = 2.5;
17    indices_below_half = find(x(1:end-1) < half_x_value); % first half of the data
18    indices_above_half = find(x(1:end-1) > half_x_value); % second half of the data
19    % calculate the function slopes
20    slopes = diff(y) ./ diff(x);
21    % find the index where the slope is closest to -1 for each half
22    [~, index1] = min(abs(slopes(indices_below_half) + 1)); % min value in the first half
23    [~, index2] = min(abs(slopes(indices_above_half) + 1)); % min value in the second half
24    % correct indexes
25    index1 = indices_below_half(index1);
26    index2 = indices_above_half(index2);
27
28    % mark the points (VIL = x(index1), VIH = x(index2)) and plot lines with -1 slope
29    plot_VIL_VIH(x, y, index1, index2); hold off;
30
31    % customize the axis
32    ax = gca; xlim([0 5]); ylim([-1 6]);
33    customise_axis_labels(ax, 'latex', 'V', 'V');
34
35    % add annotations (current axis, name, value, unit)
36    add_annotation(ax, '$V_{OL}$', VOL, 'V');
37    add_annotation(ax, '$V_{OH}$', VOH, 'V');
38    add_annotation(ax, '$V_{IL}$', x(index1), 'V');
39    add_annotation(ax, '$V_{IH}$', x(index2), 'V');
40 end
  
```