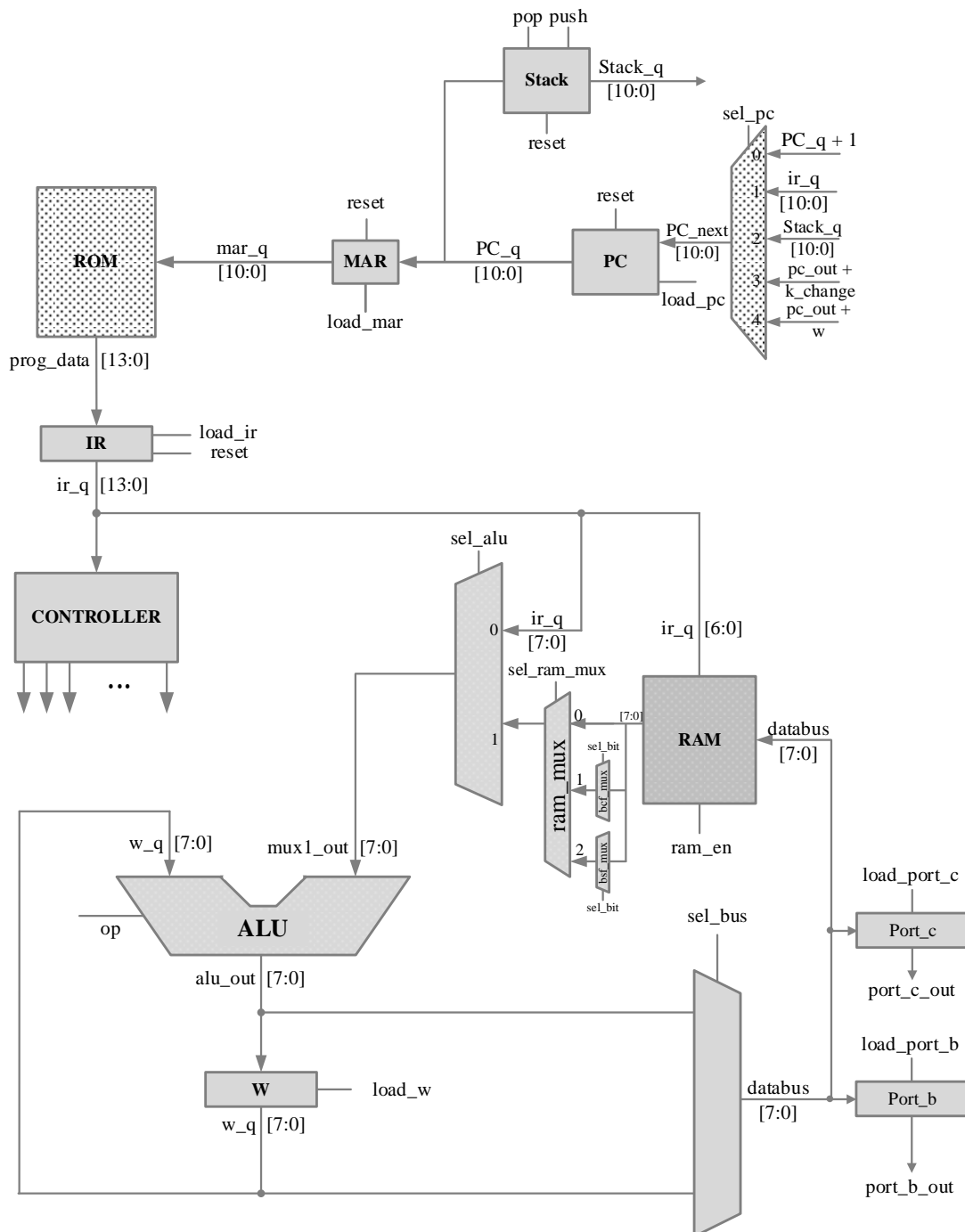


111 學年第一學期計算機系統設計期末考

- 請實現下面的硬體架構圖，並根據題目說明，新增幾個新的指令。
- 檔案僅提供：
 1. quartus 空專案
 2. 程式碼：Program_Rom.sv
 3. do 檔：sim.do。其餘 compile.do、wave.do 皆為空白請自行撰寫
- 完成後比對最後的範例波形圖，評分標準在本卷最後面。

✧ 架構圖



✧ 題目說明

實現以下指令

指令	opcode	指令說明	備註
PORTBCSZ	IR[13:0]= 14'b00_0000_0000_0011	若 port_c_out 和 port_b_out 做 and 運算的結果為 0，則跳過後面的 2 個指令	新的
INCFEQCSZ	IR[13:0]=6'b11_0100_kkkk_kkkk	選定一個 k address(ir_q[7:0])，將其值加 1 後，判斷是否和 port_c_out 相等，若相等則跳過後面的 1 個指令	新的

HINT :

MOVWF 指令內新增一段內容：

如果目標位址為 portC(0x0E)，則 load_port_c = 1

pipeline 在 T4 會做一次 PC+1，如要跳 2 個指令只需要在 T5 時再做一次 PC+1 即可

✧ testbench.sv 程式如下

```
module testbench;
    logic clk, rst;
    logic [7:0] port_b_out;

    cpu c1(clk, rst, port_b_out);

    always #5 clk = ~clk;

    initial begin
        clk = 0; rst = 1;
        #10 rst = 0;
        #2200 $stop;
    end
endmodule
```

✧ Program_Rom.sv 程式如下(不須自行撰寫)

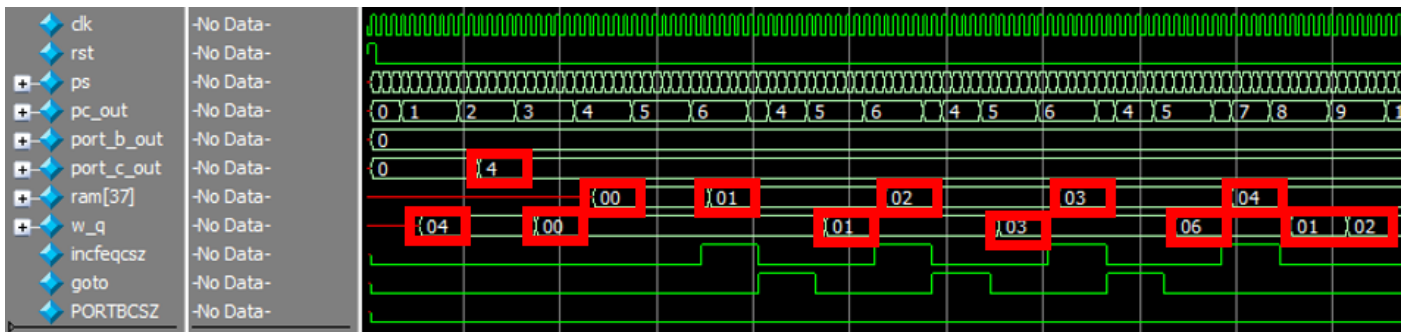
```
module Program_Rom(
    output logic [13:0] Rom_data_out,
    input [10:0] Rom_addr_in
);

    logic [13:0] data;
    always_comb
        begin
            case (Rom_addr_in)
                11'h0 : data = 14'h3004; //MOVLW W<=4
                11'h1 : data = 14'h008e; //MOVWF portc=4
                11'h2 : data = 14'h3000; //MOVLW W<=0
                11'h3 : data = 14'h00A5; //ram[37]<=0
                11'h4 : data = 14'h0725; //addwf w<=w+ram[37]
                11'h5 : data = 14'h3425; //incf eqcsz (if ram[37]+1 = port_c, skip 1 instruction)
                11'h6 : data = 14'h2804; //goto pc=4 (This instruction might be skipped.)
                11'h7 : data = 14'h3001; //MOVLW W<=1
                11'h8 : data = 14'h3002; //MOVLW W<=2
                11'h9 : data = 14'h3004; //MOVLW W<=4
                11'hA : data = 14'h00A5; //MOVWF ram[37]<=4
                11'hB : data = 14'h0825; //MOVF W<=4
                11'hC : data = 14'h008D; //PORTB<=4
                11'hD : data = 14'h3003; //MOVLW W<=3
                11'hE : data = 14'h0725; //ADDWF W<=7
                11'hF : data = 14'h008E; //MOVWF PORTC<=7
                11'h10 : data = 14'h0003; //PORTBCSZ (It doesn't skip.)
                11'h11 : data = 14'h3006; //MOVLW W<=6 (working)
                11'h12 : data = 14'h008e; //MOVWF PORTC<=6 (working)
                11'h13 : data = 14'h3008; //MOVLW W<=8
                11'h14 : data = 14'h008e; //MOVWF PORTC<=8
                11'h15 : data = 14'h0000; //nop
                11'h16 : data = 14'h0003; //PORTBCSZ (skip 2 instruction)
                11'h17 : data = 14'h3001; //MOVLW W<=1 (not working)
                11'h18 : data = 14'h3002; //MOVLW W<=2 (not working)
                11'h19 : data = 14'h3003; //MOVLW W<=3
                11'h1A : data = 14'h2819; //goto $
                11'h1B : data = 14'h3400;
                11'h1C : data = 14'h3400;
                default: data = 14'h0;
            endcase
        end

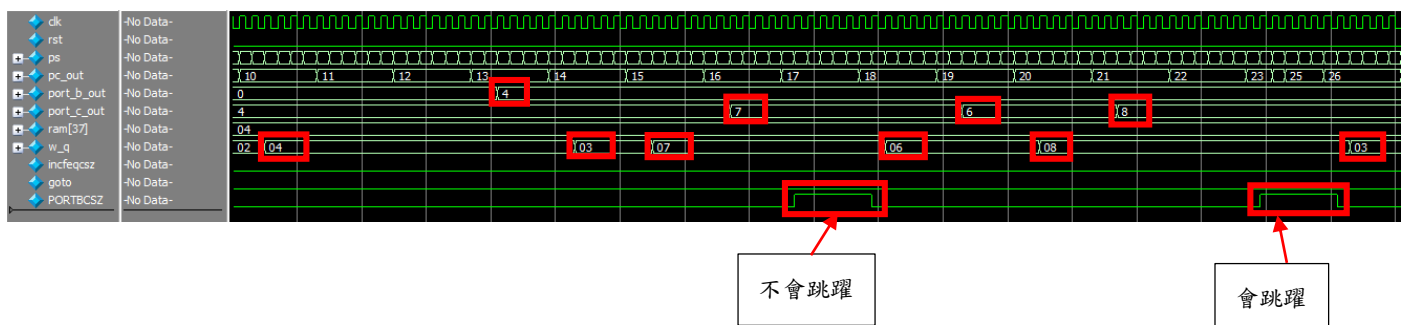
    assign Rom_data_out = data;
endmodule
```

◇ 模擬結果 - pipeline 版本

Part1



Part2(接在 part1 後面)



若結果無誤或有任何疑問請舉手

分數分配:

1. 越早交越高分
2. 正確設計出架構圖上的 Datapath，0~50 分
3. 除了新增的兩個指令未能正確執行外其餘皆執行正確，50~60 分
4. 新增的兩個指令中其中一個可以正確執行，60~75 分
5. 結果全部正確但沒有做 pipeline 架構，滿分為 90 分
6. 結果全部正確且有做 pipeline 架構，滿分為 100 分