



NOMBRE DEL ALUMNO:

Everardo Estrella Rojo

CARRERA:

Ing. Mecatrónica

MATERIA:

Programación de Sistemas Embebidos

GRADO Y GRUPO:

8°-B

CUATRIMESTRE:

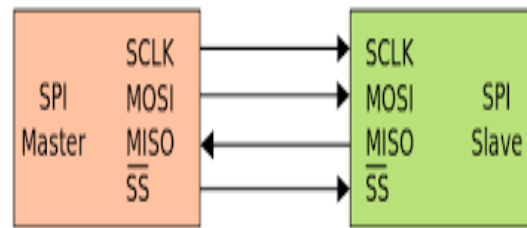
Septiembre - Diciembre

NOMBRE DEL DOCENTE:

Carlos Enrique Morán Garabito

SPI

Es un estándar de comunicaciones, usado principalmente para la transferencia de información entre circuitos integrados en equipos electrónicos. El bus de interfaz de periféricos serie o bus SPI es un estándar para controlar casi cualquier dispositivo electrónico digital que acepte un flujo de bits serie regulado por un reloj (comunicación síncrona).

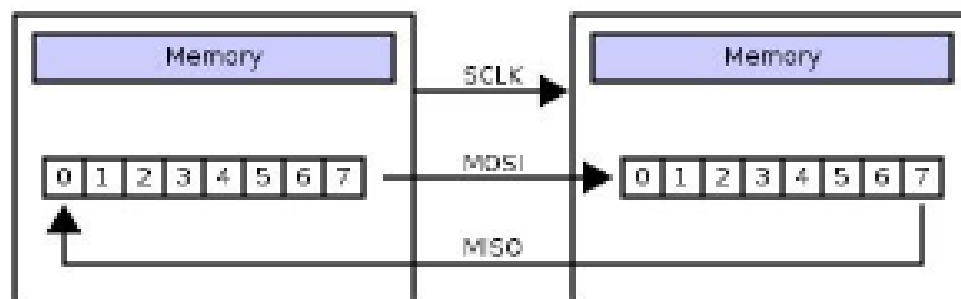


Incluye una línea de reloj, dato entrante, dato saliente y un pin de chip select, que conecta o desconecta la operación del dispositivo con el que uno desea comunicarse. De esta forma, este estándar permite multiplexar las líneas de reloj.

Muchos sistemas digitales necesitan una conexión rápida con sus periféricos. Las ventajas de un bus serie es que minimiza el número de conductores, pines y el tamaño del circuito integrado. Esto reduce el coste de fabricar, montar y probar la electrónica. Un bus de periféricos serie es la opción más flexible cuando se tiene tipos diferentes de periféricos serie. El hardware consiste en señales de reloj, data in, data out y chip select para cada circuito integrado que tiene que ser controlado.

Aplicaciones

El SPI es un protocolo síncrono que trabaja en modo full duplex para recibir y transmitir información, permitiendo que dos dispositivos pueden comunicarse entre sí al mismo tiempo utilizando canales diferentes o líneas diferentes en el mismo cable. Al ser un protocolo síncrono el sistema cuenta con una línea adicional a la de datos encarga de llevar el proceso de sincronismo.



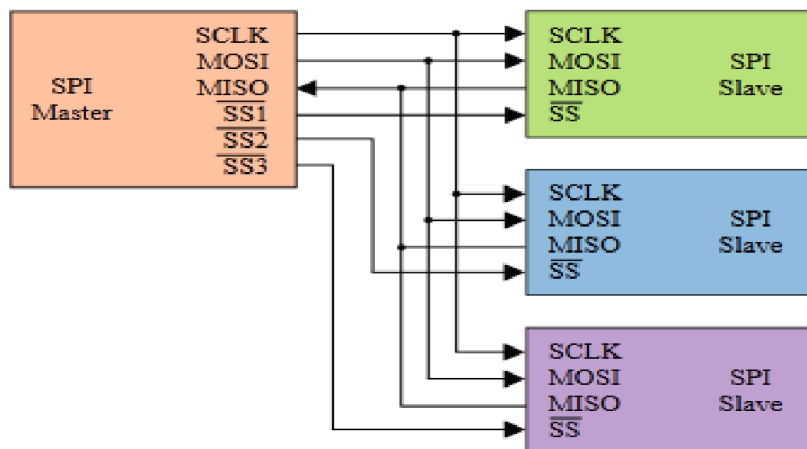
Estructura general del protocolo SPI.

Existen cuatro líneas lógicas encargadas de realizar todo el proceso

1. MOSI (Master Out Slave In) Línea utilizada para llevar los bits que provienen del maestro hacia el esclavo.
2. MISO (Master In Slave Out) Línea utilizada para llevar los bits que provienen del esclavo hacia el maestro.
3. CLK (Clock). Línea proveniente del maestro encarga de enviar la señal de reloj para sincronizar los dispositivos.
4. SS (Slave Select). Línea encargada de seleccionar y a su vez, habilitar un esclavo.

La Cadena de bits es enviada de manera síncrona con los pulsos del reloj, es decir con cada pulso, el Master envía un bit. Para que empiece la transmisión el Master baja la señal SSTE ó SS/Select a cero, con esto el Esclavo se activa y empieza la transmisión, con un pulso de reloj al mismo tiempo que el primer bit es leído. Nótese que los pulsos de reloj pueden estar programados de manera que la transmisión del bit se realice en 4 modos diferentes, a esto se llama polaridad y fase de la transmisión:

- Con el flanco de subida sin retraso.
- Con el flanco de subida con retraso.
- Con el flanco de bajada sin retraso.
- Con el flanco de bajada con retraso



Referencias bibliográficas;

Montaje de componentes y periféricos microinformáticos. IFCT0108, en Google libros

«PC Architecture. Chapter 17. The CPU's immediate surroundings. A book by Michael B. Karbo». Consultado el 2009.