

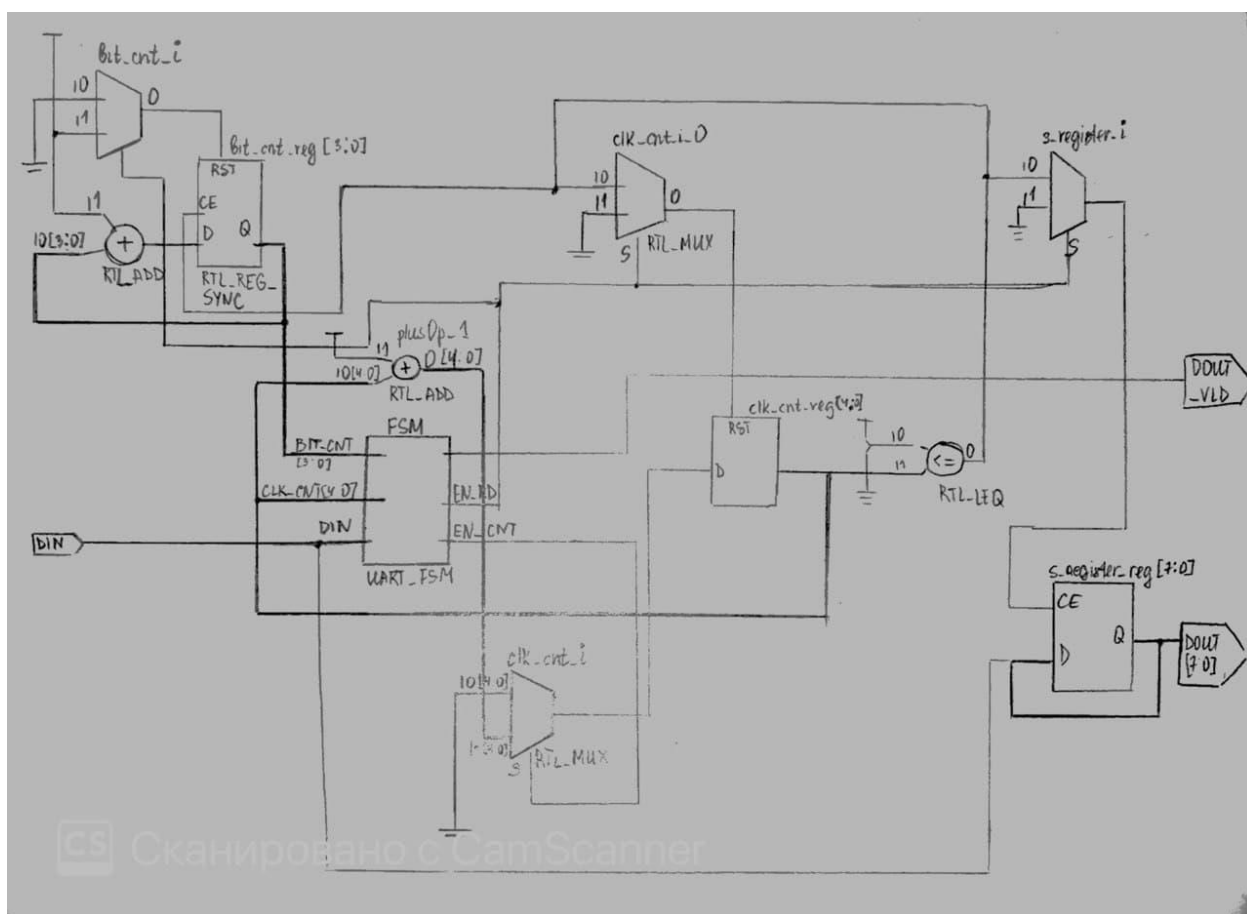
Projekt: UART – přijímací část

Jméno: Taipova Evgeniya

Login: xtaipo00

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu

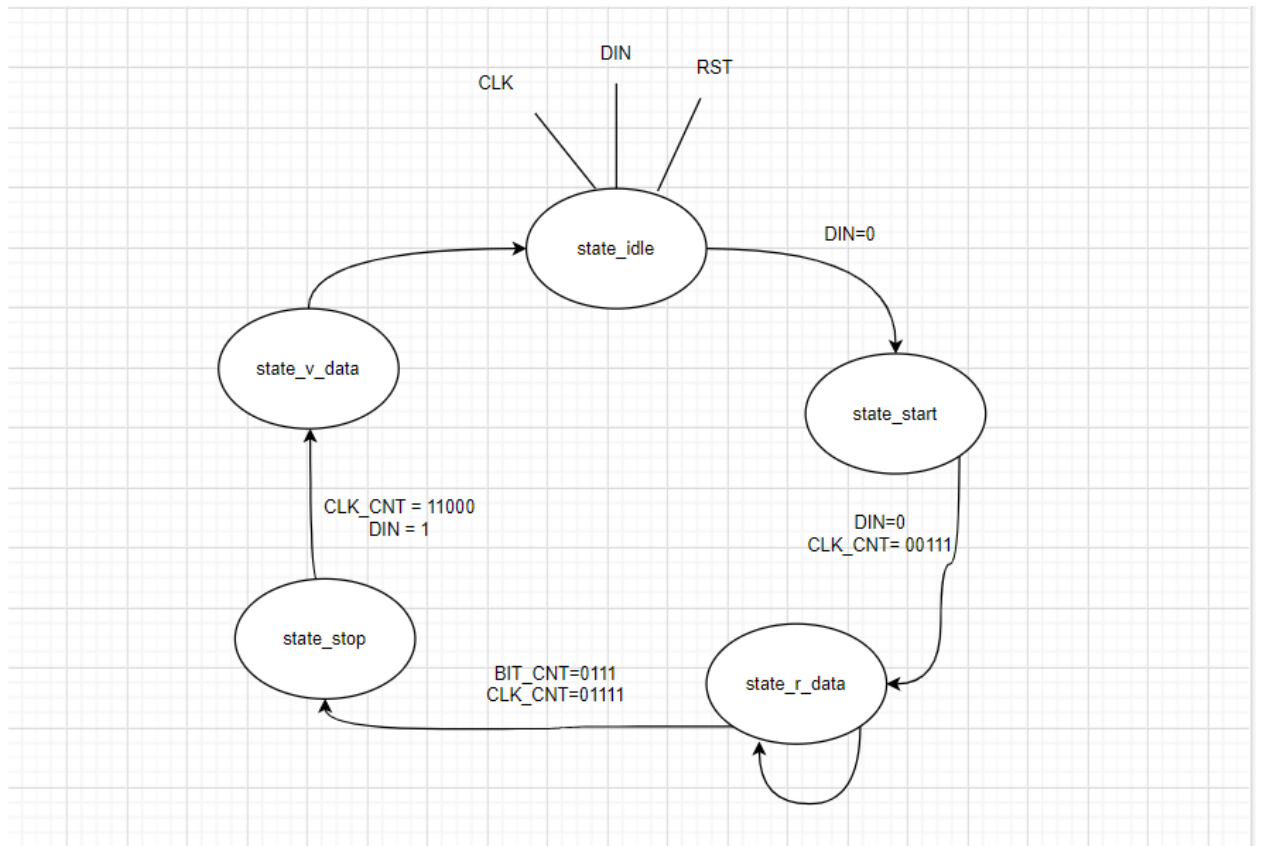


FSM má vstupy: BIT_CNT, CLK_CNT[4:0], DIN a výstupy EN_RD, EN_CNT a DOUT_VLD.

Data se také odesílají do s_register_reg[7:0] (který má vstupy: CE, D a výstup Q), kde se pomocí shift registr zpracovávají a odesílají se na výstup DOUT[7:0].

Návrh automatu (Finite State Machine)

Schéma automatu



FMS má 5 stavů. Automat přijímá data CLK, DIN, RST.

state_idle je první stav, který čeká, až se DIN=1 změní na DIN=0.

Pak přejde automat do druhého stavu **state_start**.

State_r_data je třetí stav, ve kterém jsou zapsána data.

Ctvrtý stav **state_stop** se objeví, když je přijato všech osm bitů.

Po pátém stavu se automat přepne zpět do prvního.

Snímek obrazovky ze simulací

