**Projekt-Statusbericht**

**Datum:** 23. Mai 2024

**Projekt:** Evaluation und Performance Benchmarking der STM32G4 internen Beschleunigereinheiten

**Teilnehmer:** Dylann, Malak, Yevgen

**Zusammenfassung:**

* **Projektstruktur und Zeitplan wurden in Jira vorgestellt:**
  + Vorgehensweise Hybrid mit 2-Wochen-Sprints
  + Verwendung von Epics für große Arbeitspakete mit festen Deadlines (z.B. Projektbericht, CORDIC-Software ohne Co-Prozessor)
  + Jira mit GitHub verknüpft
* **Die ADC-DAC-Passthrough** - Story aufteilen in kleinere Aufgaben.
* **Git-Repositories wurden eingerichtet:** für Quellcode und für Dokumentation

**Diskussion:**

* **Aufgabendefinitionen (vorläufig):**
  + **Aufgabe CORDIC:**
    - Generierung eines Sinussignals mit CORDIC-Algorithmus (oder math.h oder Lookup-Tabelle) ohne Co-Prozessor
    - Konfiguration des CORDIC-Co-Prozessors für die Generierung desselben Sinussignals
    - Messung der Ausführungszeit. Mögliche Varianten: im Debugger Zeitstempel auslesen, UART-Übertragung mit Zeitstempel, Ausgabe über DAC und Messung mit Oszi)
  + **Aufgabe FMAC:**
    - Generierung eines Sinussignals mit verschiedenen Frequenzen und Übertragung an ADC
    - Filtern des Signals mit FIR-Filter zur Ermittlung des Frequenzgangs
* **Hervorhebung des Bedarfs an Verständnis der STM32G4-Architektur und Hardware für die weitere Arbeit**

**3. Nächste Schritte:**

* **Alle Teammitglieder:** Einlesen in die STM32G4-Architektur (Datenblätter und Theorie)
* **Yevgen:** Klärung des Liefertermins der Nucleo-Boards
* **Yevgen:** Terminvereinbarung mit Prof. Jakob zur Konkretisierung der Aufgabenstellung und Klärung offener Fragen (z.B. Beschränkung auf eine Beschleunigungseinheit, Plattform)
* **Dylann:** Hochladen der Datenblätter
* **Dylann:** Implementierung von Polling Mode, Interrupt Mode und DMA Mode
* **Yevgen:** Das gleiche wie Dylann, ggf. Nachbearbeitung der Implementierung von Dylann (in diesem Sprint optional, falls Zeit vorhanden)
* **Malak:** Einarbeitung in Git & GitHub
* **Malak:** Verfassen des Theoriekapitels im Projektbericht und ggf. Strukturierung weiterer Kapitel

**Anhänge:** Zeitplan in Jira