

מעבדה במעגלים אלקטרוניים ספרתיים

LAB – 5

CMOS Inverter

מגישים:

אביתר כהן – 205913858
יונתן קופפר – 316061860

מבוא:

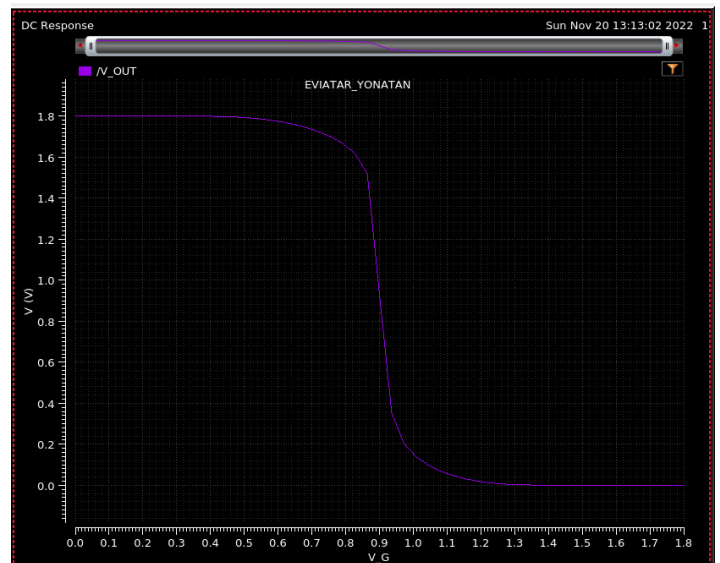
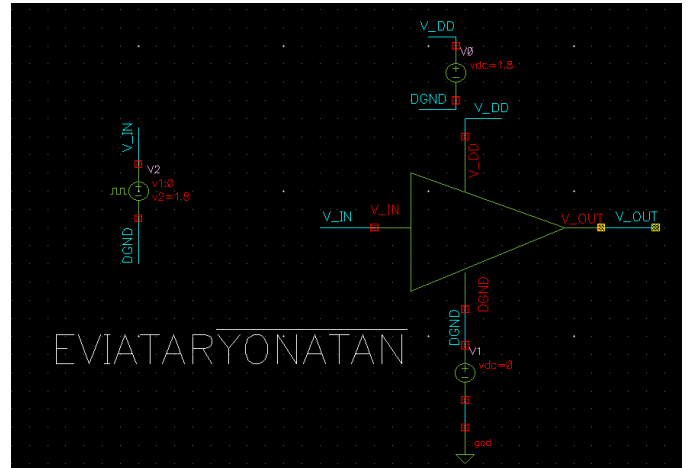
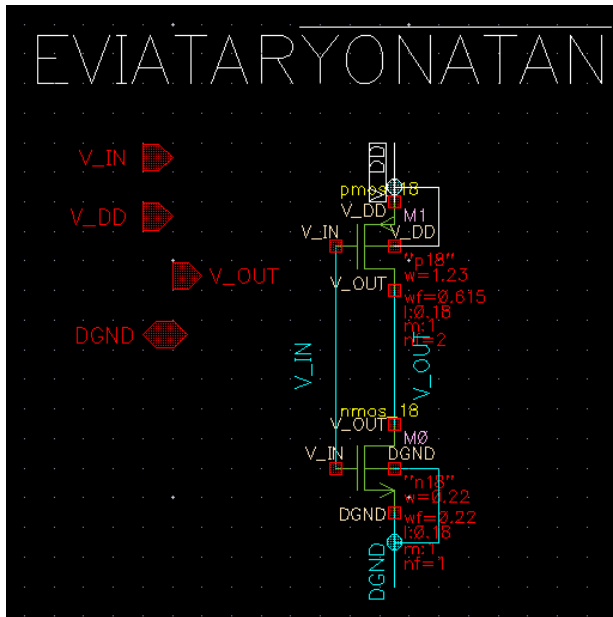
במעבדה נבנה מהפך באמצעות LAYOUT
נבחן את השוני בין הרצת LAYOUT ל Schematic
ונבחן את השפעת שינוי הפרמטרים השונים בטרנזיסטורים על
אופי המגבר.

הארכת ההגשה אושרה עד ה 07.12.2022

חלק א': 5.2)

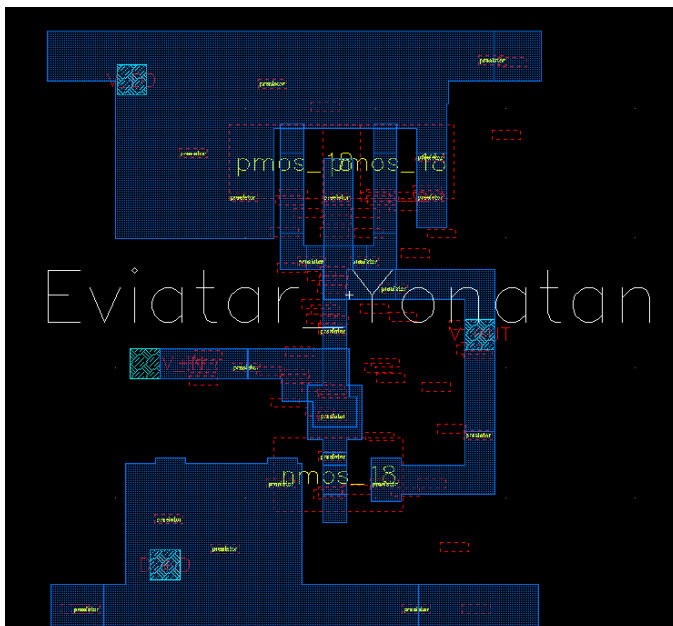
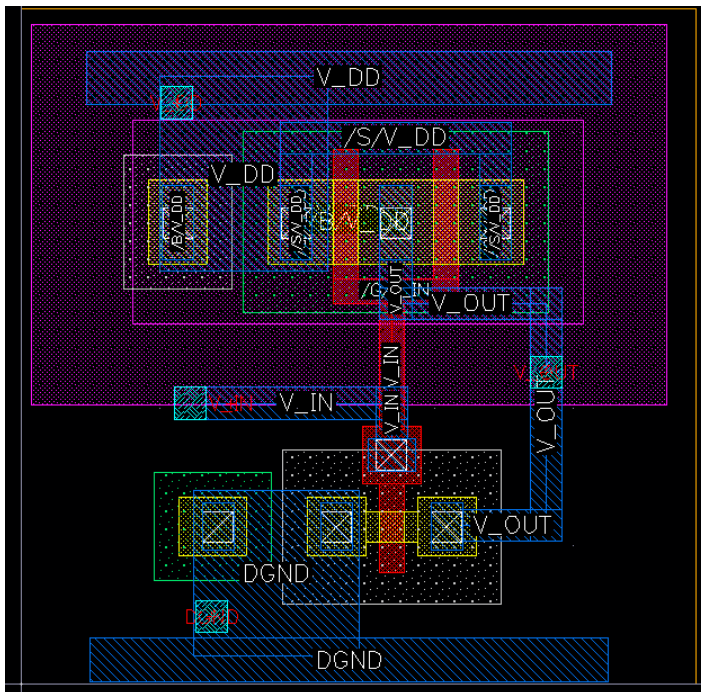
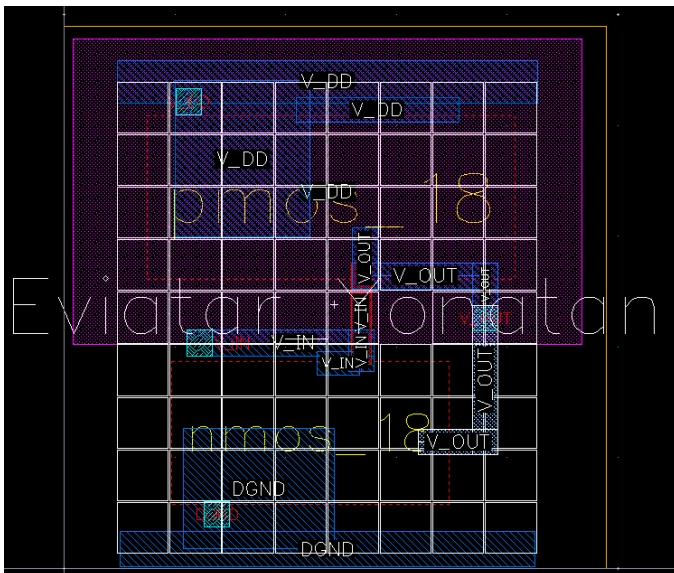
יצרנו מהפך בעזרת שימוש בPmosi Nmosa והגדרנו את הגדלים לפי $S = 2 + 0.1 \cdot G$ כאשר $G = 8$.

וניתן לראות בגרף הימני VTC של השער וכי השער תקין עבור $V_{DD} = 1.8V$.



לאחר מכן יצרנו Layout של השער לפי הפרמטרים הדרושים:

ניתן לראות את הפירוט בדף הבא:



חלק ב': (5.3)

1. כעת נבחן את ה TPD של הרכיב, ונשווה את התוצאות של ה schematic וה layout

TPD SCHEMATIC

Outputs Setup		Results	
Test	Name	Type	Details
introDigitalC...		signal	/V_OUT
introDigitalC...		signal	/V_IN
introDigitalC...	TPHL	expr	(cross(VT("/V_OUT") (0.5 * VAR("V_DD")) 1 "falling" nil nil) - cross(VT("/V_IN") (0.5 * VAR("V_DD")) 1 "rising" nil nil))
introDigitalC...	TPLH	expr	(cross(VT("/V_OUT") (0.5 * VAR("V_DD")) 1 "rising" nil nil) - cross(VT("/V_IN") (0.5 * VAR("V_DD")) 1 "falling" nil nil))
introDigitalC...	TPD	expr	((TPHL + TPLH) / 2)

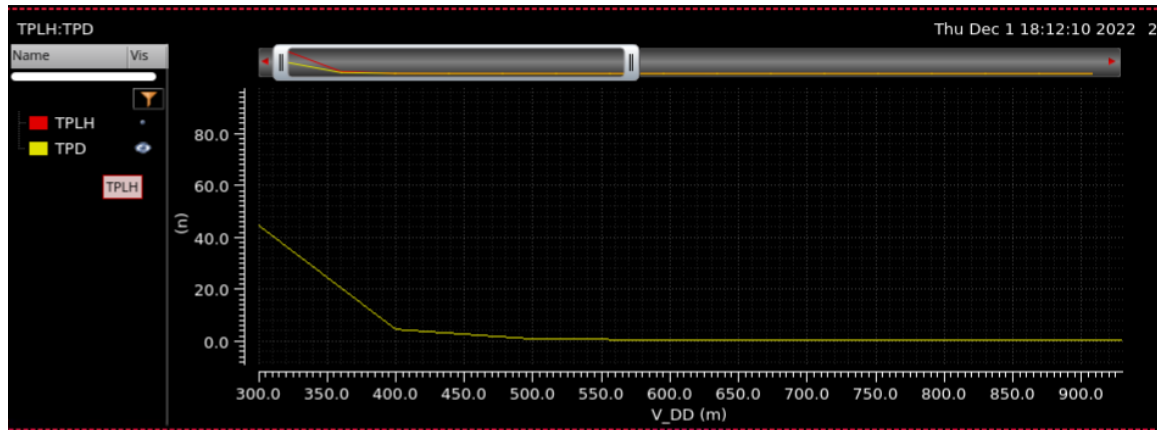
Test	Output	Nominal
introDigitalCircLab:TB_INV_LAB5_6:1	/V_OUT	
introDigitalCircLab:TB_INV_LAB5_6:1	/V_IN	
introDigitalCircLab:TB_INV_LAB5_6:1	TPHL	78.68p
introDigitalCircLab:TB_INV_LAB5_6:1	TPLH	66.72p
introDigitalCircLab:TB_INV_LAB5_6:1	TPD	72.7p

TPD LAYOUT

Test	Output	Nominal	Spec	Weight	Pass/Fail
introDigitalCircLab:LAB5-TB-INV:1	/V_OUT				
introDigitalCircLab:LAB5-TB-INV:1	/net1				
introDigitalCircLab:LAB5-TB-INV:1	tphl	143.5p			
introDigitalCircLab:LAB5-TB-INV:1	tplh	94.54p			
introDigitalCircLab:LAB5-TB-INV:1	tpd	119p			

נשים לב כי ה TPD של LAYOUT גדול יותר מה SCHEMATIC וזאת מכיוון שב LAYOUT יש התנגדויות וקיבולים פרזיטים, בגלל שיש יותר התנגדות יש פחות זרם שטוען ופורק את הקבל, והקבל הפרזיטי גורר קיבול גדול יותר לפריקה וטעינה, נזכור כי TPD פרופורציונלי למכפלה RC

2. בסעיף זה התבקשנו לבדוק את ה TPD כתלות במתח VDD.
להלן התוצאות:



Point	Test	Output	Nominal
1	IntroDigitalCircLab:TB_INV_LAB5_6:1	TPHL	623.5p
1	IntroDigitalCircLab:TB_INV_LAB5_6:1	TPLH	eval err
1	IntroDigitalCircLab:TB_INV_LAB5_6:1	TPD	eval err
Parameters: V_DD=200m			
2	IntroDigitalCircLab:TB_INV_LAB5_6:1	V_OUT	
2	IntroDigitalCircLab:TB_INV_LAB5_6:1	V_IN	
2	IntroDigitalCircLab:TB_INV_LAB5_6:1	TPHL	571.3p
2	IntroDigitalCircLab:TB_INV_LAB5_6:1	TPLH	eval err
2	IntroDigitalCircLab:TB_INV_LAB5_6:1	TPD	eval err
Parameters: V_DD=300m			
3	IntroDigitalCircLab:TB_INV_LAB5_6:1	V_OUT	
3	IntroDigitalCircLab:TB_INV_LAB5_6:1	V_IN	
3	IntroDigitalCircLab:TB_INV_LAB5_6:1	TPHL	527.2p
3	IntroDigitalCircLab:TB_INV_LAB5_6:1	TPLH	88.69n
3	IntroDigitalCircLab:TB_INV_LAB5_6:1	TPD	44.61n
Parameters: V_DD=400m			
4	IntroDigitalCircLab:TB_INV_LAB5_6:1	V_OUT	
4	IntroDigitalCircLab:TB_INV_LAB5_6:1	V_IN	
4	IntroDigitalCircLab:TB_INV_LAB5_6:1	TPHL	483.8p
4	IntroDigitalCircLab:TB_INV_LAB5_6:1	TPLH	8.556n
4	IntroDigitalCircLab:TB_INV_LAB5_6:1	TPD	4.52n
Parameters: V_DD=500m			
5	IntroDigitalCircLab:TB_INV_LAB5_6:1	V_OUT	
5	IntroDigitalCircLab:TB_INV_LAB5_6:1	V_IN	
5	IntroDigitalCircLab:TB_INV_LAB5_6:1	TPHL	440.2p
5	IntroDigitalCircLab:TB_INV_LAB5_6:1	TPLH	1.19n
5	IntroDigitalCircLab:TB_INV_LAB5_6:1	TPD	815p
Parameters: V_DD=600m			
6	IntroDigitalCircLab:TB_INV_LAB5_6:1	V_OUT	
6	IntroDigitalCircLab:TB_INV_LAB5_6:1	V_IN	
6	IntroDigitalCircLab:TB_INV_LAB5_6:1	TPHL	391.6p
6	IntroDigitalCircLab:TB_INV_LAB5_6:1	TPLH	499.9p
6	IntroDigitalCircLab:TB_INV_LAB5_6:1	TPD	445.8p

נשים לב כי ה TPD קטן ככול שמתח הספק VDD גדל.

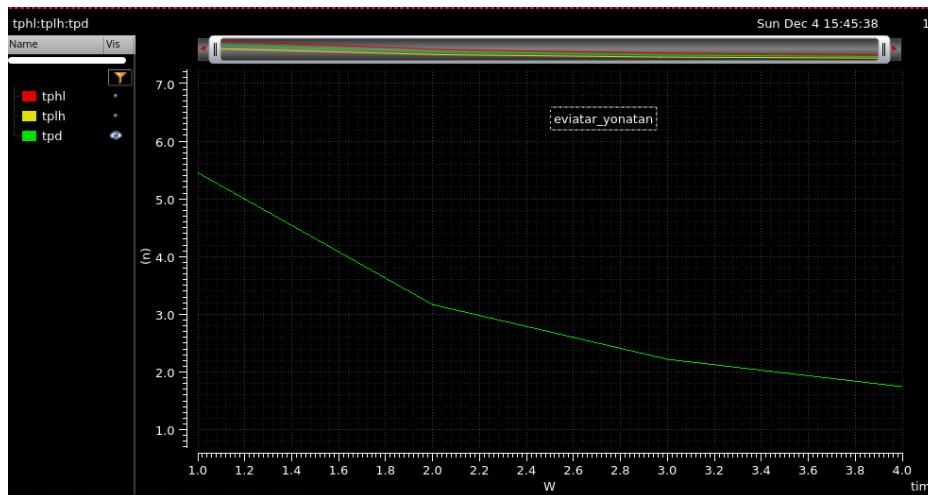
תופעה זו מתרחשת כיוון שמתח ספק גדול $V_{DS} \leftarrow$ גדול יותר, זרם חזק יותר שטוען ופורק את הקבל מהר יותר.

נוכל לראות כי בערכי VDD קטנים קיימת "שגיאה" בחישוב, זאת כיוון ש $V_{SG} = V_S(V_{DD}) - V_{gate}$ וכאשר מתח השער הוא 0, היינו רוצים שטרניזסטור ה PMOS יפתח. אך הוא נשאר במצב cutoff מכיוון שגם מתח

$$V_{DD} < |V_{Tp}| \text{ הספק עצמו כן ממתח הסף:}$$

3. כעת נגדיל את רוחב הטרנזיסטורים NMOS, PMOS עד פי 4 ממה שהיו קודם לכן ונבחן את ה TPD

להלן התוצאות:



ניתן לראות כי ככל שמגדילים את רוחב הטרנזיסטורים, ה TPD קטן. זאת מכיוון שכאשר אנחנו מרחיבים את הטרנזיסטורים אנחנו מרחיבים את התעלה וכך מזרימים בה יותר זרם. נוכל לתאר זאת על ידי המשוואה:

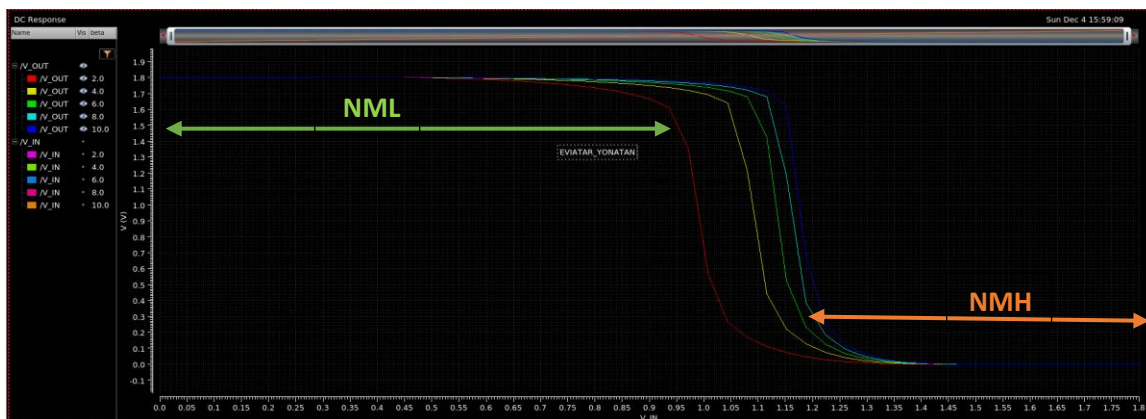
$$\int_{t_1}^{t_2} dt = \int_{v_1}^{v_2} \frac{C_{load}(V_{out})}{i(V_{out})} dV_{out}$$

$$\Delta t = \frac{C\Delta V}{I_{av}} \text{ או:}$$

ככל שנגדיל את הזרם, כך הזמן שלנו יקטן.

4. כעת נבחן את התלות של VTC ב β

להלן התוצאות:

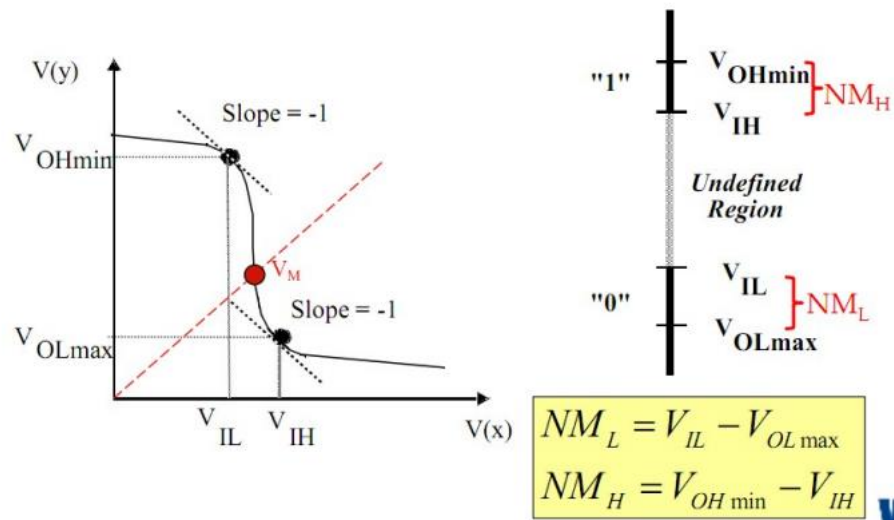


נשים לב כי ככול שאנו נגדיל את β , כך "נחזק" את ה PMOS, נקבל זרם גדול יותר ונשאר על מתח גבוה לאורך יותר זמן, תופעה זו מתרחשת כיוון שה VTC נקבע עפ"י יחס זרמי ה NMOS וה PMOS.

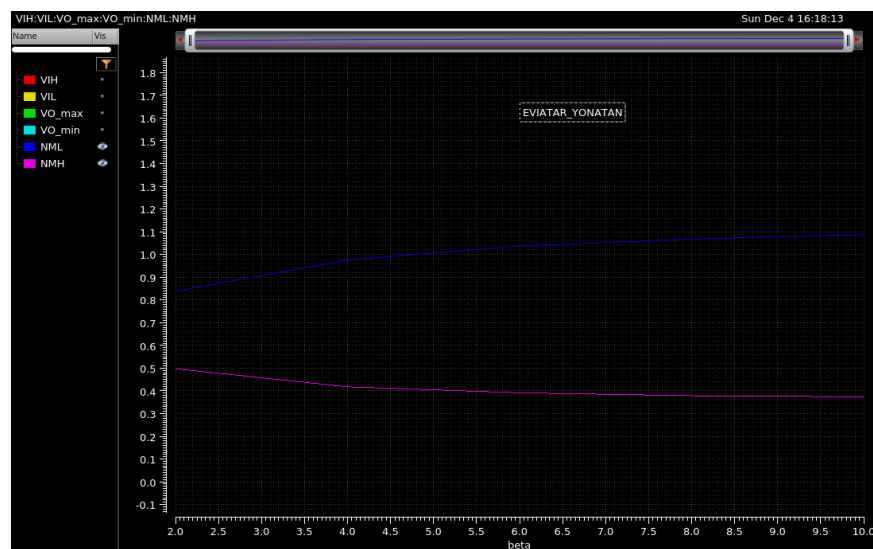
באופן שקול נוכל להקטין את W ב NMOS ולקבל תופעה זהה, שכן יחס הזרמים ישאר אותו יחס.

בנוסף, הבטא מתחיל ב2 ועובר דרך 4 (הקו הצהוב). ב4 אנחנו צריכים לראות את VM ב0.9. אבל אנחנו בעצם התחלנו מבטא = 5.6 כי הגדרנו את S להיות 28 ואז כפלנו בבטא

5. כעת נמדוד את שולי הרעש כתלות ב β .
נשים לב שעל מנת לחשב את שולי הרעש נעזר בתרשים הבא:



להלן התוצאות:



נשים לב כי בהתאם לתרשים שבסעיף 4 תוצאות אלה אכן תואמות, שכן הגדלת β תגדיל את NML ותקטין את NMH
ניתן לראות שהם לא מצטלבים כאן, כי נדרשנו לחשב החל מ $\beta=2$.
כמו כן, בעניין הבטא זה אותו הסבר כמו בסעיף הקודם.

סיכום ומסקנות:

במעבדה זו למדנו לבנות מהפך CMOS באמצעות LAYOUT ובחנו את השוני בין הרצת סימולציה דרך התרשים הסכמתי לבין ה LAYOUT

בחנו את השפעת גודלי רוחב הטרנזיסטורים יחדיו על ה TPD והשפעת הגדלת W בטרנזיסטור בודד על אופיין ה VTC ועל שולי הרעש.

ראינו את השפעות הקיבול הנגד וההתנגדויות הפרזיטיים על המעגל.

ראינו מדוע הגדלת W משפיעה על אופיין ה VTC באופן שביצענו בניסוי.