



UNIVERSIDADE FEDERAL DO RIO DE JANEIRO
ESCOLA POLITÉCNICA
DEPARTAMENTO DE ELETRÔNICA E DE COMPUTAÇÃO

Simulador de Análise nodal no Domínio do Tempo

Ewerton Vasconcelos da Silva
Gabriel Silva Lopes

Prof. Antônio Carlos Moreirão Queiroz

Trabalho da disciplina de Circuitos Elé-
tricos II

Rio de Janeiro, 28 de Novembro de 2018

Lista de Figuras

Figura 2.1: Circuito RCL	4
Figura 2.2: Saída da fonte no nó 1	4
Figura 2.3: Resultado da simulação do circuito RCL no nó 2	5
Figura 2.4: Resultado da simulação do circuito RCL no nó 3	5
Figura 2.5: Circuito de teste de Portas Lógicas	6
Figura 2.6: Fonte de teste 1 para portas lógicas	7
Figura 2.7: Fonte de teste 2 para portas lógicas	7
Figura 2.8: Resultado da simulação da porta AND	8
Figura 2.9: Resultado da simulação da porta NAND	8
Figura 2.10: Resultado da simulação da porta OR	9
Figura 2.11: Resultado da simulação da porta NOR	9
Figura 2.12: Resultado da simulação do circuito flipflop com portas lógicas divisor por 2	10
Figura 2.13: Resultado da simulação do flip-flop com portas lógicas no nó 1 . .	11
Figura 2.14: Resultado da simulação do flip-flop com portas lógicas no nó 5 . .	11
Figura 2.15: Resultado da simulação do flip-flop com portas lógicas no nó 7 . .	12
Figura 2.16: Resultado da simulação do circuito contador rápido	13

Figura 2.17: Resultado da simulação do contador rápido no nó 1	13
Figura 2.18: Resultado da simulação do contador rápido no nó 2	14
Figura 2.19: Resultado da simulação do contador rápido no nó 3	14
Figura 2.20: Resultado da simulação do contador rápido no nó 4	15
Figura 2.21: Resultado da simulação do contador rápido no nó 5	15
Figura 2.22: Resultado da simulação do circuito divisor	17
Figura 2.23: Resultado da simulação do divisor no nó 1	17
Figura 2.24: Resultado da simulação do divisor no nó 2	18
Figura 2.25: Resultado da simulação do divisor no nó 3	18
Figura 2.26: Resultado da simulação do divisor no nó 4	19
Figura 2.27: Resultado da simulação do divisor no nó 5	19
Figura 2.28: Circuito com monoestável	20
Figura 2.29: Resultado do circuito com monoestáveis no nó 1	21
Figura 2.30: Resultado do circuito com monoestáveis no nó 2	21
Figura 2.31: Resultado do circuito com monoestáveis no nó 4	22
Figura 2.32: Resultado do circuito com monoestáveis no nó 6	22

Lista de Códigos

2.1	rcl.net	3
2.2	portas-logicas.net	6
2.3	flipflop.net	10
2.4	contador.net	12
2.5	divisor.net	16
2.6	divisor.net	20

Sumário

Lista de Figuras	i
Lista de Códigos	iii
1 Introdução	1
2 Resultados	2
2.1 Circuito RCL - Resistor, capacitor e indutor	3
2.2 Circuito de teste de Portas Lógicas	5
2.3 Circuito Flip-Flop com portas lógicas ligado como divisor por 2 . . .	9
2.4 Circuito Contador Rápido - Flip-Flops Tipo D e Fonte Pulsada . . .	12
2.5 Circuito Divisor de frequência - Flip-Flops Tipo D com Reset	16
2.6 Circuito com Monoestável	20
3 Conclusão	23

Capítulo 1

Introdução

Este trabalho consiste em desenvolver um programa para análise de circuitos lineares e não lineares no domínio do tempo. A base deste projeto é o trabalho do Prof. Antônio Carlos Moreirão de Queiroz, que disponibilizou seu programa MNAE para conferirmos nossos resultados. Os circuitos testados foram lidos através de um netlist específico (em arquivos .net). Nosso programa utiliza análise nodal modificada com o auxílio do método eNewton-Raphson iterativo para linearização de componentes e o método "Backward", ou implícito, de Euler para a aproximação de integrais. Este último método é definido pela equação:

$$y(t_o + \Delta t) = y(t_o) + \int_{t_o}^{t_o + \Delta t} x(t)dt \approx y(t_o) + \Delta t(x(t_o + \Delta t))$$

Os resultados dos circuitos são gerados em formato de tabela, tal que torna possível a visualização dos resultados através do programa MNAE. O desenvolvimento deste projeto foi guiado pelos resultados comparativos com a resolução do programa do Prof. Antônio Carlos Moreirão de Queiroz.

Capítulo 2

Resultados

Abaixo serão mostrados alguns resultados de simulações para demonstrar o funcionamento do simulador de acordo com sua proposta inicial, que é a implementação dos seguintes componentes (entre parêntesis estão suas representações nos netlists):

- Resistor (R)
- Indutor (L)
- Capacitor (C)
- Fonte de Tensao (V)
- Fonte de Corrente (I)
- Fonte de tensão controlada por tensão (E)
- Fonte de tensão controlada por corrente (H)
- Fonte de corrente controlada por tensão (G)
- Fonte de corrente controlada por corrente (F)
- Amplificador Operacional ideal (O)
- AND ())

- NAND (())
- OR ({ })
- NOR) })
- Flip-Flop (%)
- Monoestável (!)
- Reset (@)

2.1 Circuito RCL - Resistor, capacitor e indutor

Com o circuito **RCL** Podemos testar o funcionamento do simulador com os 3 componentes (*Resistor, Capacitor e Indutor*).

Código 2.1: rcl.net

```
RLC
R0102 1 2 1
L0300 3 0 100E-3
C0103 1 3 1.5E-4
V0200 2 0 PULSE 10 0.1 0 0 0 2 2 1
.TRAN 10 0.00005 BE 1
```

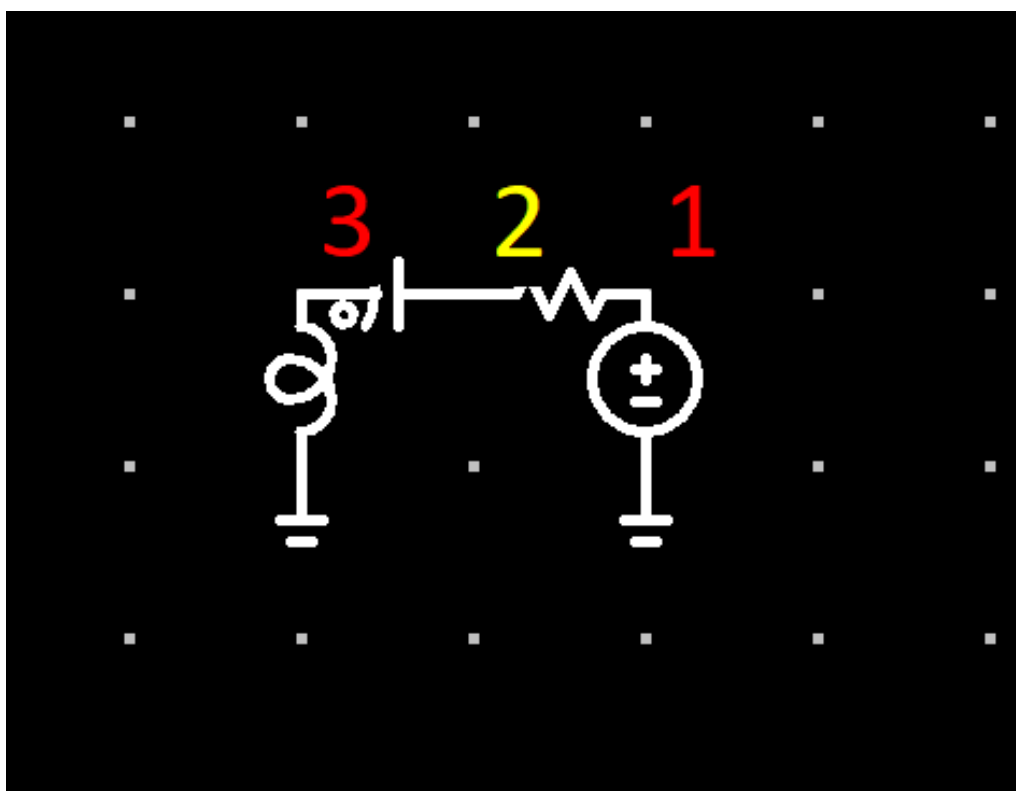



Figura 2.1: Circuito RCL

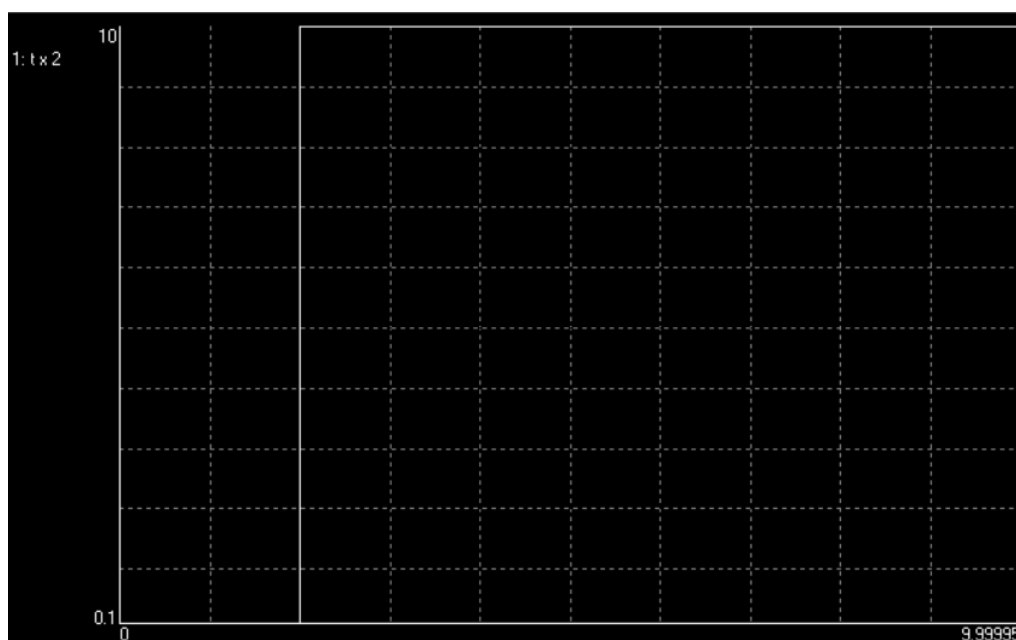


Figura 2.2: Saída da fonte no nó 1

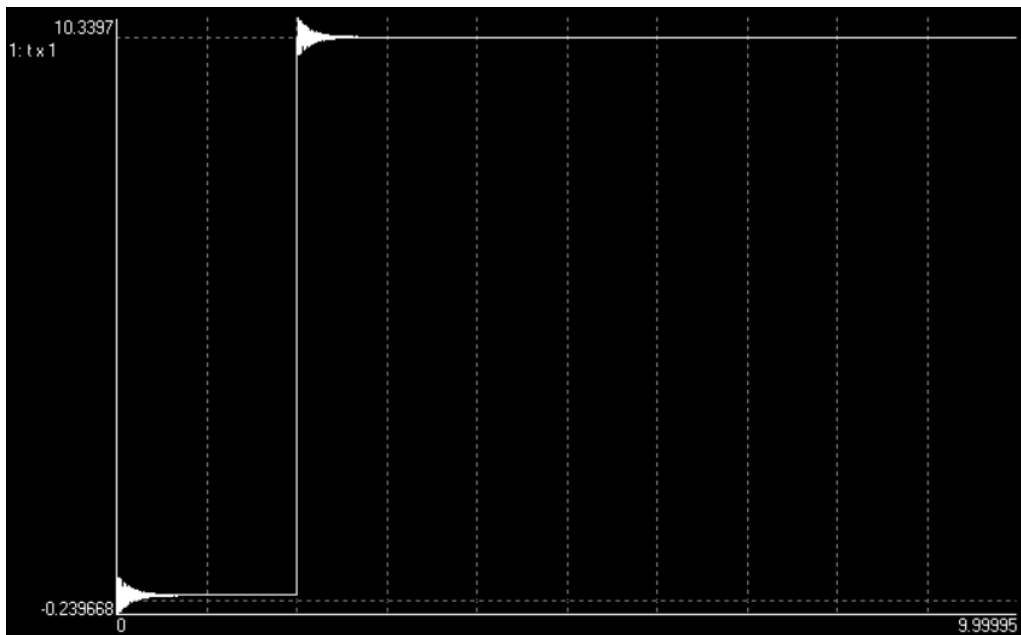


Figura 2.3: Resultado da simulação do circuito RCL no nó 2

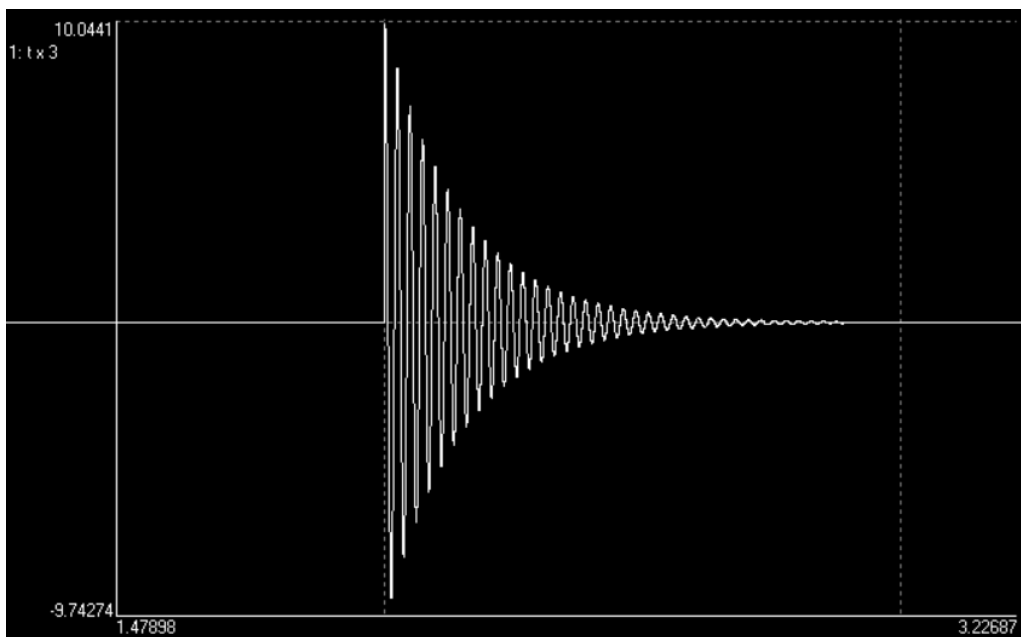


Figura 2.4: Resultado da simulação do circuito RCL no nó 3

2.2 Circuito de teste de Portas Lógicas

Com o circuito **Portas Lógicas** visualizamos os resultados das implementações das seguintes portas: AND, NAND, OR e NOR.

Código 2.2: portas-logicas.net

```

6
R0100 1 0 1000
R0200 2 0 1000
R0300 3 0 1000
R0400 4 0 1000
)0506 5 6 1 5 1000 10E-12 2
(0506 5 6 2 5 1000 10E-12 2
}0506 5 6 3 5 1000 10E-12 2
{0506 5 6 4 5 1000 10E-12 2
V0500 5 0 PULSE 0 5 0 10E-6 10E-6 0 20E-6 1
V0600 6 0 PULSE 0 5 0 1E-6 1E-6 0 2E-6 10
.TRAN 10E-6 10E-9 BE 1 UIC

```

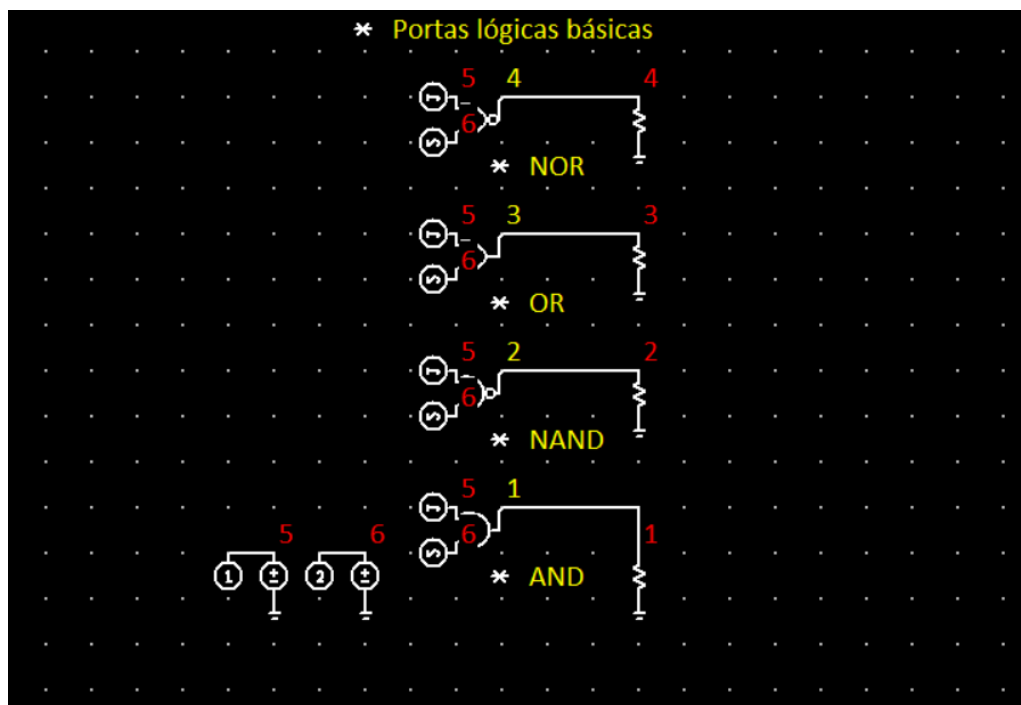


Figura 2.5: Circuito de teste de Portas Lógicas

As fontes de teste foram as seguintes:

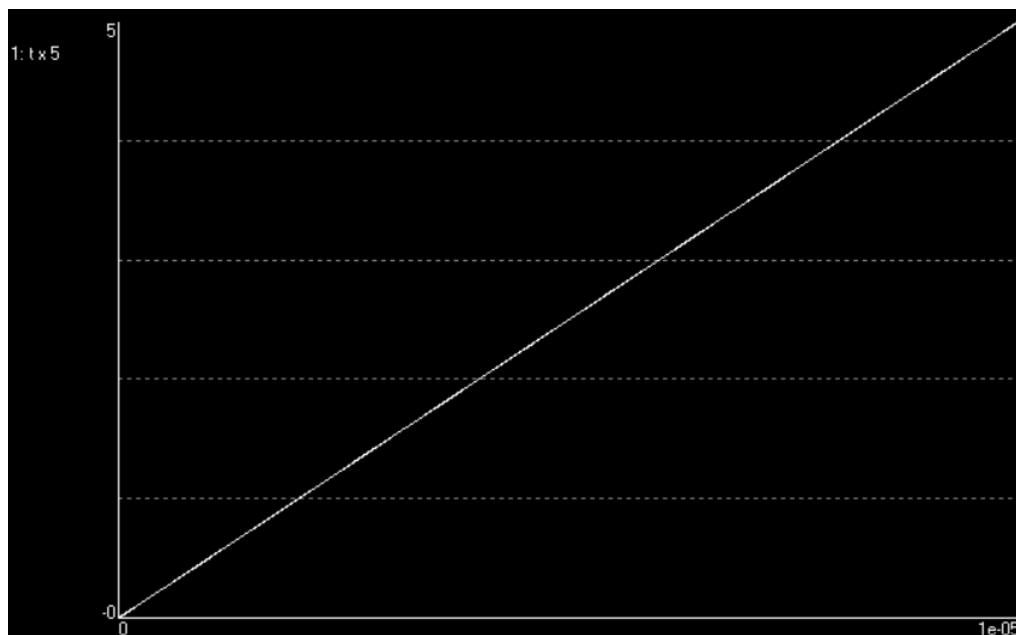


Figura 2.6: Fonte de teste 1 para portas lógicas

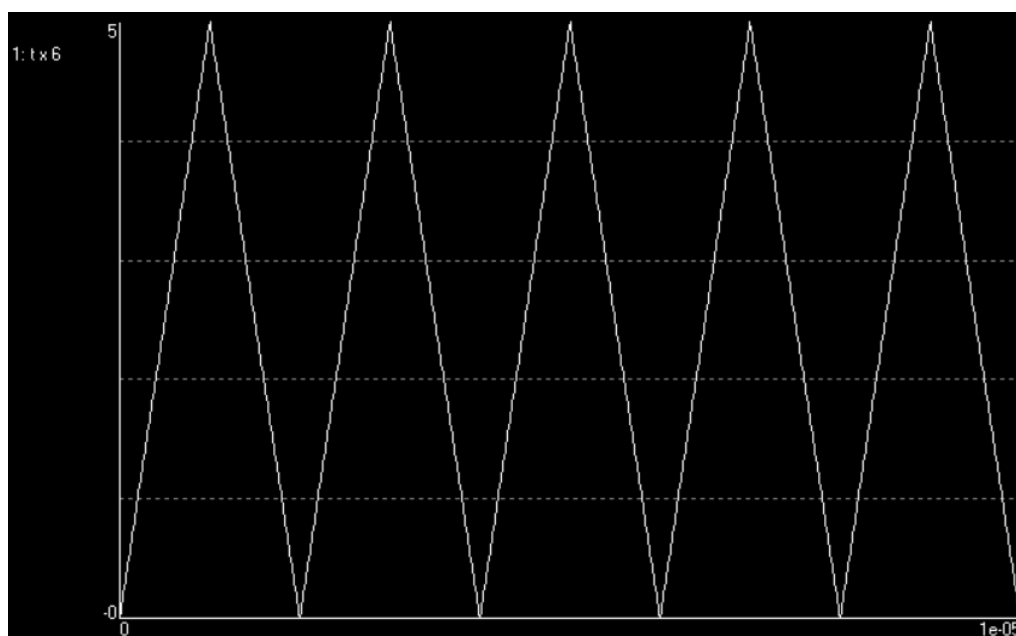


Figura 2.7: Fonte de teste 2 para portas lógicas

Os resultados obtidos nas portas lógicas foram:

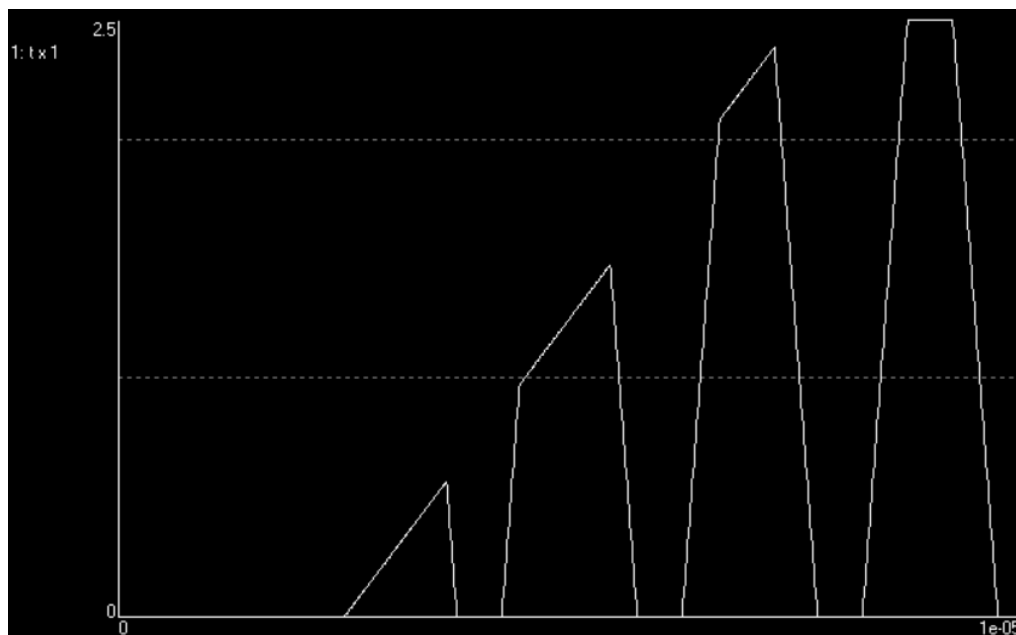


Figura 2.8: Resultado da simulação da porta AND

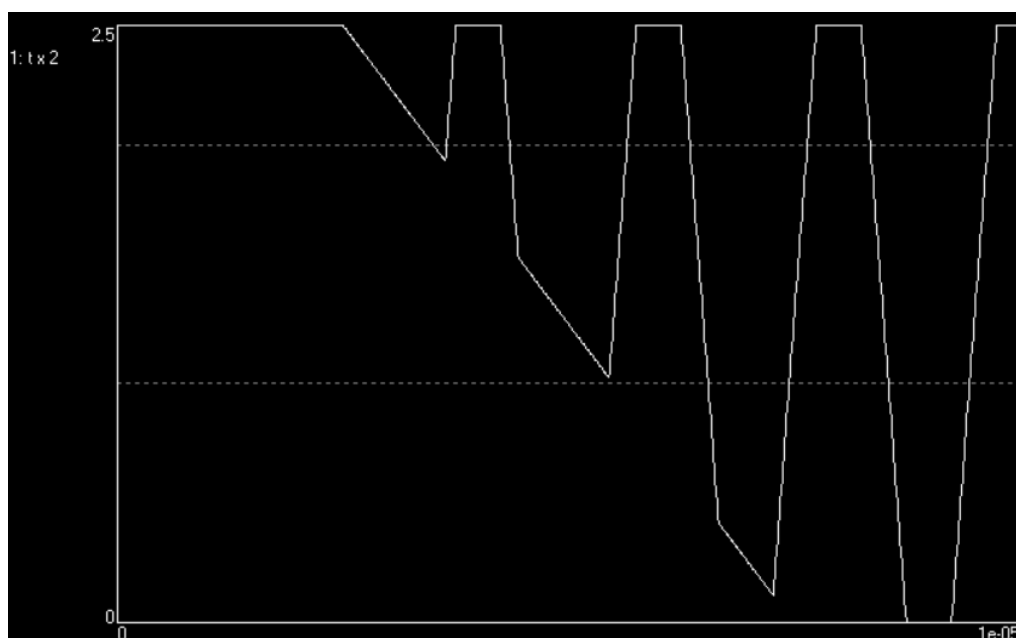


Figura 2.9: Resultado da simulação da porta NAND

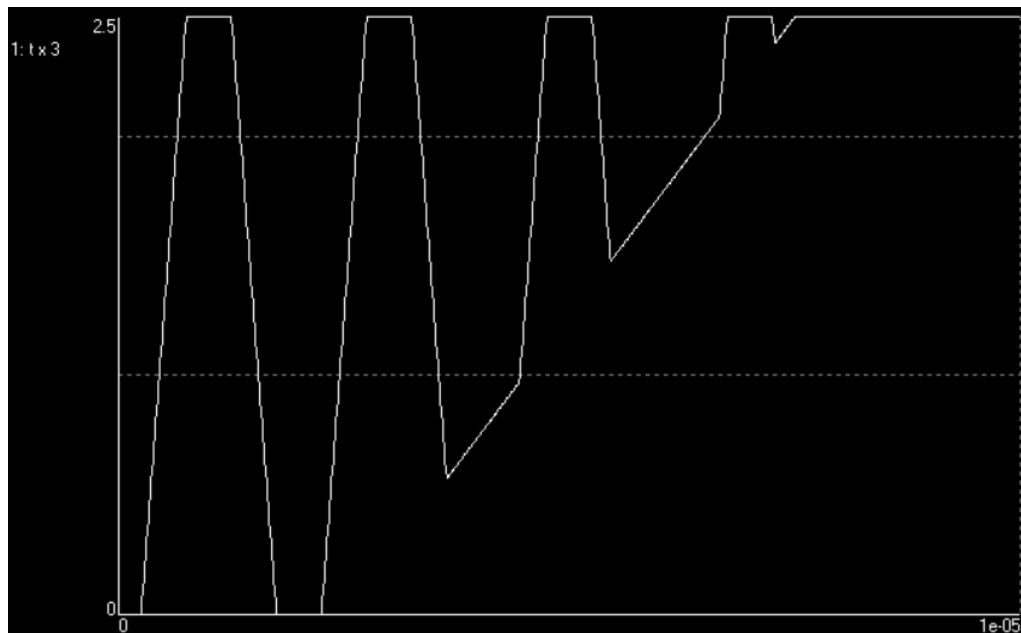


Figura 2.10: Resultado da simulação da porta OR

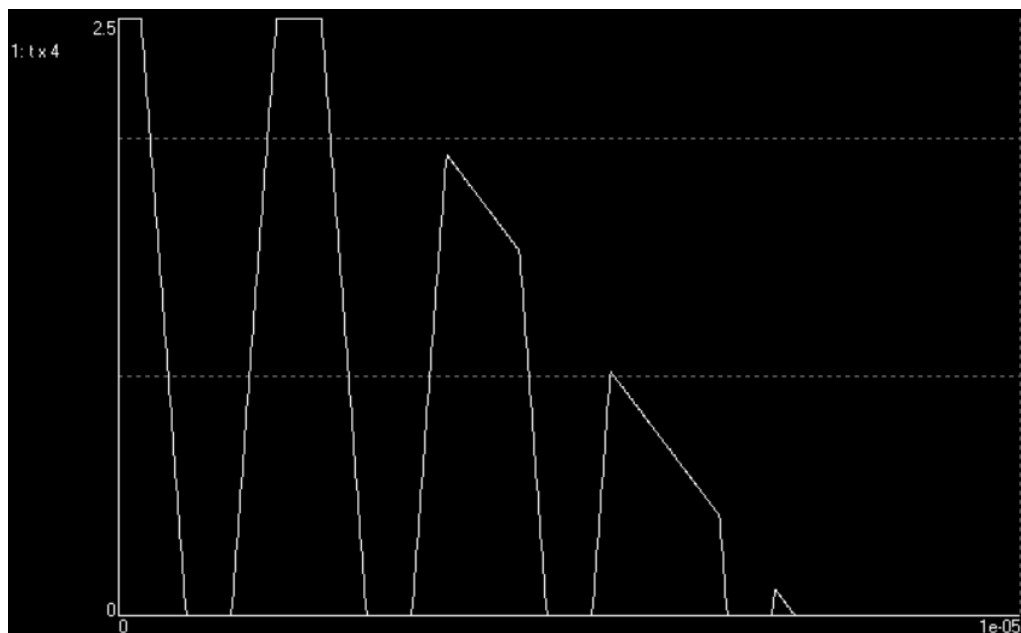


Figura 2.11: Resultado da simulação da porta NOR

2.3 Circuito Flip-Flop com portas lógicas ligado como divisor por 2

Com esse circuito podemos testar o funcionamento do simulador com diversas portas lógicas.

2.3. CIRCUITO FLIP-FLOP COM PORTAS LÓGICAS LIGADO COMO DIVISOR POR 2

10

Código 2.3: flipflop.net

```
8
)0102 1 2 3 5 1000 10e-12 10
(0405 4 5 6 5 1000 10e-12 10
(0306 3 6 4 5 1000 10e-12 10
(0704 7 4 5 5 1000 10e-12 10
(0801 8 1 2 5 1000 10e-12 10
(0205 2 5 7 5 1000 10e-12 10
(0602 6 2 8 5 1000 10e-12 10
V0100 1 0 PULSE 0 5 1E-6 10E-9 10E-9 0.5E-6 1E-6 5
.TRAN 10E-6 1E-9 BE 1 UIC
```

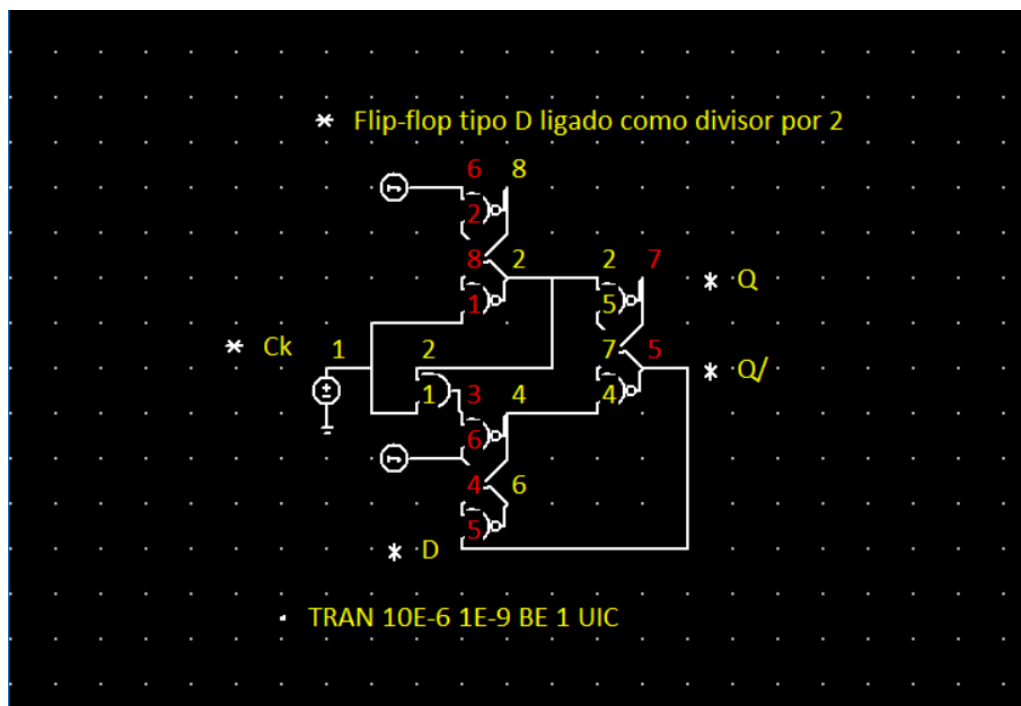


Figura 2.12: Resultado da simulação do circuito flipflop com portas lógicas divisor por 2

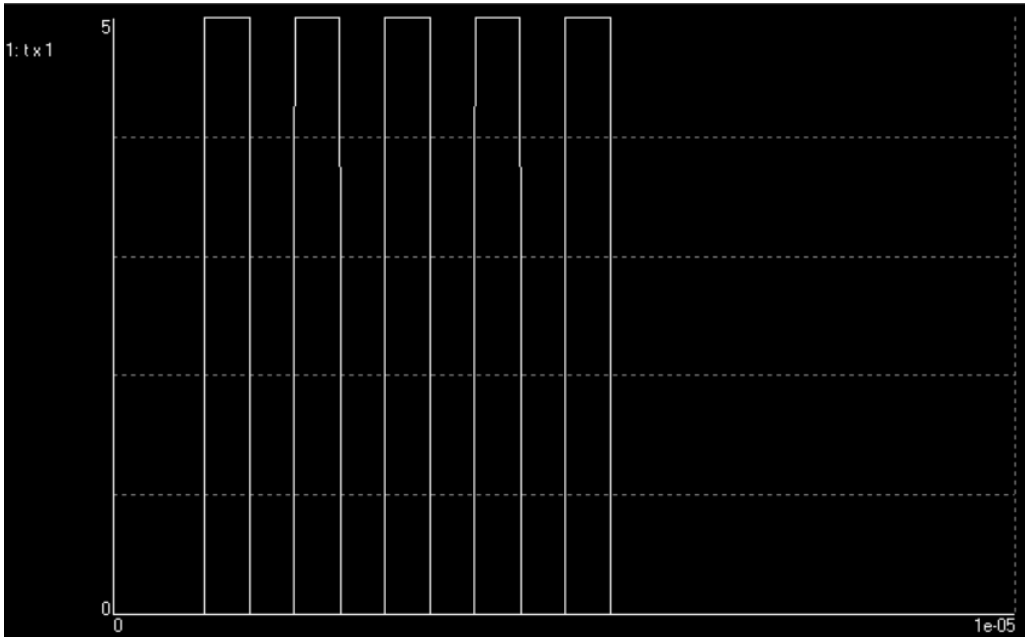


Figura 2.13: Resultado da simulação do flip-flop com portas lógicas no nó 1

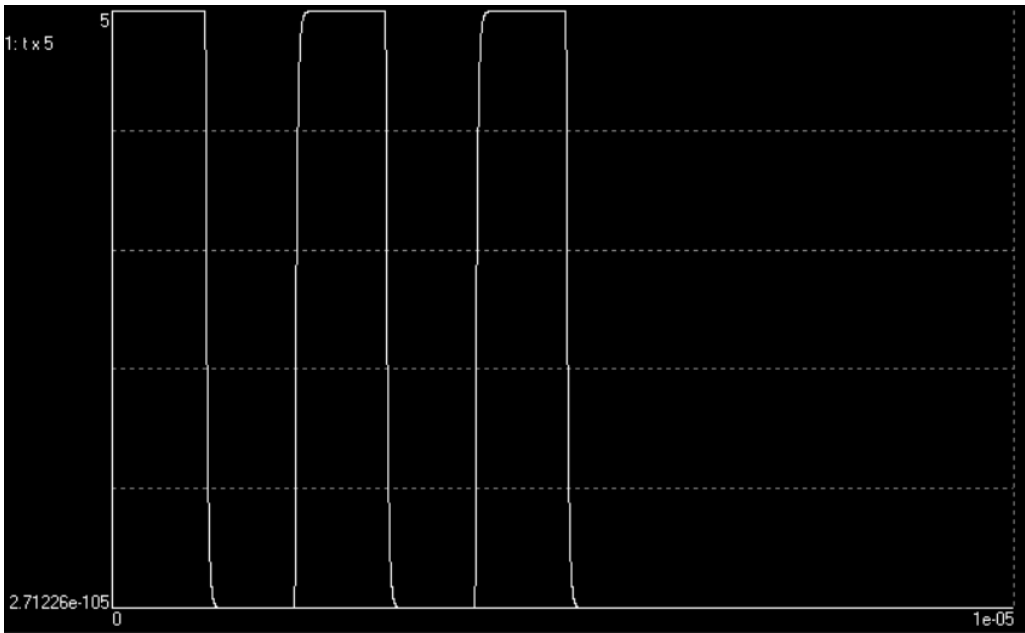


Figura 2.14: Resultado da simulação do flip-flop com portas lógicas no nó 5

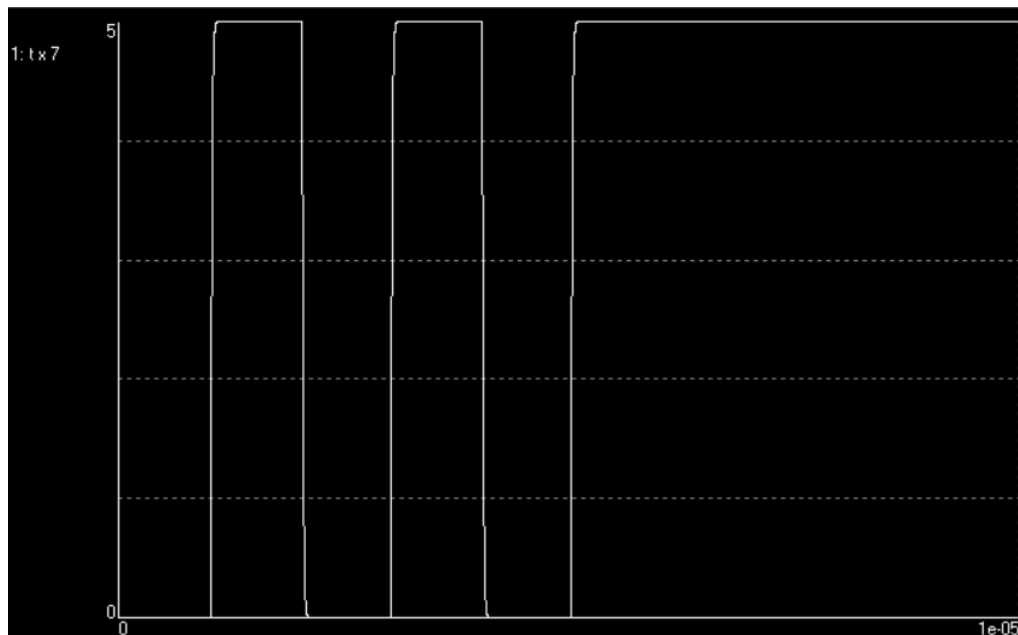


Figura 2.15: Resultado da simulação do flip-flop com portas lógicas no nó 7

2.4 Circuito Contador Rápido - Flip-Flops Tipo D e Fonte Pulsada

Com o circuito **contador** podemos testar o funcionamento do simulador com FlipFlops.

Código 2.4: contador.net

```
7
R0102 1 2 20000
R0304 3 4 10000
%0506 5 6 6 7 5 1000 10e-12
%0201 2 1 1 6 5 1000 10e-12
%0403 4 3 3 1 5 1000 10e-12
V0700 7 0 PULSE 0 5 1E-9 1E-9 1E-9 10E-9 20E-9 1000
.TRAN 1000E-9 0.1E-9 BE 1 UIC
```

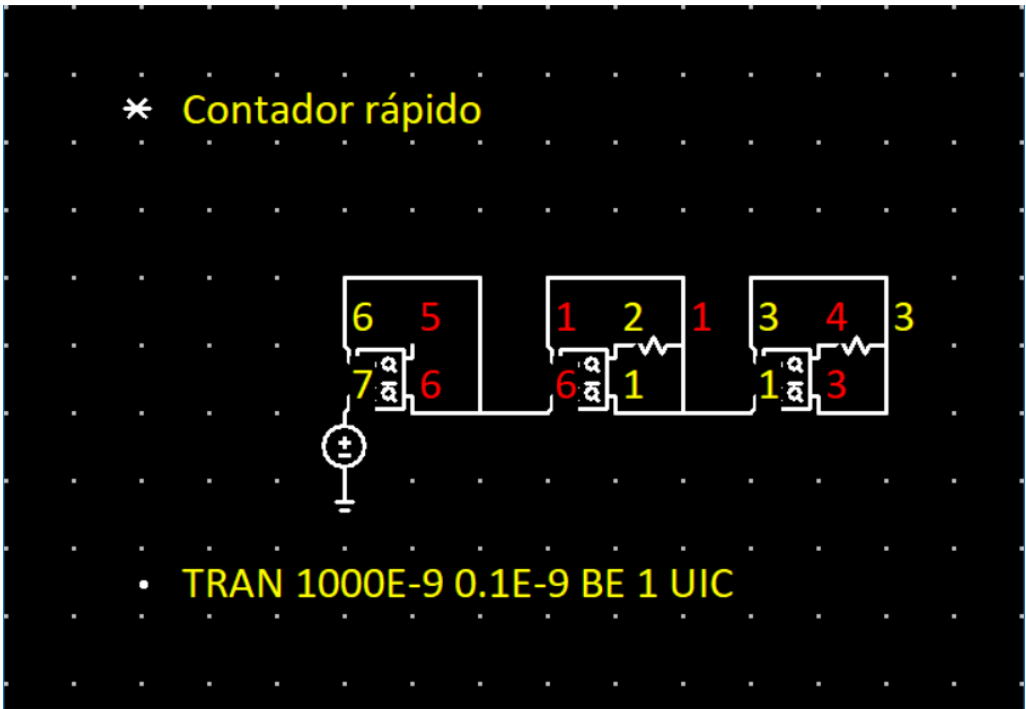


Figura 2.16: Resultado da simulação do circuito contador rápido

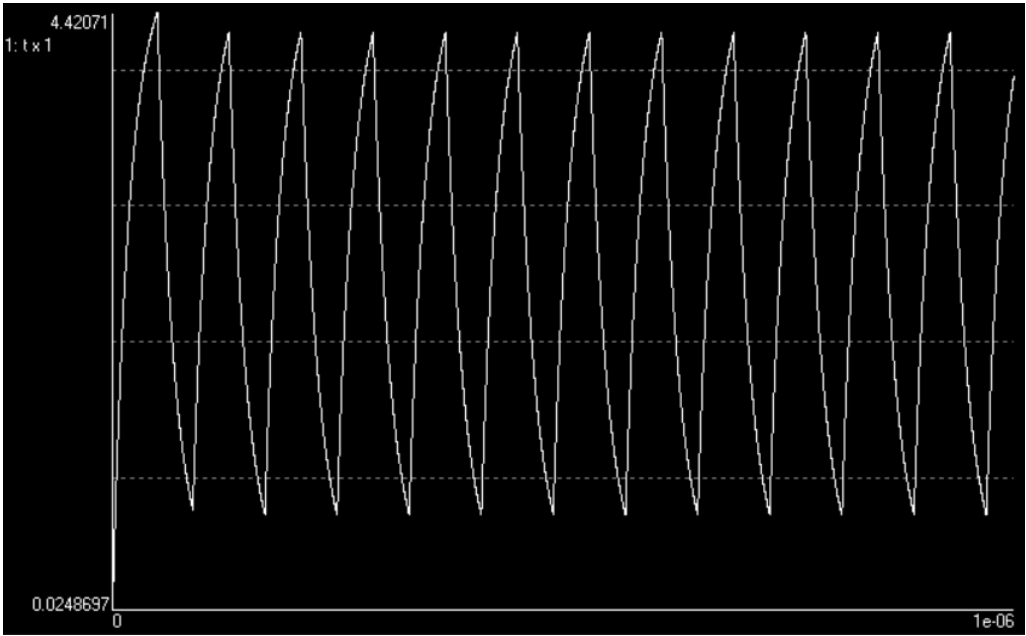


Figura 2.17: Resultado da simulação do contador rápido no nó 1

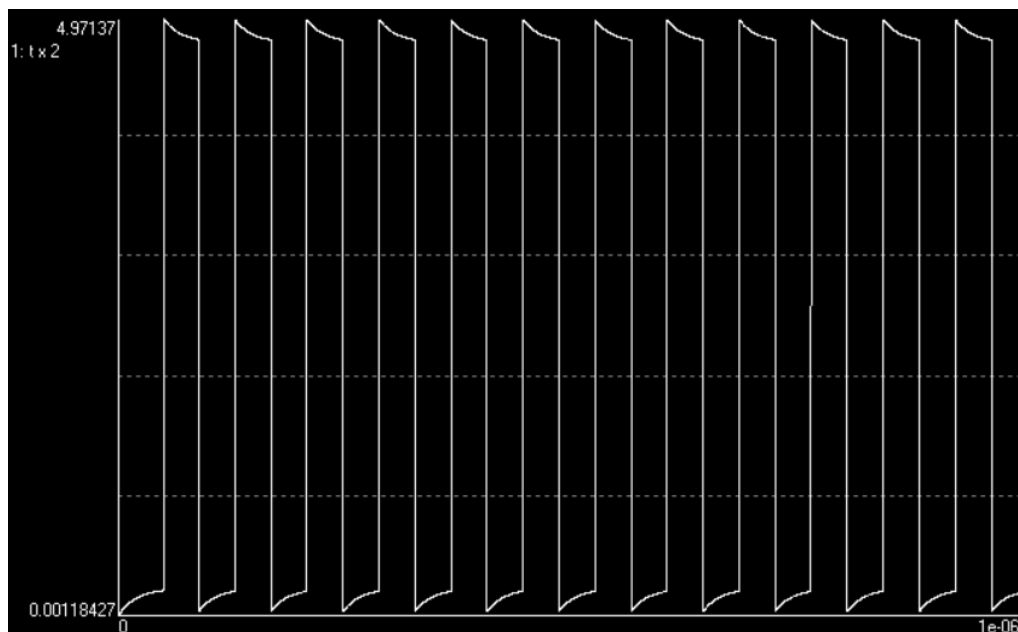


Figura 2.18: Resultado da simulação do contador rápido no nó 2

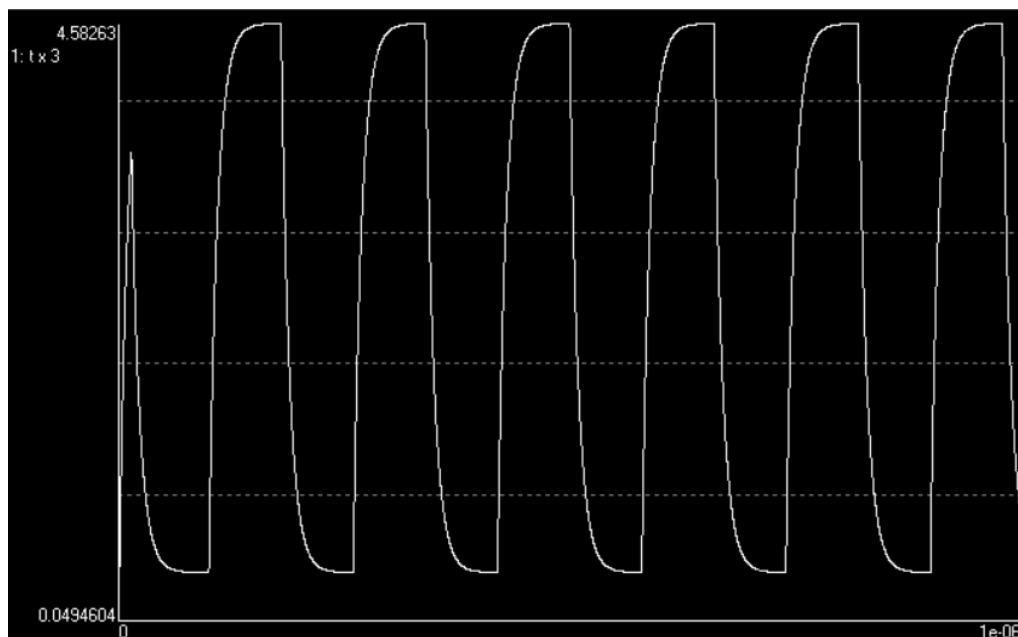


Figura 2.19: Resultado da simulação do contador rápido no nó 3

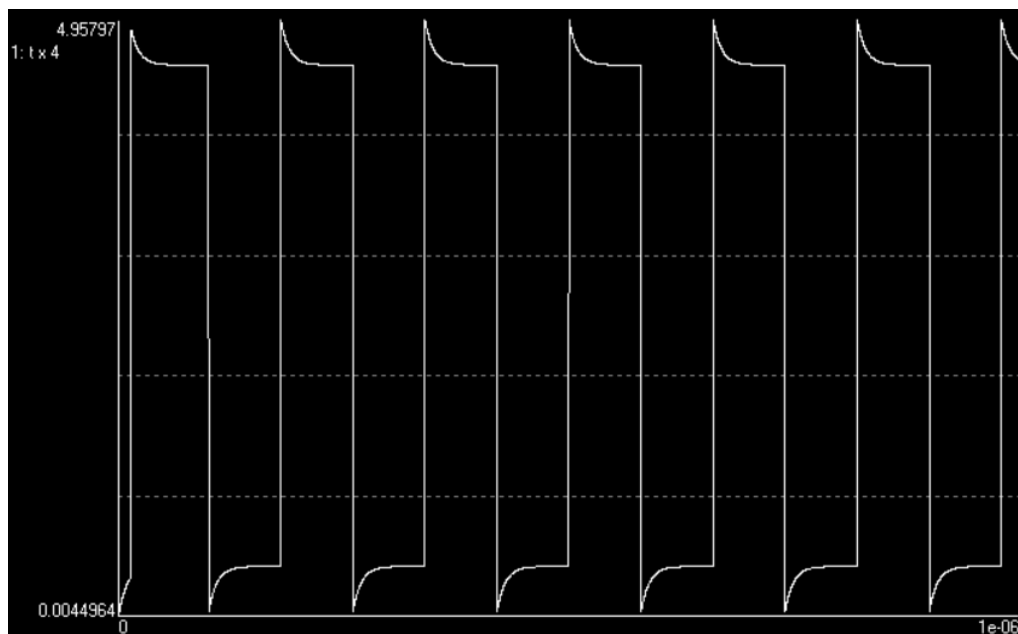


Figura 2.20: Resultado da simulação do contador rápido no nó 4

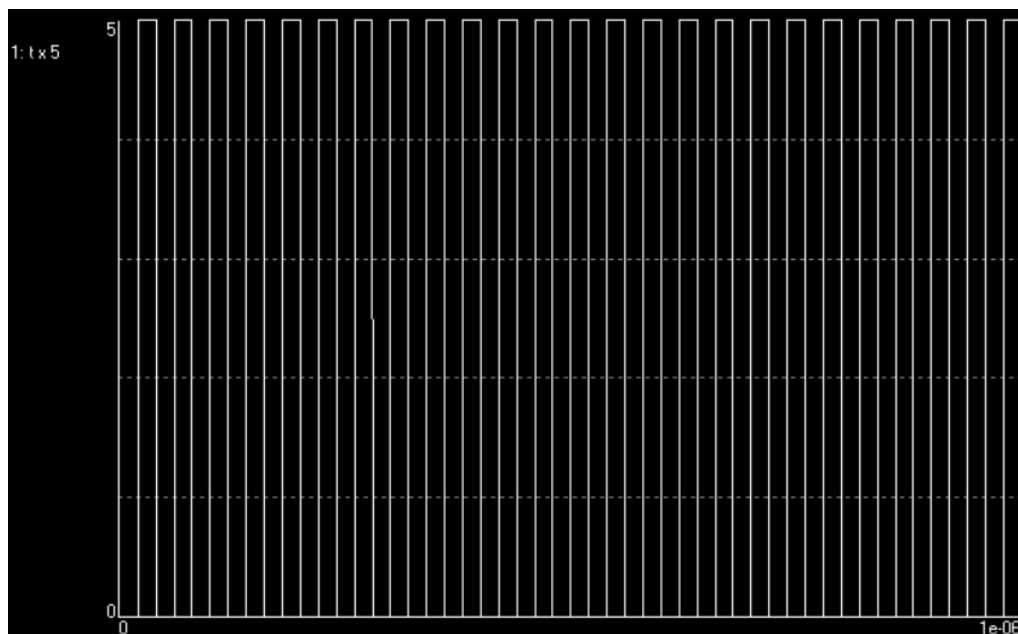


Figura 2.21: Resultado da simulação do contador rápido no nó 5

2.5 Circuito Divisor de frequência - Flip-Flops Tipo D com Reset

Com o circuito **divisor** Podemos testar o funcionamento do simulador com Flip-Flops tipo D com Reset.

Código 2.5: divisor.net

```
12
R0102 1 2 1E6
R0103 1 3 2E6
R0104 1 4 4E6
R0105 1 5 8E6
!XXX 6 7 5 10E-12
%0508 5 8 8 9 !XXX 5 1000 10E-12
%0410 4 10 10 8 !XXX 5 1000 10E-12
%0311 3 11 11 10 !XXX 5 1000 10E-12
%0212 2 12 12 11 !XXX 5 1000 10E-12
)0204 2 4 7 5 1000 10E-12 10
V0900 9 0 PULSE 0 5 0.5E-3 1E-9 1E-9 0.5E-3 1E-3 1000
.TRAN 30E-3 30E-6 BE 1 UIC
```

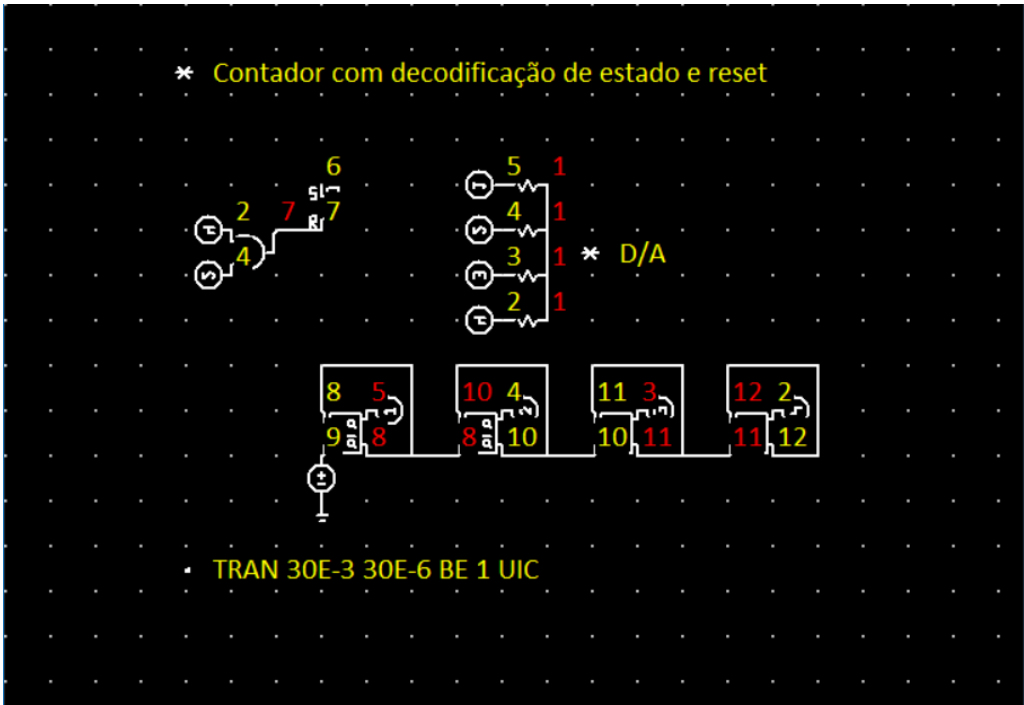


Figura 2.22: Resultado da simulação do circuito divisor

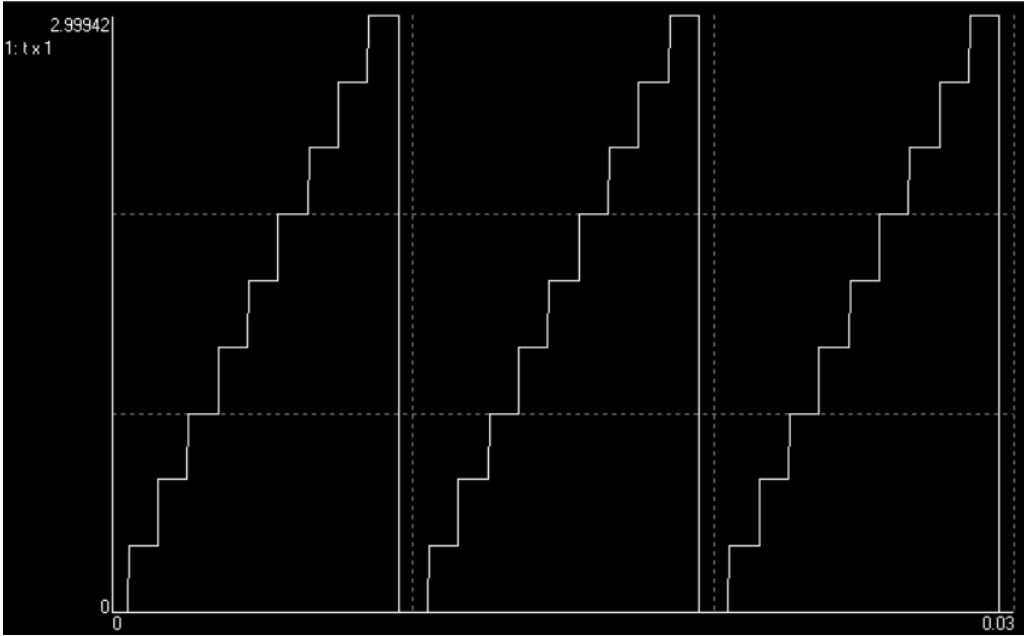


Figura 2.23: Resultado da simulação do divisor no nó 1

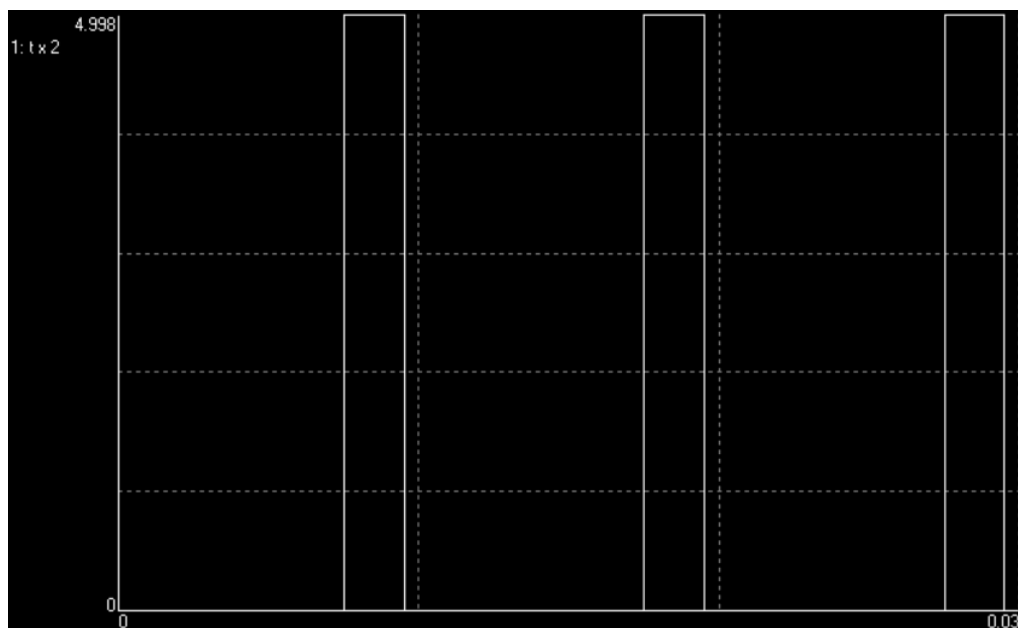


Figura 2.24: Resultado da simulação do divisor no nó 2

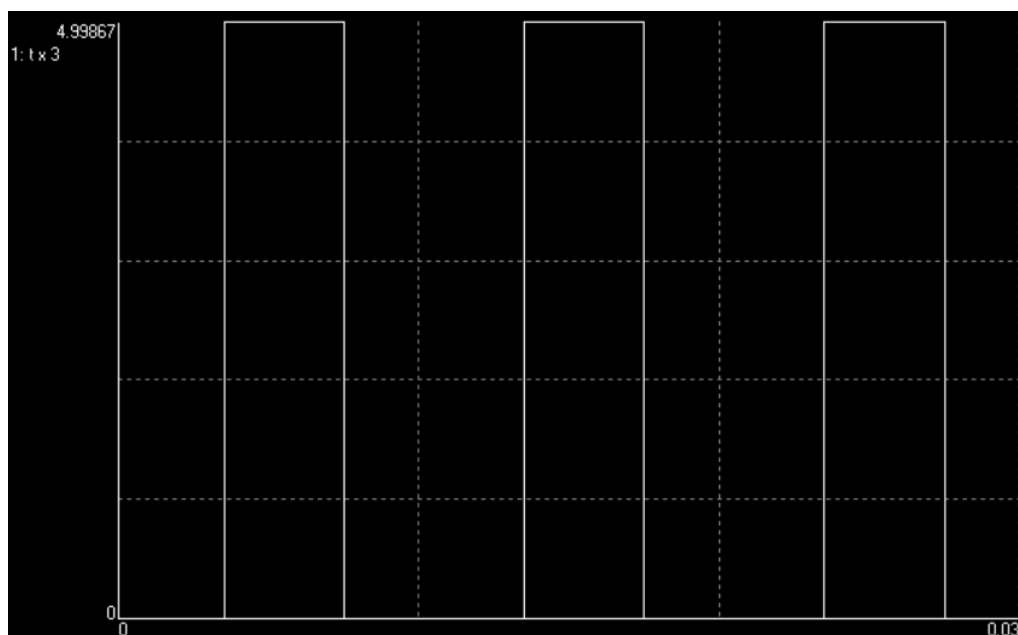


Figura 2.25: Resultado da simulação do divisor no nó 3

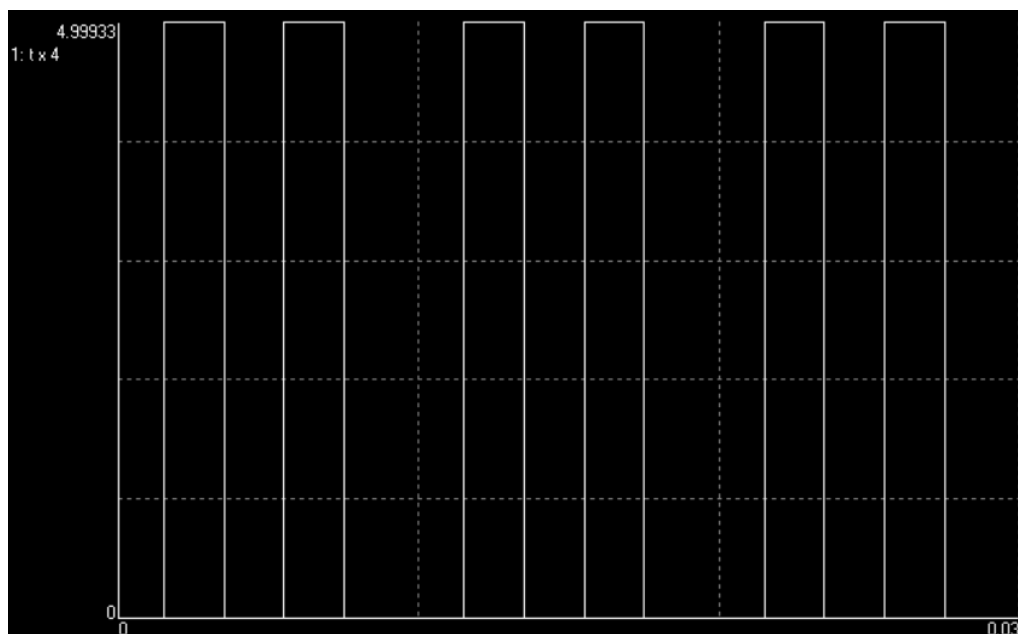


Figura 2.26: Resultado da simulação do divisor no nó 4

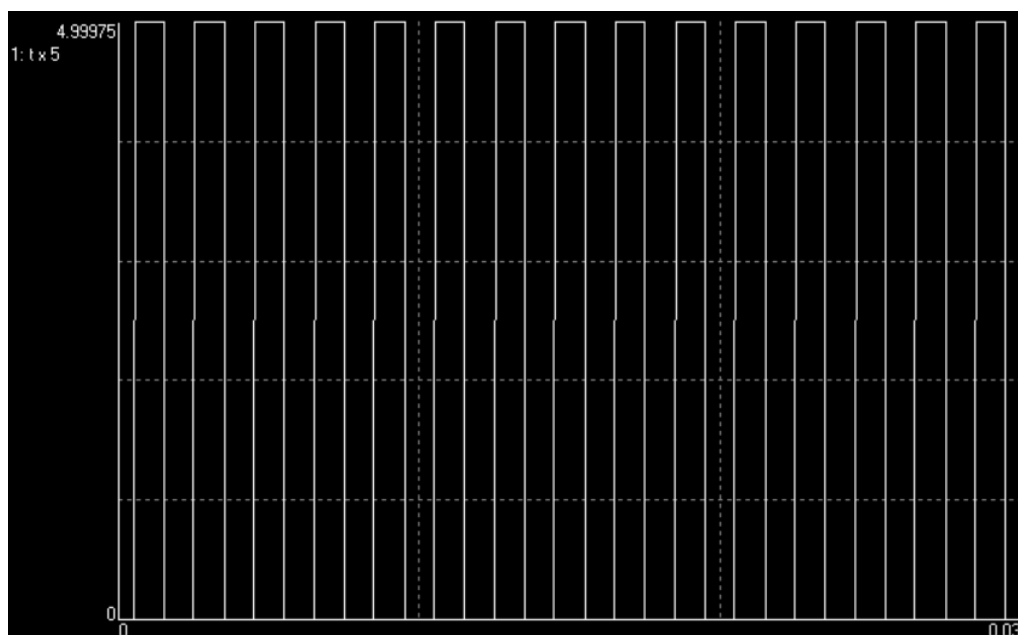


Figura 2.27: Resultado da simulação do divisor no nó 5

2.6 Circuito com Monoestável

O circuito demonstra os resultados do uso deste componente.

Código 2.6: divisor.net

```

12
R0102 1 2 1E6
R0103 1 3 2E6
R0104 1 4 4E6
R0105 1 5 8E6
!XXX 6 7 5 10E-12
%0508 5 8 8 9 !XXX 5 1000 10E-12
%0410 4 10 10 8 !XXX 5 1000 10E-12
%0311 3 11 11 10 !XXX 5 1000 10E-12
%0212 2 12 12 11 !XXX 5 1000 10E-12
)0204 2 4 7 5 1000 10e-12 10
V0900 9 0 PULSE 0 5 0.5E-3 1E-9 1E-9 0.5E-3 1E-3 1000
.TRAN 30E-3 30E-6 BE 1 UIC

```

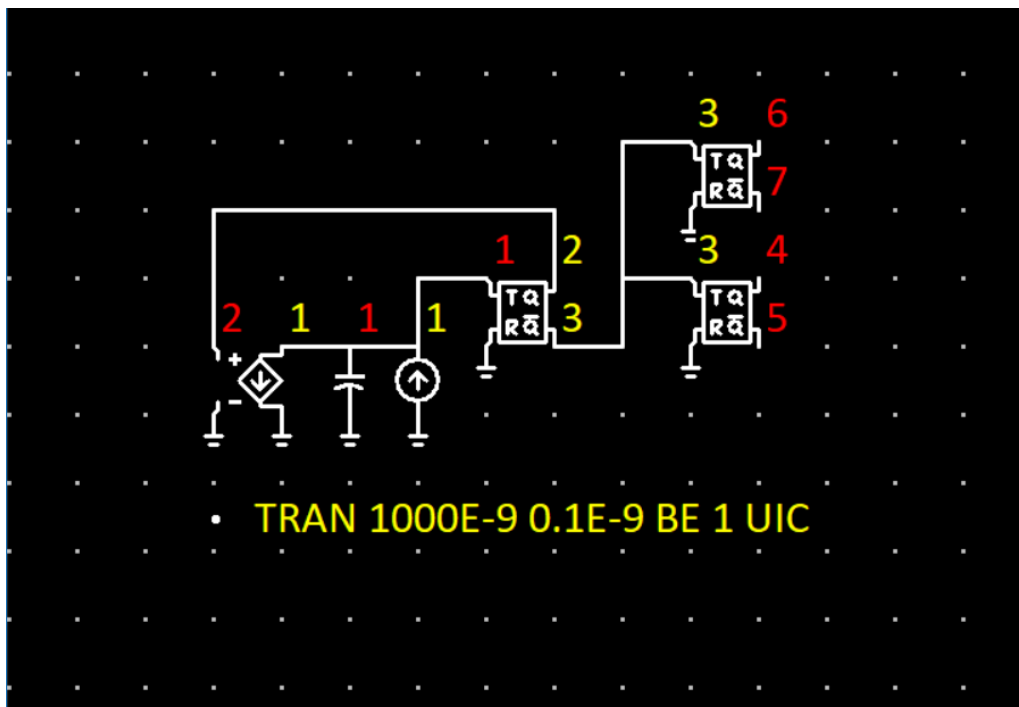


Figura 2.28: Circuito com monoestável

Resultado:

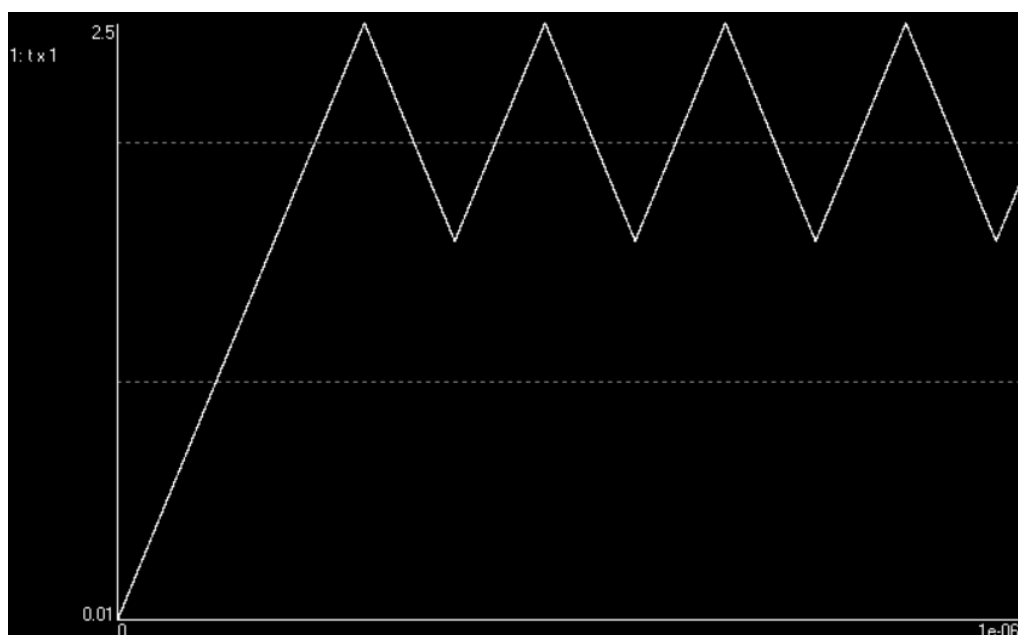


Figura 2.29: Resultado do circuito com monoestáveis no nó 1

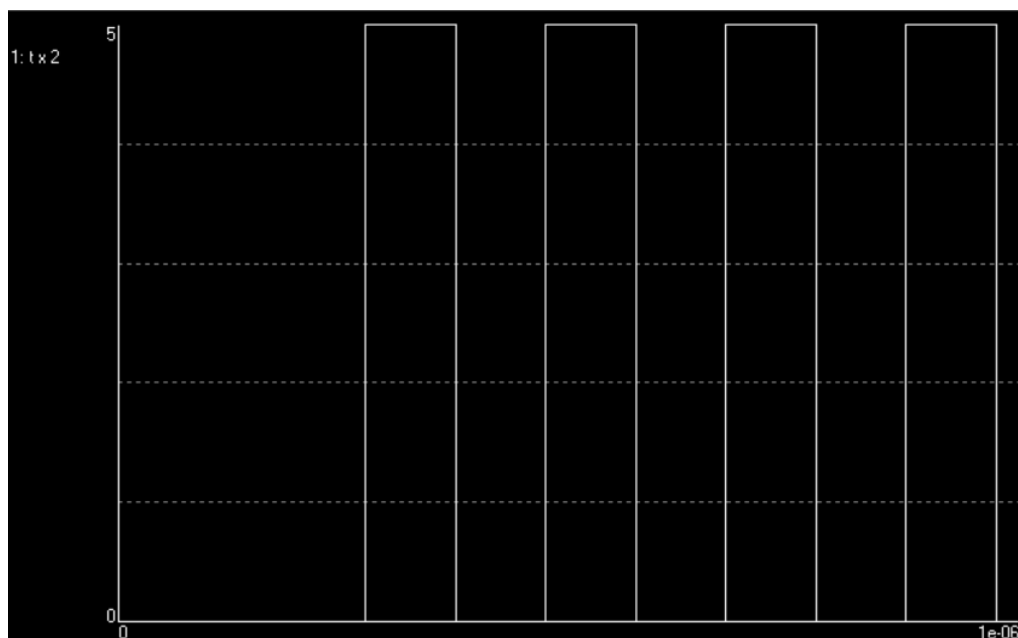


Figura 2.30: Resultado do circuito com monoestáveis no nó 2

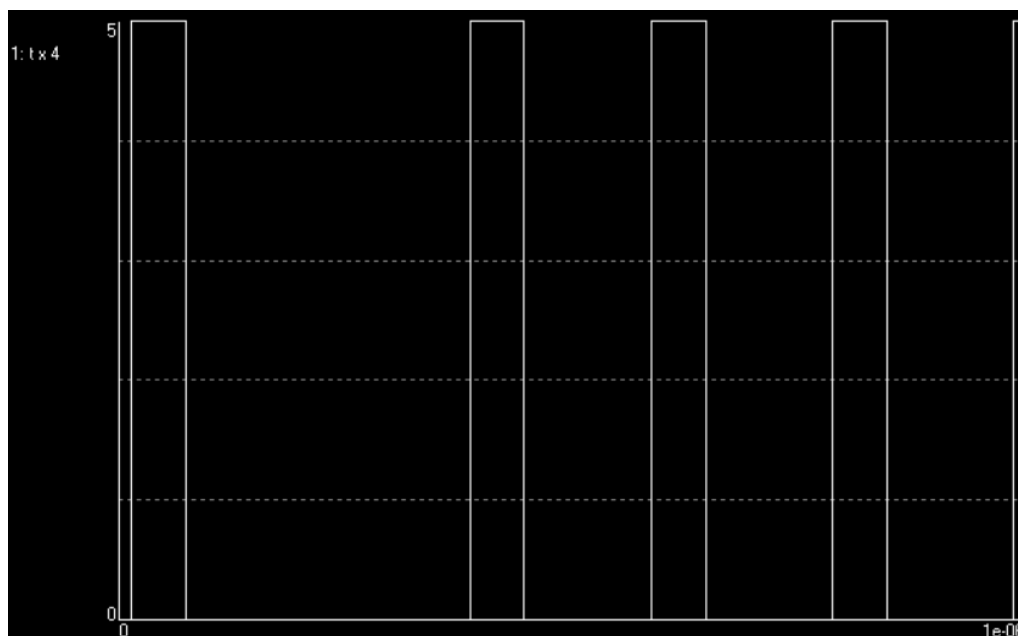


Figura 2.31: Resultado do circuito com monoestáveis no nó 4

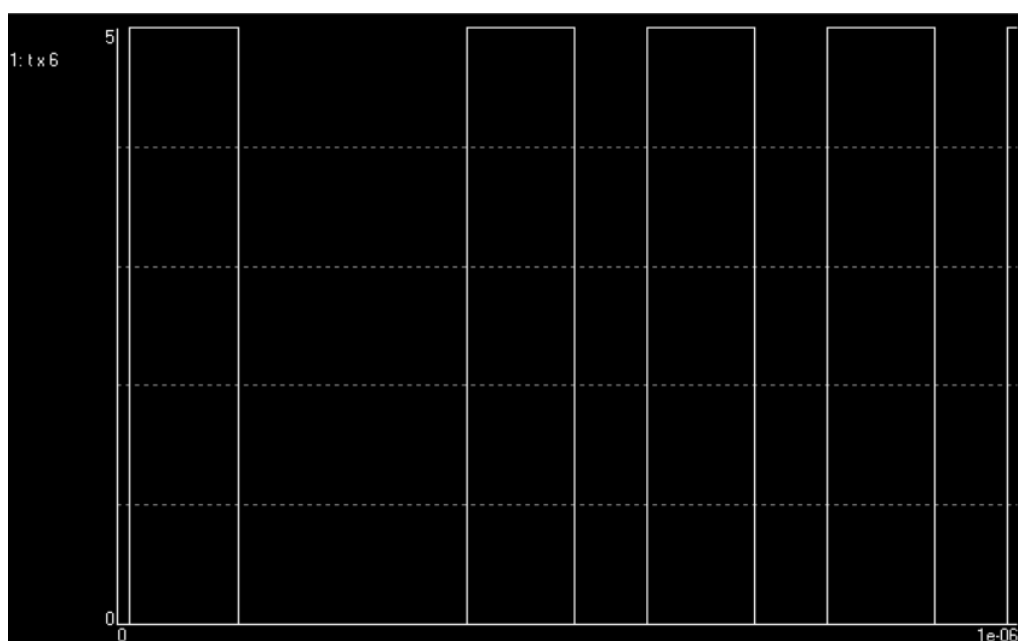


Figura 2.32: Resultado do circuito com monoestáveis no nó 6

Capítulo 3

Conclusão

O projeto do simulador se demonstrou bem efetivo. Além dos circuitos bases, fomos capazes de criar nossos próprios netlist (utilizando os componentes propostos pelo projeto) e posterior resolução destes outros circuitos. Portanto, o resultado foi bem satisfatório.