

Examen final

Département de génie électrique et de génie informatique
Microélectronique - GIF17457

le 27 avril 2006

Vous avez droit à tous les documents et aux calculatrices autorisées.
Durée de l'examen: 2 heures (13h30-15h30).

1. (20 points) *Verilog, logique synchrone et combinatoire*
Soit la description Verilog suivante:

```
module circuit (y, x, clk, reset)
  input x, clk, reset;
  output y;
  reg y;

  always
    begin
      wait (reset==0);
      @(posedge clk) yt=x;
    end

  always(yt, reset)
    begin
      if reset='1' then
        y=0;
      else
        y=yt;
      end
    end
endmodule
```

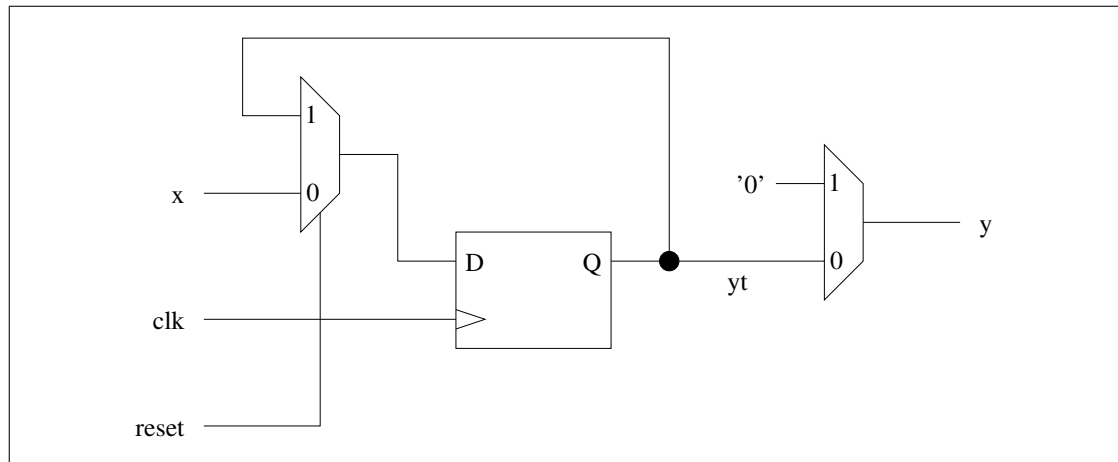
- (a) (5 points) Parmi les deux blocs **always**, identifiez, s'il y a lieu lequel ou lesquels correspond(ent) à de la logique synchrone.

Le premier bloc seulement correspond à de la logique synchrone. Plus spécifiquement, il s'agit d'une bascule D.

- (b) (5 points) Dans cette description, l'action du signal **reset** est-elle synchrone ou asynchrone? Justifiez brièvement.

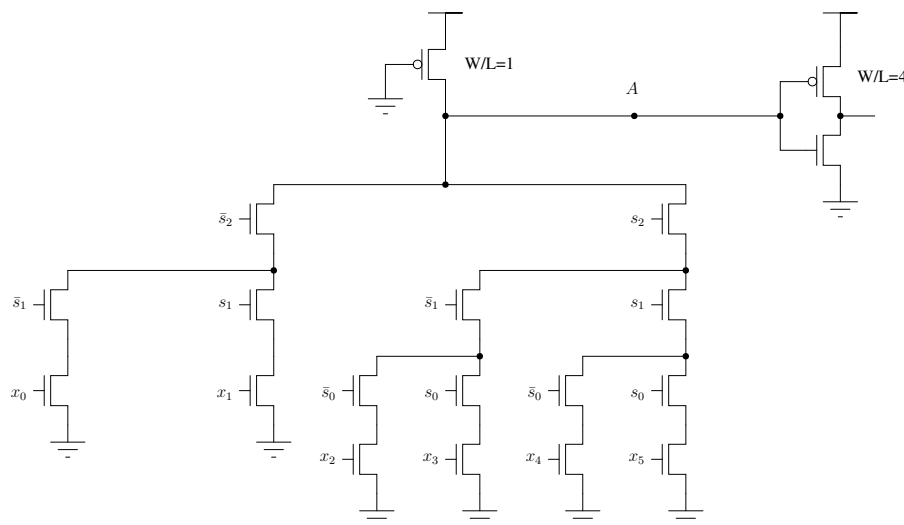
Le reset est asynchrone puisque son évaluation se fait de manière continue par la commande wait .
--

- (c) (10 points) Faites le schéma d'un circuit réalisant la même fonction que la description Verilog en utilisant des éléments de base (portes logiques, multiplexeurs, portes de transmission).



2. (28 points) *Pseudo-nMOS, analyse dynamique et statique*

Soit le circuit suivant:



On assume que les transistors ont les paramètres suivants:

- $\beta_n = 1.6 \text{ mA/V}^2$;
- $C_{S_n} = C_{D_n} = 20 \text{ fF}$;
- $V_{T_n} = 0.3 \text{ V}$;
- $C_{G_n} = 10 \text{ fF}$;
- $\beta_p = 0.2 \text{ mA/V}^2$ si $W/L=1$;
- $C_{S_p} = C_{D_p} = 20 \text{ fF}$ si $W/L=1$;
- $|V_{T_p}| = 0.4 \text{ V}$;
- $C_{G_p} = 10 \text{ fF}$ si $W/L=1$;

et que la tension d'alimentation $V_{DD} = 1.8$ V.

- (a) (3 points) Trouvez la capacité d'entrée de l'inverseur de sortie.

$$C_{in} = C_{G_n} + 4C_{G_p} = 50\text{fF}$$

- (b) (5 points) Trouvez la capacité totale au point A .

$$C_A = C_{in} + C_{S_v} + 2C_{S_n} = (50 + 20 + 40)\text{fF} = 110\text{fF}.$$

- (c) (5 points) Trouvez le temps de montée de 10% à 90% au point A .

$$\begin{aligned} R_p &= \frac{1}{\beta_p (V_{DD} - |V_{Tp}|)} = \frac{1}{0.1 \frac{\text{mA}}{\text{V}^2} (1.8 - 0.4) \text{V}} = \frac{5}{1.4} \frac{\text{V}}{\text{mA}} = 3571 \Omega. \\ t_r &= 2.2 R_p C_A = 2.2 \times 3571 \times 110 \text{fF} = 864 \text{ps}. \end{aligned}$$

- (d) (5 points) Trouvez le temps de descente de 100% à 50% au point A dans le pire des cas.

facteur = $\ln(2) = 0.6931 \approx 0.7$. Le pire cas correspond à la traversée de 4 transistors nMOS en série.

$$\begin{aligned} R_n &= \frac{1}{\beta_n (V_{DD} - V_{T_n})} = \frac{1\text{k}\Omega}{1.6(1.8 - 0.3)} = 417\Omega. \\ t_f &= 0.7 [4R_n C_A + 3R_n (3C_{D_n}) + 2R_n (3C_{D_n}) + R_n (2C_{D_n})] \\ &= 228\text{ps}. \end{aligned}$$

- (e) (5 points) Calculez la tension minimale en A lorsque la sortie est au niveau '0'.

Puisque le transistor pMOS conduit, il s'agit d'un diviseur de tension. Si on est dans le "pire cas" de la sous-question 2d, on a:

$$\begin{aligned} V_{o_{min}} &= \frac{4R_n}{4R_n + R_p} V_{DD} \\ &= \frac{4 \times 417}{4 \times 417 + 3571} V_{DD} \\ &= 0.3184 V_{DD} \\ &= 0.573V. \end{aligned}$$

Le tension minimale absolue correspond au passage par 3 transistors nMOS au lieu de 4 (section de gauche du multiplexeur). Dans ce cas, on a:

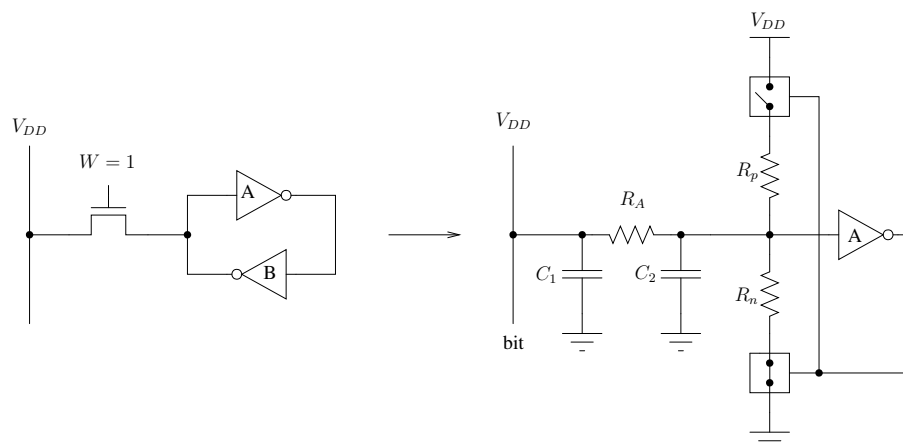
$$\begin{aligned} V_{o_{min}} &= \frac{3R_n}{3R_n + R_p} V_{DD} \\ &= \frac{3 \times 417}{3 \times 417 + 3571} V_{DD} \\ &= 0.2594 V_{DD} \\ &= 0.467V. \end{aligned}$$

- (f) (5 points) Trouvez le point milieu V_M de la caractéristique statique de l'inverseur de sortie.

$$\begin{aligned} V_M &= \frac{V_{DD} - |V_{T_p}| + \sqrt{\frac{\beta_n}{\beta_p}} V_{T_n}}{1 + \sqrt{\frac{\beta_n}{\beta_p}}} \\ &= \frac{1.4 + \sqrt{2} \times 0.3}{1 + \sqrt{2}} = \frac{1.824}{2.4142} = 0.755V. \end{aligned}$$

3. (27 points) *Mémoire, modèle RC, analyse dynamique*

Soit le circuit suivant (cellule de mémoire SRAM avec une seule ligne d'accès) et son circuit équivalent:



On assume que les transistors ont les paramètres suivants:

- Transistors nMOS constituant les inverseurs:
 - $\beta_n = 1.6 \text{ mA/V}^2$;
 - $C_{S_n} = C_{D_n} = 20 \text{ fF}$;
 - $V_{T_n} = 0.3 \text{ V}$;
 - $C_{G_n} = 10 \text{ fF}$;
- Transistors pMOS
 - $\beta_p = 1.6 \text{ mA/V}^2$;
 - $C_{S_p} = C_{D_p} = 80 \text{ fF}$;
 - $|V_{T_p}| = 0.4 \text{ V}$;
 - $C_{G_p} = 40 \text{ fF}$;
- Transistor d'accès
 - $\beta_A = 3.2 \text{ mA/V}^2$;
 - $C_{S_A} = C_{D_A} = 40 \text{ fF}$;
 - $C_{G_A} = 20 \text{ fF}$;

et que la tension d'alimentation $V_{DD} = 1.8 \text{ V}$.

- (a) (4 points) Calculez la capacité C_2 en tenant compte de toutes les capacités pertinentes.

$$\begin{aligned} C_2 &= C_{in} + C_{D_p} + C_{D_n} + C_{D_A} \\ &= 50\text{fF} + 100\text{fF} + 40\text{fF} = 190\text{fF}. \end{aligned}$$

- (b) (4 points) Sachant que la capacité de la ligne $C_{bit} = 500 \text{ fF}$, calculez C_1 .

$$C_1 = C_{S_A} + C_{bit} = 40\text{fF} + 500\text{fF} = 540\text{fF}$$

- (c) (5 points) Calculez R_A , R_p et R_n .

$$\begin{aligned}
R_A &= \frac{1}{\beta_A (V_{DD} - V_{T_n})} = \frac{1}{3.2\text{mA/V}^2(1.8 - 0.3)\text{V}} = \frac{312.5\Omega}{1.5} = 208.3\Omega. \\
R_p &= \frac{1}{\beta_p (V_{DD} - |V_{T_p}|)} = \frac{1}{1.6\text{mA/V}^2(1.8 - 0.4)\text{V}} = \frac{625\Omega}{1.4} = 446.4\Omega. \\
R_n &= \frac{1}{\beta_n (V_{DD} - V_{T_n})} = \frac{1}{1.6\text{mA/V}^2(1.8 - 0.3)\text{V}} = \frac{625\Omega}{1.5} = 416.7\Omega.
\end{aligned}$$

- (d) (5 points) En supposant que l'inverseur A est idéal (il a un seuil $V_M = \frac{V_{DD}}{2}$ et la transition est instantanée) et que C_2 est initialement déchargé, considérez le circuit équivalent ci-dessus où on tente d'écrire la valeur '1'. Vers quelle tension finale le condensateur sera-t-il chargé initialement?

$$V_f = V_{DD} \frac{R_n}{R_n + R_A} = 1.8\text{V} \frac{416.7}{416.6 + 208.3} = 1.2\text{V}.$$

- (e) (5 points) Quel sera le temps d'écriture, c-à-d le temps nécessaire pour faire basculer l'inverseur A dans l'état opposé?

$$\begin{aligned}
V_M &= \frac{V_{DD} - |V_{T_p}| + V_{T_n}}{2} = \frac{1.7}{2} = 0.85\text{V}. \\
v(t) &= 1.2\text{V} \left(1 - e^{-t/\tau}\right). \\
\tau &= R_A C_2 = 208.3\Omega \times 190\text{fF} = 39.5\text{ns}. \\
1.2\text{V} \left(1 - e^{-t/\tau}\right) &= 0.85\text{V} \rightarrow \\
t &= 48.67\text{ns}.
\end{aligned}$$

- (f) (4 points) À l'inverse, si on suppose qu'il y a un '1' de stocké en C_2 et qu'on désire lire cette valeur alors que la ligne bit est initialement déchargée (i.e. la charge sur C_1 est nulle), quel sera le niveau final sur la ligne bit après partage de charge?

$$\begin{aligned}
Q &= CV \\
V_f &= \frac{C_2}{C_1 + C_2} V_{DD} = \frac{190}{190 + 540} V_{DD} = 0.26 V_{DD} = 0.468\text{V}
\end{aligned}$$

4. (25 points) *Arithmétique, conception*

Vous avez à réaliser un compteur sur 4 bits à séquence naturelle en binaire redondant.

- (10 points) Dessinez le schéma, en utilisant des demi-additionneurs et plein-additionneurs, de l'additionneur binaire redondant nécessaire sur 4 chiffres
- (10 points) Dessinez le schéma de haut niveau du circuit complet en utilisant le circuit conçu en (a) comme composante, ainsi que des bascules D.
- (5 points) Quel est l'avantage d'utiliser le binaire redondant dans ce contexte au lieu du binaire conventionnel?

En limitant la propagation de la retenue à une seule position, l'additionneur en binaire redondant constituant la composante essentielle du compteur se trouve avoir un chemin critique beaucoup plus court, permettant ainsi au compteur d'opérer à une fréquence beaucoup plus élevée. De plus, sa vitesse d'opération devient alors indépendante de sa largeur en bits.

Bonne chance et bon été!

Sébastien Roy