

GIF-17455 – Architecture des microprocesseurs

Examen Final

Jeudi le 19 décembre 2002

Durée: 13h30-15h20

Les poids de chaque question est approximatif (peut changer de +/- 5%)

---

**Question 1 (20%)**

Vous développez un système intégré pour un lecteur vidéo numérique portable. Pour le design du microprocesseur, vous devez choisir entre deux options afin de respecter le budget (en transistors) alloué au microprocesseur.

Pour l'application que vous développez, les statistiques de performance du microprocesseur en configuration de base sont les suivantes:

- 15% de mauvaises prédictions
- 5 cycles d'arrêt lors d'une mauvaise prédiction
- 5% taux accès manqué à la cache unifié (un seul niveau de cache)
- 9 cycles d'arrêt lors d'un accès à la mémoire
- CPI de 1.8

La première option vous permet d'améliorer la performance du prédicteur de branchement. Le taux de mauvaises prédictions passe de 15% à 4%. La deuxième option permet de réduire le taux d'accès manqué à la cache de 5% à 3.5%.

Pour l'application qui est visée par votre système, 21% des instructions sont des branchements, 27% des instructions sont des lectures ou écritures de données.

Laquelle des deux options augmente le plus la performance du processeur ? (une réponse seule ne vaut pas de points; vous devez montrer votre approche et vos calculs)

---

### Question 2 (20%)

Un processeur à 1 GHz utilise des adresses virtuelles de 35 bits. Les adresses physiques ont 32 bits. Les pages ont 16K octets. La cache L1 à correspondance directe est de 8K octets. Les blocs de la cache ont 64 bits. Les adresses physiques sont utilisées pour accéder à la cache L1.

- a) Pourquoi les TLB sont-ils ajoutés au processeur ?
- b) Quels sont les bits utilisés pour indexer la cache ? Quels sont les bits utilisés pour vérifier si l'accès est manqué ou réussi ? Comment change l'utilisation des bits si la cache est à associativité d'ensemble de 4 blocs ?
- c) Avec un système de pages virtuelles, la mémoire peut être simplement vue comme un autre niveau de la hiérarchie des "données", située entre les caches et le disque. Les "page fault" (accès à une adresse virtuelle qui n'est pas en mémoire) sont donc l'équivalent d'un accès manqué.

Calculez la pénalité d'un "page fault" en cycles pour le système dont le disque dur a les caractéristiques suivantes:

- 7200 tour par minute,
- 58,970 pistes (tracks) par surface, 680 secteurs par piste, secteurs de 512 octets
- temps de recherche (seek time) moyen de 8.5 msec, temps de contrôleur de 0.2 msec.

Faites l'hypothèse qu'une page est contenu sur une piste.

---

### Question 3 (20%)

Nous avons développé en classe le diagramme d'état d'un protocole de surveillance (snooping) pour des caches "write-back" d'un système multiprocesseurs de type SMP.

**Pour des caches "write-through" sans allocation en cache lors d'un accès manqué en écriture**, on peut définir un protocole de surveillance avec seulement 2 états: valide et invalide. Dans le mode valide, une donnée peut être dans une seule cache ou plusieurs caches.

Donnez le diagramme d'état du protocole de surveillance pour cette architecture. Différenciez bien les transitions causées par le CPU de celles causées par le bus. Quand il y en a, n'oubliez pas d'indiquer les actions mises sur le bus par le CPU, et d'expliquer ce que ces actions sont.

---

**Question 4 (20%)**

Il y a quelques semaines, Intel a annoncé que la performance d'un système contenant la prochaine génération du Itanium allait avoir une performance globale 50% meilleure que celle d'un système avec le processeur Itanium 2 (I2). La fréquence de la nouvelle génération sera de 1.5 GHz (comparativement à 1GHz pour I2) et la cache L3 (intégrée dans les deux cas) sera de 6 MO (comparativement à 3 MO pour I2).

Pour ce problème, nous faisons l'hypothèse que toutes les autres composantes du nouveau processeur et du système construit avec ce nouveau processeur sont identiques aux composantes du I2 et du système contenant le I2.

- a) Si seulement la fréquence du processeur est augmentée, l'augmentation de la performance serait inférieure. Pourquoi ?
- b) Comment l'augmentation de la grandeur de la cache L3 permet-elle d'augmenter la performance ?

Justifiez bien vos affirmations. Par exemple, écrire " parce que le CPI augmente (ou diminue) " n'est pas une justification. Il faut aussi expliquer pourquoi le CPI augmente (ou diminue) .

---

**Question 5 (20%)**

Nous avons étudié un processeur RISC avec un pipeline de 5 étages identifiés comme suit: IF / ID / EX / MEM / WB. Un tel processeur démarre et termine l'exécution de ses instructions dans l'ordre.

- a) Comment le pipeline doit être modifié pour permettre l'exécution dans le désordre des instructions ?
- b) Comment le pipeline doit être modifié pour permettre la spéculation ?

Expliquez vos réponses en décrivant les tâches accomplies lors des étages avant et après la modification du pipeline.