

# Examen partiel

Département de génie électrique et de génie informatique  
Systèmes VLSI - GIF19264

le 26 octobre 2005

Vous avez droit à tous les documents. SVP, *pas* d'ordinateurs portables.  
Durée de l'examen: 2 heures (13h30-15h30).

---

## 1. *Synthèse combinatoire* (10 points)

- (a) Quel type de synthèse effectue-t-on lorsqu'on utilise les tables de Karnaugh? Soyez précis.
- (b) Quel algorithme permet d'automatiser ce type de synthèse?
- (c) Identifiez les avenues permettant d'optimiser le nombre de portes logiques au-delà de ce que donnent les tables de Karnaugh.
- (d) Quels peuvent être les désavantages d'une optimisation plus poussée comme suggérée en (c)?
- (e) Quelles conditions doit-on respecter pour qu'un processus en VHDL mène à la synthèse d'un circuit combinatoire?

2. *syntaxe, sémantique, types, attributs* (20 points)

(a) (6 points) Soit la description VHDL suivante:

```
entity mux2a1
  port( A, B: in std_ulogic;
        Sel: in std_ulogic;
        Y: out std_ulogic);
end entity mux2a1;

architecture flot of mux2a1 is
begin
  P1: process (A, B, Sel)
  begin
    if Sel='0' then
      Y <= A;
    else
      Y <= 'Z';
    end if;
  end process P1;

  P2: process (A, B, Sel)
  begin
    if Sel='1' then
      Y <= B;
    else
      Y <= 'Z';
    end if;
  end process P2;

  Y <= 'Z' when Sel = 'Z';
end architecture flot;
```

Cette description est-elle erronée? Si oui, quelles sont les erreurs? Peut-elle être synthétisée avec ISE? Justifiez.

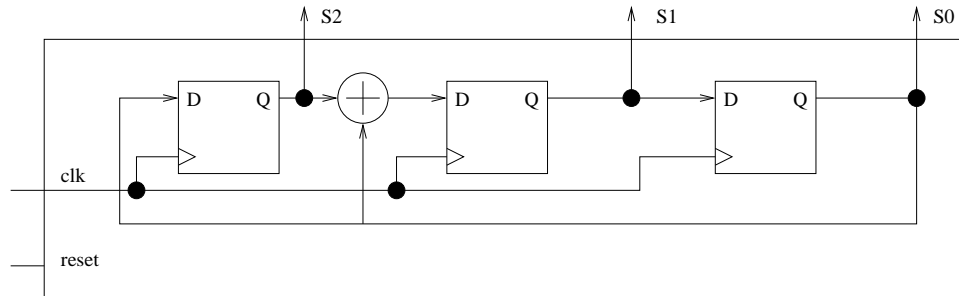
- (b) (2 points) Étant donné la description en (a), quelle est la valeur de l'attribut flot'Structure?
- (c) (2 points) Étant donné la description en (a), quelle est la valeur de l'attribut flot'Behavior?
- (d) (10 points) Soit la déclaration suivante:

```
subtype periodes is time range 10 ns to 10 ms;
```

Quelle est la valeur des attributs suivants:

- (i) 'right
- (ii) 'low
- (iii) 'ascending
- (iv) 'succ(10 ns)
- (v) 'pred(10 ns)

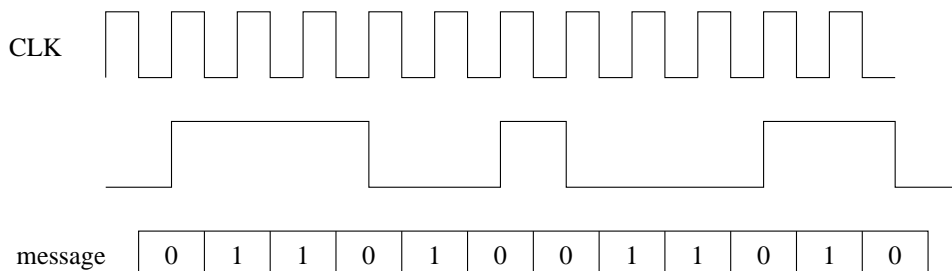
3. *Registres à décalage à rétroaction linéaire* (30 points) On souhaite utiliser le registre à décalage à rétroaction linéaire (normalement employé pour générer des bits aléatoires) suivant pour réaliser un compteur:



- (a) (20 points) Écrivez une description comportementale en VHDL (entité et architecture) qui réalise ce circuit.
- (b) (10 points) Selon vous, quels seraient les avantages et inconvénients d'un tel compteur par rapport à un compteur conventionnel?

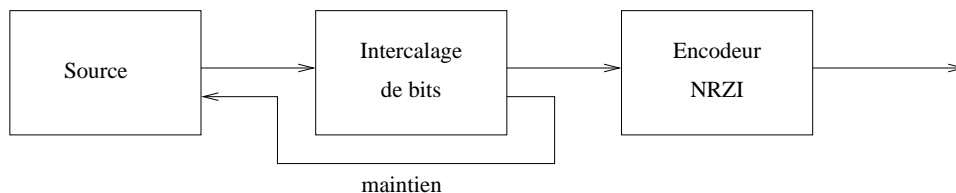
4. *Design* (40 points) On utilise en communications numériques sur ligne câblée (e.g. paire torsadée, câble coaxial) divers “codes de ligne” pour communiquer en bande passante, c’est-à-dire sans moduler sur une porteuse. Ces codes constituent tout simplement une façon de représenter les bits à transmettre qui procure des caractéristiques spectrales intéressantes et / ou des propriétés faciliteront la synchronisation au récepteur.

Un tel code de ligne est le code “NRZI” (Non Return to Zero Inverted) qui est utilisé dans le standard USB (Universal Serial Bus). Dans ce code, seuls les ‘0’ génèrent une transition. Ainsi, on a:



Cet encodeur possède un désavantage majeur: si une trop longue séquence de bits ‘1’ successifs est transmise, il n’y a aucune transition sur la ligne ce qui rend la synchronisation entre le transmetteur et le récepteur impossible. Pour remédier à cela, le standard USB prévoit une opération d’intercalage de bits (“bit stuffing”): dès qu’une chaîne de 6 ‘1’ est transmise, on intercale un ‘0’ pour forcer une transition. Il est facile d’enlever ces ‘0’ au récepteur pour recomposer le message original.

Une portion de la chaîne de communication correspondante est illustrée ici:



La source génère les bits du message à transmettre sur le câble USB. Le bloc d’intercalage doit être capable de détecter une séquence de 6 ‘1’ successifs et de transmettre alors un ‘0’ à l’encodeur. À ce moment, la ligne “maintien” est placée à ‘1’ pour un coup d’horloge, afin de signaler à la source de maintenir son bit courant qui ne pourra être transmise qu’au prochain coup (après le ‘0’ intercalé).

- (15 points) Dessinez le graphe détaillé d’une machine à états réalisant l’encodeur NRZI.
- (10 points) Écrivez une description VHDL (entité et architecture) correspondante en séparant la partie synchrone et la partie combinatoire en des processus distincts.
- (15 points) Dessinez le graphe détaillé d’une machine à états réalisant le bloc d’intercalage de bits.

*Bonne chance et bonne semaine de lecture!*