

# Examen final

Département de génie électrique et de génie informatique  
Microélectronique - GIF17457

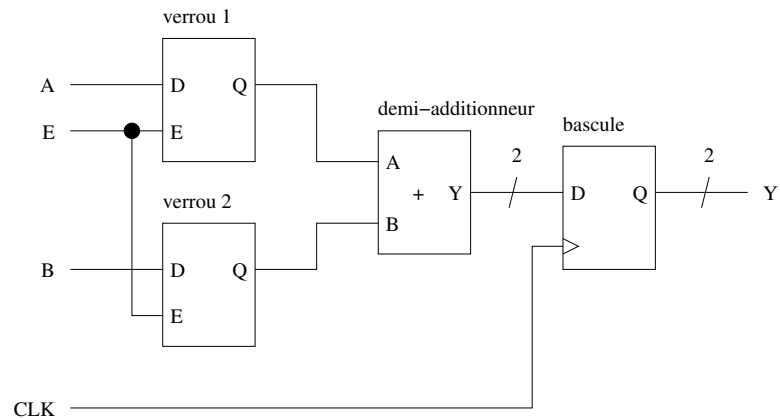
le 24 avril 2008

Vous avez droit à tous les documents. SVP, *pas* d'ordinateurs portables.  
Durée de l'examen: 3 heures (13h30-16h30).

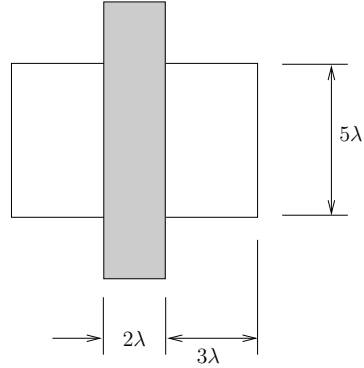
---

1. (20 points) *Verilog – styles de modélisation*

Soit le circuit ci-dessous. Écrivez-en une description comportementale complète en Verilog, en assumant que la bascule est sensible à la transition montante de l'horloge et que les verrous sont sensibles au niveau '1' du signal E.



2. (18 points) *Modélisation RC*  
 Soit le pFET suivant:

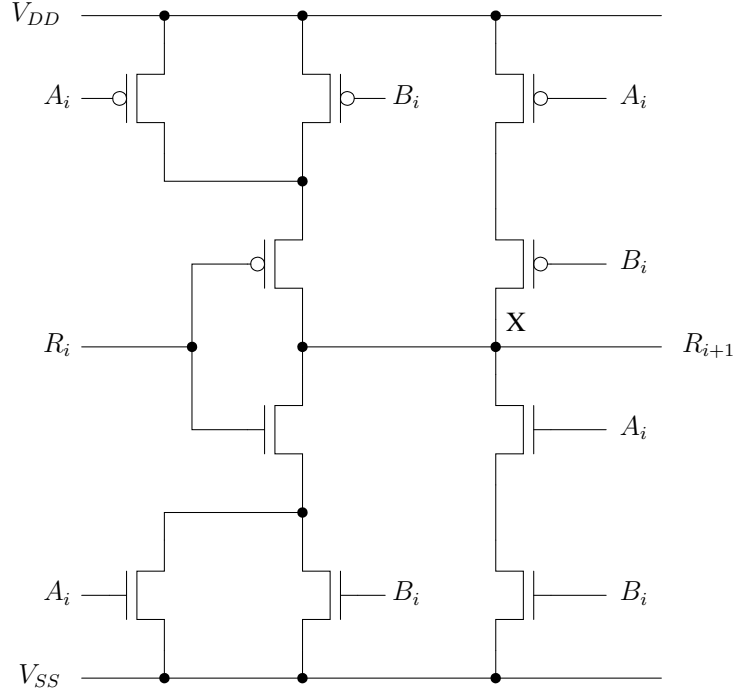


On donne les paramètres suivants:

- Technologie CMOS à  $0.12 \mu\text{m}$ ;
  - $C_{\text{ox}} = 3.82 \frac{\text{fF}}{\mu\text{m}^2}$ ;
  - $\mu_n = 180 \frac{\text{cm}^2}{\text{V}\cdot\text{s}}$ ;
  - $C_j = 0.94 \frac{\text{fF}}{\mu\text{m}^2}$ ;
  - Profondeur de jonction  $x_j = 0.04 \mu\text{m}$ ;
  - Tension de seuil  $\|V_{T_p}\| = 0.3 \text{ V}$ ;
  - Alimentation  $V_{DD} = 1.2 \text{ V}$ .
- (a) (3 points) Calculez la transconductance de procédé  $k'_p$ ;
- (b) (3 points) Calculez la transconductance du transistor  $\beta_p$ ;
- (c) (3 points) Calculez  $R_p$ ;
- (d) (3 points) Calculez la capacité de grille  $C_G$ ;
- (e) (3 points) Calculez la capacité de jonction  $C_p$ ;
- (f) (3 points) Déterminez  $C_S$  et  $C_D$

3. (32 points) *Analyse électronique des portes complexes*

Soit le circuit suivant:



On assume que les transistors ont les paramètres suivants:

- $\beta_n = 1.6 \text{ mA/V}^2$ ;
- $\beta_p = 1.6 \text{ mA/V}^2$ ;
- $C_{S_n} = C_{D_n} = 20 \text{ fF}$ ;
- $C_{S_p} = C_{D_p} = 80 \text{ fF}$ ;
- $V_{T_n} = 0.7 \text{ V}$ ;
- $|V_{T_p}| = 0.8 \text{ V}$ ;
- $C_{G_n} = 10 \text{ fF}$ ;
- $C_{G_p} = 40 \text{ fF}$ ;

et que la tension d'alimentation  $V_{DD} = 2.5 \text{ V}$ .

- (a) (4 points) Est-ce un circuit CMOS complémentaire? Justifiez.
- (b) (4 points) Trouvez la capacité parasite au point X.
- (c) (4 points) Trouvez la capacité à l'entrée  $R_i$ .
- (d) (4 points) Calculez le temps de montée (pire cas) de 10% à 90% au point X en l'absence de charge.
- (e) (4 points) Calculez le temps de descente (pire cas) de 90% à 10% au point X en l'absence de charge.
- (f) (4 points) Quel est le ratio  $r$  de ce circuit intégré?
- (g) (4 points) En assumant que les transistors  $n$  sont de taille minimale (transistors unitaires), quelles modifications de taille peuvent être appliquées pour équilibrer les temps de montée et de descente trouvés en (d) et (e)?
- (h) (4 points) Si ce circuit est cascadié avec un autre étage identique de sorte que sa sortie  $R_{i+1}$  alimente l'entrée  $R_i$  du second étage, calculez quels seraient alors les temps de montée et descente de la sortie  $R_{i+1}$  intermédiaire.

4. (14 points) *CMOS haute vitesse, pilotage de charges*  
Concevez un chaîne d'inverseurs pour piloter une charge  $C_L = 60$  pF si l'étage initial a une capacité d'entrée  $C_{in} = 50$  fF. Pour la mise à l'échelle, faites abstraction des capacités parasites.
- (a) (7 points) Quel est le nombre d'étages?
  - (b) (7 points) Quel est le délai total dans la chaîne?
5. (16 points) *Arithmétique* En assumant que vous avez accès aux entrées directes et inversées et en n'utilisant *strictement* que des multiplexeurs, concevez
- (a) (8 points) un demi-additionneur;
  - (b) (8 points) un plein additionneur.

---

*Bonne chance et bon été!*

Sébastien Roy