GIF-17455 – Architecture des microprocesseurs Examen Partiel

Lundi le 16 octobre 2005 Durée: 9h30-11h20

Question 1 (35 pts)

Pour chacune de ces affirmations, dites si elles sont vraies ou fausses. Vous devez justifier votre réponse.

- a) Le durée de cycle du processeur A est la moitié de celle du processeur B. Le processeur A est donc deux fois plus rapide que le processeur B.
- b) Il est possible d'améliorer la performance d'un processeur d'un facteur deux en réduisant le temps d'exécution des opérations points flottantes d'un facteur cinq.
- c) L'augmentation du nombre d'étages d'un pipeline peut augmenter le nombre de suspensions du pipeline lors de l'exécution.
- d) Dans un programme, 20% des instructions sont des chargements (lecture) et 15% des rangements (écriture). Le processeur ne fait donc des accès à la mémoire que pour 35% des instructions.
- e) Le support des « exceptions précises » pour un processeur RISC avec pipeline à cinq étages est simple. Il suffit de traiter l'exception au cycle où elle survient.
- f) Un processeur RISC avec plusieurs unités fonctionnelles pour supporter les opérations en point flottant ajoute la possibilité d'aléas de type EAE (WAW).
- g) L'unité fonctionnelle d'un processeur pour effecteur les divisions en point flottant n'est pas réalisée en pipeline. Une réalisation en pipeline de cette unité permettrait de réduire les suspensions de pipeline causées par des aléas de données.

Question 2 (20 pts)

Soixante-cinq pourcent (65%) des branchements conditionnels d'une application logicielle sont suivis. La condition de branchement est évaluée au cycle EX, et l'adresse de l'instruction de destination est aussi calculée au cycle EX. Le processeur prédit les branchements conditionnels comme n'étant pas pris.

Pour améliorer la performance du processeur, on le modifie en ajoutant une instruction de délai (branchement retardé) après chaque instruction de branchement conditionnel. Pour quel pourcentage des branchements le compilateur doit-il être capable d'utiliser cette instruction de délai pour effectuer une tâche utile ?

Note : un branchement est dit « pris » s'il change le PC (compteur de programme) pour qu'il contienne l'adresse de l'instruction de destination.

Prof.: André Zaccarin

Question 3 (25 pts)

Décrivez le comportement du processeur RISC à cinq étages avec envoie de données pour les deux séquences d'instructions suivantes :

Séquence 1 : LD R1, 10(R2) % MEM(R2+10) \rightarrow R1

ADD R3, R1,R4 % R3 = R1+R4

Séquence 2 : LD R1, O(R2) % MEM(R2) \rightarrow R1

SD R1, 10(R3) % R1 \rightarrow MEM(R3+10)

Décrivez ce qui se passe au niveau du contrôle, en identifiant bien 1) les tests logiques qui sont effectués, 2) quand ces tests sont effectués, et 3) le passage des données entre les instructions pour s'assurer de la bonne exécution de ces deux séquences d'instruction.

Question 4 (20 pts)

Nous avons les informations suivantes sur les instructions exécutées par un processeur :

- 30% des instructions sont des lectures (chargements) en mémoire, 15% des écritures (rangements)
- L'offset sur l'adresse est nul pour 60% des instructions de lecture et pour 60% des instructions d'écriture.
- 70% des instructions de lecture en mémoire précède immédiatement une opération arithmétique qui utilise la valeur lue en mémoire comme un opérande.

Pour réduire les suspensions de pipeline, on inverse les étages EX et MEM du processeur RISC (pipeline à cinq étages avec envoi de données).

A cause de cette inversion de pipeline, les instructions de lecture ou écriture en mémoire avec offset doivent être remplacées par deux instructions, par exemple :

LD R1, offset (R2)
$$\rightarrow$$
 ADD R3, R2, offset LD R1, (R3)

Est-ce que la performance du processeur sera améliorée ? Faites l'hypothèse qu'il n'y a pas d'autres situations d'aléas, avant ou après les changements, que celles décrites dans le problème.