

Architecture des ordinateurs (GIF-3000)
Département de Génie électrique et de Génie informatique
Automne 2017

EXAMEN PARTIEL #1

Question	Points	Score
1	16	
2	20	
3	20	
4	44	
Total:	100	

Instructions :

- 1 feuille aide-mémoire manuscrite est permise (recto-verso) ;
- répondre sur le questionnaire ;
- durée de l'examen : 110 minutes.

Pondération : Cet examen compte pour 20% de la note finale.

Question 1 (16 points sur 100)

Un système critique comporte trois ordinateurs identiques, accomplissant les mêmes tâches. Lorsqu'ils produisent tous le même résultat, le système est considéré parfaitement fonctionnel. Lorsque deux sur trois produisent le même résultat, le 3e est considéré comme défectueux. Si les trois produisent des résultats différents, alors le système cesse d'opérer (n'est plus fonctionnel). Sachant que, pour chaque ordinateur, le temps moyen avant une défaillance (MTTF) est de 3 ans et que temps moyen de remplacement (MTTR) est de 4 jours :

- (i) (10 points) Calculez le taux de défaillance du système global, en supposant que les défaillances sont indépendantes et distribuées selon une loi exponentielle. Exprimez votre réponse en FIT.

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

- (ii) (6 points) Supposons maintenant que l'on veuille ajouter des fonctionnalités au système, mais que les processeurs d'origine à 1 seul cœur soient insuffisants pour satisfaire à la nouvelle tâche. En supposant que 30% des traitements pourraient être parallélisés, et en supposant que chacun des cœurs du nouveau processeur a la même performance que le processeur d'origine à 1 seul cœur, calculez le gain maximum de performance (*speedup*) que l'on peut **espérer** en faisant appel à des processeurs multicœurs ? Donnez votre réponse pour des processeurs à 2, 4 et 8 cœurs.

.....

.....

.....

.....

.....

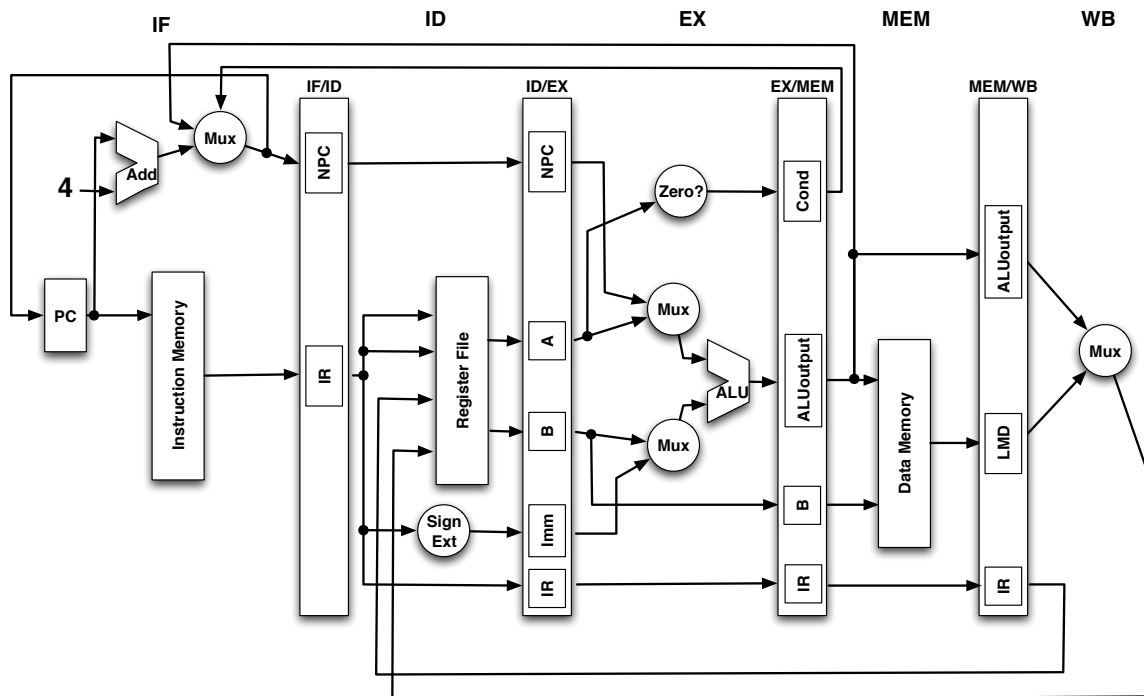
.....

.....

.....

Question 2 (20 points sur 100)

Soit la figure suivante, qui représente la micro architecture du MIPS implantée avec un pipeline à cinq phases, sans **chemin de traverse** (pas de «*forwarding*») ni optimisation pour les branchements, tel que vu en classe.



Supposons que ce processeur en pipeline exécute les instructions suivantes.

			t	$t+1$	$t+2$	$t+3$	$t+4$	$t+5$	$t+6$	$t+7$	$t+8$
i	DADD	R3, R3, R4	IF	ID	EX	MEM	WB				
$i+1$	DADDI	R2, R2, #-1		IF	ID	EX	MEM	WB			
$i+2$	DADD	R4, R5, R4			IF	ID	EX	MEM	WB		
$i+3$	SD	R3, 8 (R1)				IF	ID	ID	EX	MEM	WB
$i+4$	SD	R4, 16 (R1)					IF	bulle	ID	ID	EX
$i+5$	BEQZ	R2, Loop							IF	bulle	ID

La bulle au cycle $t+5$ est causée par une dépendance de données entre les instructions i et $i+3$ via le registre R3, alors que la bulle au cycle $t+7$ est causée par une dépendance de données entre les instructions $i+2$ et $i+4$ via le registre R4.

(i) (4 points) Donnez la valeur du registre **ID/EX.B** au début du cycle $t+2$.

.....

.....

.....

.....

.....

.....

.....

(ii) (4 points) Donnez la valeur du registre **IF/ID.IR** au début du cycle $t+7$.

.....

.....

.....

.....

.....

.....

.....

(iii) (4 points) Donnez la valeur du registre **EX/MEM.ALUoutput** au début du cycle $t+4$.

.....

.....

.....

.....

.....

.....

.....

- (iv) (4 points) Donnez la valeur du registre **IF/ID.NPC** au début du cycle $t + 7$.

.....

.....

.....

.....

.....

.....

.....

- (v) (4 points) Sans affecter la rectitude du programme, est-il possible d'améliorer la **performance** de ce code en changeant l'**ordre d'exécution** de certaines instructions ? Si oui, indiquez le ou les changements à faire et quel sera le gain résultant.

.....

.....

.....

.....

.....

.....

.....

Question 3 (20 points sur 100)

Soit le programme MIPS suivant :

```

1  Loop:   LD      R2, 512(R1)
2          LD      R3, 1024(R1)
3          DMUL    R3, R2, R3
4          SD      R3, 2048(R1)
5          DADDI   R1, R1, #-4
6          BNE     R1, R4, Loop

```

Simulez l'exécution de ce programme en bouclant autant de fois que nécessaire pour une durée totale de 17 cycles (du temps t au temps $t + 17$; supposez que la condition de branchement de l'instruction 6 est toujours vraie). Pour ce faire, remplissez les tableaux suivants en inscrivant les noms des **différentes phases** du pipeline, et en écrivant « *bulle* » pour **chaque aléa** rencontrés. Par la suite, expliquez brièvement la **cause** de chaque aléa.

- (i) (10 points) Dans un premier temps, supposez que le pipeline ne supporte aucun **chemin de traverse** (pas de *forwarding*) entre les étages du pipeline ni **aucune** optimisation des instructions de branchement (test de la condition durant la phase EX).

			t	$t + 1$	$t + 2$	$t + 3$	$t + 4$	$t + 5$
i	LD	R2, 512 (R1)	IF	ID	EX	MEM	WB	
$i + 1$	LD	R3, 1024 (R1)						
$i + 2$	DMUL	R3, R2, R3						
$i + 3$	SD	R3, 2048 (R1)						
$i + 4$	DADDI	R1, R1, #-4						
$i + 5$	BNE	R1, R4, Loop						
$i + 6$	LD	R2, 512 (R1)						
$i + 7$	LD	R3, 1024 (R1)						
$i + 8$	DMUL	R3, R2, R3						
$i + 9$	SD	R3, 2048 (R1)						
$i + 10$	DADDI	R1, R1, #-4						
$i + 11$	BNE	R1, R4, Loop						

			$t + 6$	$t + 7$	$t + 8$	$t + 9$	$t + 10$	$t + 11$
i	LD	R2, 512 (R1)						
$i + 1$	LD	R3, 1024 (R1)						
$i + 2$	DMUL	R3, R2, R3						
$i + 3$	SD	R3, 2048 (R1)						
$i + 4$	DADDI	R1, R1, #-4						
$i + 5$	BNE	R1, R4, Loop						
$i + 6$	LD	R2, 512 (R1)						
$i + 7$	LD	R3, 1024 (R1)						
$i + 8$	DMUL	R3, R2, R3						
$i + 9$	SD	R3, 2048 (R1)						
$i + 10$	DADDI	R1, R1, #-4						
$i + 11$	BNE	R1, R4, Loop						

			$t + 12$	$t + 13$	$t + 14$	$t + 15$	$t + 16$	$t + 17$
i	LD	R2, 512 (R1)						
$i + 1$	LD	R3, 1024 (R1)						
$i + 2$	DMUL	R3, R2, R3						
$i + 3$	SD	R3, 2048 (R1)						
$i + 4$	DADDI	R1, R1, #-4						
$i + 5$	BNE	R1, R4, Loop						
$i + 6$	LD	R2, 512 (R1)						
$i + 7$	LD	R3, 1024 (R1)						
$i + 8$	DMUL	R3, R2, R3						
$i + 9$	SD	R3, 2048 (R1)						
$i + 10$	DADDI	R1, R1, #-4						
$i + 11$	BNE	R1, R4, Loop						

[illegible]

- | | | | t | $t + 1$ | $t + 2$ | $t + 3$ | $t + 4$ | $t + 5$ |
|----------|-------|---------------|-----|---------|---------|---------|---------|---------|
| i | LD | R2, 512 (R1) | IF | ID | EX | MEM | WB | |
| $i + 1$ | LD | R3, 1024 (R1) | | | | | | |
| $i + 2$ | DMUL | R3, R2, R3 | | | | | | |
| $i + 3$ | SD | R3, 2048 (R1) | | | | | | |
| $i + 4$ | DADDI | R1, R1, #-4 | | | | | | |
| $i + 5$ | BNE | R1, R4, Loop | | | | | | |
| $i + 6$ | LD | R2, 512 (R1) | | | | | | |
| $i + 7$ | LD | R3, 1024 (R1) | | | | | | |
| $i + 8$ | DMUL | R3, R2, R3 | | | | | | |
| $i + 9$ | SD | R3, 2048 (R1) | | | | | | |
| $i + 10$ | DADDI | R1, R1, #-4 | | | | | | |
| $i + 11$ | BNE | R1, R4, Loop | | | | | | |

			$t + 6$	$t + 7$	$t + 8$	$t + 9$	$t + 10$	$t + 11$
i	LD	R2, 512 (R1)						
$i + 1$	LD	R3, 1024 (R1)						
$i + 2$	DMUL	R3, R2, R3						
$i + 3$	SD	R3, 2048 (R1)						
$i + 4$	DADDI	R1, R1, #-4						
$i + 5$	BNE	R1, R4, Loop						
$i + 6$	LD	R2, 512 (R1)						
$i + 7$	LD	R3, 1024 (R1)						
$i + 8$	DMUL	R3, R2, R3						
$i + 9$	SD	R3, 2048 (R1)						
$i + 10$	DADDI	R1, R1, #-4						
$i + 11$	BNE	R1, R4, Loop						

			$t + 12$	$t + 13$	$t + 14$	$t + 15$	$t + 16$	$t + 17$
i	LD	R2, 512 (R1)						
$i + 1$	LD	R3, 1024 (R1)						
$i + 2$	DMUL	R3, R2, R3						
$i + 3$	SD	R3, 2048 (R1)						
$i + 4$	DADDI	R1, R1, #-4						
$i + 5$	BNE	R1, R4, Loop						
$i + 6$	LD	R2, 512 (R1)						
$i + 7$	LD	R3, 1024 (R1)						
$i + 8$	DMUL	R3, R2, R3						
$i + 9$	SD	R3, 2048 (R1)						
$i + 10$	DADDI	R1, R1, #-4						
$i + 11$	BNE	R1, R4, Loop						

Expliquez l'origine des bulles produites :

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

Question 4 (44 points sur 100)

Répondez brièvement et précisément aux questions suivantes.

- (i) (4 points) Quels sont les principaux facteurs qui influencent le **coût** des composants électroniques intégrés ?

.....

.....

.....

.....

.....

.....

.....

.....

- (ii) (4 points) Expliquez pourquoi la **moyenne géométrique** est plus indiquée que la moyenne arithmétique pour comparer la performance des ordinateurs (pour un *benchmark suite*) ?

.....

.....

.....

.....

.....

.....

.....

.....

- (iii) (4 points) Expliquez la différence entre la **latence** et le **débit** ?

.....

.....

.....

.....

.....

.....

.....

.....

(iv) (4 points) Quel est l'impact d'un pipeline sur la **latence** et le **débit** ?

.....

.....

.....

.....

.....

.....

.....

.....

.....

(v) (4 points) Pourquoi les jeux d'instruction **mémoire-mémoire** sont-ils aujourd'hui désuets ?

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

(vi) (4 points) Expliquez en quoi consiste un **aléa de branchement**.

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

(vii) (4 points) Expliquez en quoi consiste la **gestion précise** des exceptions.

.....

.....

.....

.....

.....

.....

.....

.....

.....

(viii) (4 points) Les architectures **RISC** ont été proposées au moment où les **langages de programmation** compilés, tels que le langage C, ont gagné en popularité. Expliquez la relation entre ces deux technologies et la synergie qui leur a permis de s'imposer dans les systèmes informatiques ?

.....

.....

.....

.....

.....

.....

.....

.....

.....

(ix) (4 points) Quels sont les principaux facteurs qui influencent la **puissance dissipée** dynamiquement par les microprocesseurs et, pour chacun d'entre eux, dites comment celle-ci est affectée ?

.....

.....

.....

.....

.....

.....

.....

.....

.....

- (x) (4 points) Qu'est-ce que la règle empirique du **90-10** et comment se traduit-elle dans le **principe de localité** (temporelle et spatiale) ?

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

- (xi) (4 points) Expliquez ce qu'est un aléa de type **Write-After-Write** (WAW) et dites dans quelle situation il peut notamment se produire ?

.....

.....

.....

.....

.....

.....

.....

.....