

GIF-17455 – Architecture des microprocesseurs
Examen Partiel

Jeudi le 23 octobre 2003

Durée: 13h30-15h20

Notes : Pour toutes les questions, la réponse seule n'obtient aucun point. Selon les problèmes, vous devez montrer vos calculs et/ou justifier vos réponses.

Question 1

B1 et B2 sont deux branchements consécutifs qui ont chacun leur entrée dans la table des prédicteurs de branchements. Le comportement suivant est observé lors de 8 passages dans le programme:

	1	2	3	4	5	6	7	8
B1	N	N	N	N	T	N	T	T
B2	N	T	T	T	N	T	N	N

- Pour le branchement B2, quelle est la performance d'un prédicteur à un bit, initialisé à l'état « non pris » ?
- Pour le branchement B2, quelle est la performance de prédicteurs avec corrélation (1,1), si tous les prédicteurs sont initialisés à l'état « non pris » ?
- Quelle est la pire situation pour un prédicteur de branchement à 2 bits (tel que décrit à la figure 3.7 du volume) ? Faites l'hypothèse que le prédicteur est initialisé à l'état 00.

Question 2

Dans ce problème, vous devez comparer la performance de deux pipelines à émission statique.

Dans le programme qui nous intéresse :

1. 15% des instructions sont des lectures en mémoire (load) suivies d'une instruction de type ALU qui utilise la donnée lue; par exemple

```
LD R1, 0(R2)
ADD R4, R1, R2
```

2. 15% des instructions sont des branchements conditionnels.
3. 70% des branchements conditionnels sont pris.

Faites l'hypothèse qu'il n'y a aucune autre situation ou type d'instructions qui peuvent causer un arrêt du pipeline.

Les deux processeurs prédisent les branchements comme n'étant pas pris (il n'y a pas de BTB). De plus, les deux processeurs supportent le passage des données (data forwarding).

1^{er} processeur : Le pipeline a 5 étages, soit IF - ID - EX - MEM - WB. La condition d'un branchement est résolue à la fin du cycle ID, alors que l'adresse de la destination du branchement (branch target) n'est connue qu'à la fin du cycle EX.

2^{ème} processeur : Le pipeline a seulement 3 étages, obtenus en regroupant les étages IF et ID ensemble, ainsi que les étages EX et MEM ensemble. Le nouveau pipeline est (IF/ID) - (EX/MEM) - WB. Pour ce processeur, la condition de branchement est donc résolue à la fin du premier cycle (IF/ID), et l'adresse de la destination du branchement est connue à la fin du 2^{ème} cycle (EX/MEM). La durée d'un cycle est $(2-\alpha)$ fois celle du 1^{er} processeur.

- a) Quelle doit être la valeur de α pour que la performance des deux processeurs soit la même ?
- b) Est-il raisonnable de croire que cette valeur de α puisse être atteinte (pour la même technologie de fabrication) ?

Question 3

Pour supporter les instructions du type

$$\text{ADD } R_x, R_y, k(R_z), \text{ (i.e., } R_x = R_y + \text{MEM}[k + R_z] \text{)}$$

le pipeline d'un processeur à émission statique est composé des 6 étages suivant :

IF - ID - EX1 - MEM - EX2 - WB

où le calcul d'adresse est fait à l'étage EX1, et l'opération d'addition à l'étage EX2.

Faites l'hypothèse que la logique à l'étage EX1 permet aussi d'y effectuer des opérations ALU. Ceci signifie que pour une instruction comme

$$\text{ADD } R_x, R_y, R_z \quad (R_x = R_y + R_z),$$

on peut exécuter l'opération d'addition au cycle EX1 ou au cycle EX2.

On crée donc les instructions ADD_1 pour laquelle l'addition est effectuée à l'étage EX1, et l'instruction ADD_2 pour laquelle l'addition est effectuée à l'étage EX2.

L'utilisation des deux instructions n'est pas équivalente à cause des dépendances de données qui peuvent être présentes avec l'instruction qui précède et/ou qui suit. L'utilisation d'une des deux instructions peut alors résulter en un arrêt du pipeline, et l'autre pas.

- Donnez une séquence de 2 instructions pour laquelle l'utilisation de ADD_1 est préférable à celle de ADD_2. Montrez clairement pourquoi l'utilisation de ADD_2 n'est pas adéquate.
- Donnez une séquence de 2 instructions pour laquelle l'utilisation de ADD_2 est préférable à celle de ADD_1. Montrez clairement pourquoi l'utilisation de ADD_1 n'est pas adéquate.
- Le choix entre l'utilisation de ADD_1 ou ADD_2 serait fait par le compilateur. Cependant, il serait aussi possible de définir une seule instruction ADD et laisser au processeur le choix de l'étage du pipeline pendant lequel l'exécution est effectuée (i.e. pendant EX1 ou EX2).

Expliquez comment le processeur peut faire ce choix, et donnez le ou les tests logiques sur les registres qui doivent être effectués. Notez que ce choix doit se faire lors du cycle ID de l'instruction.

Question 4

Un processeur à émission simple et émission dynamique (non spéculatif) a les ressources suivantes :

Unité fonctionnelle	Cycles d'exécution	Nombre d'unités
ALU (entier)	1	1
Mult. en point flottant (pas en pipeline)	10	2
Évaluation condition de branchement	1	1

et les caractéristiques suivantes :

- Les instructions de lecture ou écriture en mémoire utilisent l'unité ALU pour le calcul des adresses. Le calcul d'une adresse prend 1 cycle d'exécution.
- Les accès à la mémoire (écriture et lecture) prennent un cycle.
- Il n'y a qu'un port d'accès à la mémoire.
- Il y a autant de stations de réservation que nécessaire, ainsi que de tampons d'écriture et de lecture.
- Quand une instruction écrit sur le bus commun des données (étape WB) au cycle x , une instruction qui attend pour la même unité fonctionnelle peut démarrer l'exécution au cycle x .
- Une seule instruction peut écrire sur le bus commun des données (CDB) pendant un cycle. Les instructions de branchement et d'écriture en mémoire n'utilisent pas le CDB.
- Quand il y a un conflit entre instructions pour une ressource (incluant le CDB), l'instruction qui précède les autres a la priorité.
- Une instruction qui attend une donnée peut démarrer son exécution le cycle suivant le cycle où cette donnée a été mise sur le bus des données.
- Le processeur dispose d'un tampon de destinations de branchements (BTB) où seuls les branchements prédits y sont conservés avec l'adresse de la destination du branchement. Le branchement que vous allez traiter a une entrée dans ce tampon; le branchement est donc prédit comme étant pris.

a) Remplissez le tableau joint au questionnaire pour cette boucle :

Boucle: LD F0, 0(R1)
MULT.D F4, F0, F2
S.D. F4, 0(R1)
DADDI R1, R1, #-8
BNEQZ R1, boucle

et expliquez, s'il y a lieu, tout délai dans le déroulement des instructions.

- b) On utilise un processeur spéculatif qui peut émettre 2 instructions simultanément, et pour lequel les autres caractéristiques du processeur en a) demeurent inchangées sauf :
- Le processeur peut engager (commit) 2 instructions par cycle.
 - Une instruction qui suit un branchement ne peut être émise en même temps que le branchement.
 - Une instruction d'écriture en mémoire calcule l'adresse au cycle EX (1 cycle), mais fait l'accès à la mémoire à l'étape de l'engagement (commit).
 - Il y a autant d'entrées dans le tampon de ré-ordonnancement (ROB) que nécessaire.

Complétez le tableau ci-joint et justifiez, s'il y a lieu, tout délai dans le déroulement des instructions.

- c) Cette question utilise le même processeur qu'en b). Faites l'hypothèse que la boucle du code n'est exécutée que 2 fois. Le BNEQZ de la 2^{ème} itération sera prédit comme étant pris alors qu'en réalité, il n'est pas pris. Des instructions auront donc été exécutées et ne devaient pas l'être. Décrivez la meilleure stratégie que le processeur doit utiliser pour corriger la situation.
- d) Faites l'hypothèse que la boucle est exécutée plusieurs fois (par exemple, 10). Si on complétait un tableau d'exécution pour toutes les itérations de la boucle (autant pour le processeur en a) qu'en b)), on observerait que le nombre moyen de cycles par itération (nombre total de cycles / nombre d'itérations) est plus petit que le nombre de cycles nécessaire à l'exécution d'une seule itération. Quelles sont les 2 caractéristiques principales du processeur qui permettent d'avoir cette situation ?

NOM : _____

MATRICULE : _____

Tableau pour la question 4 a)

Itération	Instruction	IS	EX	MEM	WB	Justification de délai*
1	LD F0, 0(R1)					
1	MULT.D F4, F0, F2					
1	S.D. F4, 0(R1)					
1	DADDUI R1,R1,#-8					
1	BNEQZ R1, Boucle					
2	LD F0, 0(R1)					

Tableau pour la question 4 b)

Itération	Instruction	IS	EX	MEM	WR	COMMIT	Justification de délai*
1	LD F0, 0(R1)	1	2	3	4	5	
1	MULT.D F4, F0, F2	1	5-14		15	16	
1	S.D. F4, 0(R1)						
1	DADDUI R1,R1,#-8						
1	BNEQZ R1, Boucle						
2	LD F0, 0(R1)						
2	MULT.D F4, F0, F2						

*Écrivez vos justifications de délais dans votre cahier d'examen. Ne donnez ici que la référence à cette justification (par exemple, en numérotant vos justifications dans votre cahier)