

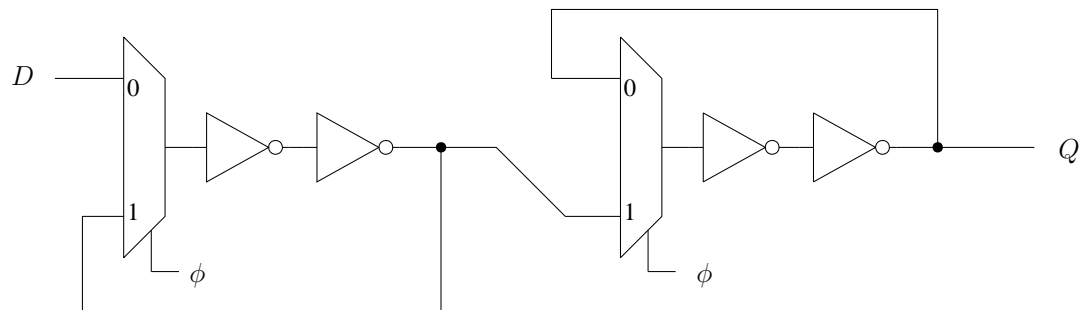
Examen final

Département de génie électrique et de génie informatique
Microélectronique - GIF17457

le 21 avril 2005

Vous avez droit à tous les documents et aux calculatrices autorisées.
Durée de l'examen: 2 heures (13h30-15h30).

1. (25 points) *Verilog, logique synchrone*
Soit le circuit suivant:



- (a) (5 points) Quel type d'élément synchrone est-ce (bascule ou verrou)? Est-ce un circuit statique ou dynamique? Est-il sensible au niveau '1', niveau '0', à la transition montante ou à la transition descendante de l'horloge? Justifiez.

Il s'agit d'une bascule sensible à la transition descendante (mais non déclenchée par la transition au sens strict). C'est un circuit statique (utilise la boucle à double inversion comme élément de stockage). La donnée stockée dans le verrou suit l'entrée tant que l'horloge est à '1', et verrouille cette donnée lorsque l'horloge tombe à zéro.

- (b) (10 points) Écrivez une description comportementale de ce circuit.

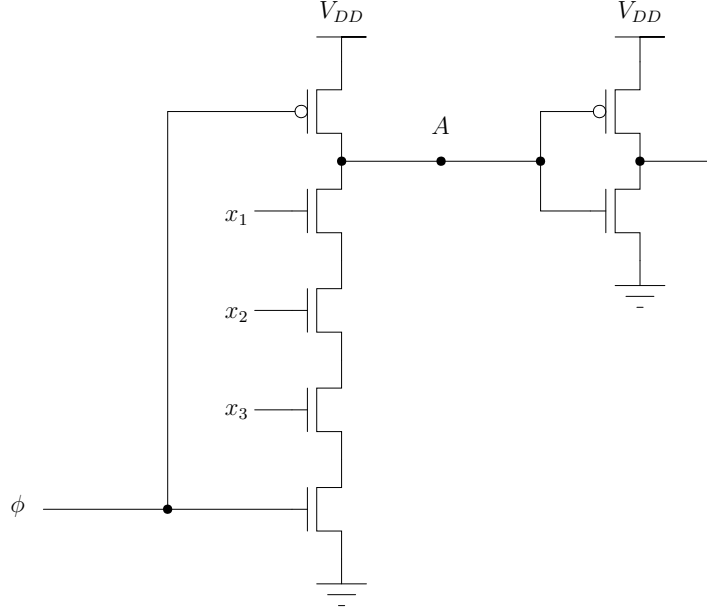
```
module bascule1 ( Q, D, CLK );  
input CLK, D;  
output Q;  
reg Q;  
always ( negedge CLK )  
    Q = D;  
endmodule
```

- (c) (10 points) Écrivez une description structurale de ce circuit.

```
module verrou ( Q, D, CLK, CLKB );  
input D, CLK, CLKB;  
output Q;  
wire sortie_mux;  
reg Q, Qb;  
cmos pt1 #1 ( sortie_mux, Q, CLK, CLKB );  
cmos pt2 #1 ( sortie_mux, D, CLKB, CLK);  
not ( Qb, sortie_mux );  
not ( Q, Qb );  
endmodule  
  
module bascule ( Q, D, CLK );  
input D, CLK;  
output Q;  
wire A, CLKB;  
verrou v1 (A, D, CLK, CLKB );  
verrou v2 (Q, A, CLKB, CLK );  
not (CLKB, CLK);  
endmodule
```

2. (25 points) *Logique CMOS dynamique, analyse dynamique*

Soit le circuit suivant:



On assume que les transistors ont les paramètres suivants:

- $\beta_n = 1.6 \text{ mA/V}^2$;
- $\beta_p = 1.6 \text{ mA/V}^2$;
- $C_{S_n} = C_{D_n} = 20 \text{ fF}$;
- $C_{S_p} = C_{D_p} = 80 \text{ fF}$;
- $V_{T_n} = 0.7 \text{ V}$;
- $|V_{T_p}| = 0.8 \text{ V}$;
- $C_{G_n} = 10 \text{ fF}$;
- $C_{G_p} = 40 \text{ fF}$;

et que la tension d'alimentation $V_{DD} = 2.5 \text{ V}$.

(a) (5 points) Trouvez la capacité au point A.

$$C_{FET_A} = C_{S_n} + C_{S_p} + C_{G_n} + C_{G_p} = 20 + 80 + 10 + 40 = 150 \text{ fF}$$

(b) (5 points) Dans les pires conditions de partage de charge, quelle est la tension à l'équilibre V_f au point A en assumant que le circuit cherche à maintenir le niveau logique '1' en sortie? Détaillez votre démarche.

$$Q = 150 \text{ fF} \times 2.5 \text{ V} = 375 \text{ fC} = (150 + 40 + 40 + 40) \text{ fF} \times V_f = 270 \text{ fF} \times V_f$$

$$V_f = \frac{375 \text{ fC}}{270 \text{ fF}} = 1.39 \text{ V}.$$

(c) (5 points) Quel est le temps maximal requis pour précharger la sortie à 90% si $x_1 = 0$?

$$R_p = \frac{1}{\beta_p (V_{DD} - |V_{T_p}|)} = \frac{1}{1.6 \text{ mA/V}^2 (2.5 \text{ V} - 0.8 \text{ V})} = 368 \Omega$$

$$t_{ch} = 2.2 (368 \Omega \times 150 \text{ fF}) = 55.2 \text{ ps}.$$

- (d) (5 points) Quel est le temps maximal requis pour précharger la sortie à 90% si $x_1 = 1$ et $x_2 = 0$?

$$R_n = \frac{1}{\beta_n (V_{DD} - V_{T_n})} = \frac{1}{1.6 \text{ mA/V}^2 (2.5\text{V} - 0.7\text{V})} = 347\Omega$$

$$t_{\text{ch}} = 55.2 \text{ ps} + 2.2((347 + 368)\Omega \times 40 \text{ fF}).$$

- (e) (5 points) Quel est le délai d'évaluation maximal défini comme étant le temps de chute de V_{DD} à $0.1V_{DD}$ au point A si $x_1 = x_2 = x_3 = 1$?

$$\begin{aligned} t_{\text{eval}} &= 2.3((R_n 40 \text{ fF}) + (2R_n 40 \text{ fF}) + (3R_n 40 \text{ fF}) + (4R_n 150 \text{ fF})) \\ &= 2.3(347\Omega \times (40 + 80 + 120 + 600) \text{ fF}) \\ &= 291.5 \text{ ps}. \end{aligned}$$

3. (25 points) *Logique CMOS statique, conception*

Soit un procédé ayant les caractéristiques suivantes:

- $k'_n = 40 \text{ } \mu\text{A/V}^2$;
- $k'_p = 10 \text{ } \mu\text{A/V}^2$;
- $V_{T_n} = 0.4 \text{ V}$;
- $V_{T_p} = -0.5 \text{ V}$;
- $L_n = L_p = 0.24 \mu\text{m}$;
- $\mu_n = 500 \frac{\text{cm}^2}{\text{V}\cdot\text{s}}$.

Si on construit un inverseur dans ce procédé en supposant qu'une alimentation de 1.8 V est employée:

- (a) (5 points) Trouvez le point milieu V_M de la caractéristique si $\left(\frac{W}{L}\right)_n = 6$ et $\left(\frac{W}{L}\right)_p = 16$.

$$\frac{\beta_n}{\beta_p} = \frac{k'_n \left(\frac{W}{L}\right)_n}{k'_p \left(\frac{W}{L}\right)_p} = \frac{40 \times 6}{10 \times 16} = \frac{240}{160} = 1.5$$

$$V_M = \frac{1.8 \text{ V} - 0.5 \text{ V} + \sqrt{1.5} 0.4 \text{ V}}{1 + \sqrt{1.5}} = 0.8 \text{ V}$$

- (b) (5 points) Calculez β_n et β_p .

$$\begin{aligned} \beta_n &= k'_n \left(\frac{W}{L}\right)_n = 240 \mu\text{A/V}^2 \\ \beta_p &= k'_p \left(\frac{W}{L}\right)_p = 160 \mu\text{A/V}^2 \end{aligned}$$

- (c) (5 points) Calculez C_{ox} .

$$C_{ox} = \frac{k'_n}{\mu_n} = \frac{240 \mu\text{A/V}^2}{500 \frac{\text{cm}^2}{\text{V}\cdot\text{s}}} = 4.8 \times 10^{-7} \text{ F/cm}^2$$

- (d) (5 points) Calculez C_{G_n} et C_{G_p} .

$$\begin{aligned}
 C_{G_n} &= C_{ox}A_{G_n} = 4.8 \times 10^{-7} \text{F/cm}^2 \times (0.24 \mu\text{m} \times 1.44 \mu\text{m}) \\
 &= 4.8 \times 10^{-7} \text{F/cm}^2 \times (0.24 \times 10^{-4} \text{cm} \times 1.44 \times 10^{-4} \text{cm}) \\
 &= 1.659 \times 10^{-15} \text{F} \\
 \\
 C_{G_p} &= C_{ox}A_{G_p} = 4.8 \times 10^{-7} \text{F/cm}^2 \times (0.24 \mu\text{m} \times 3.84 \mu\text{m}) \\
 &= 4.8 \times 10^{-7} \text{F/cm}^2 \times (0.24 \times 10^{-4} \text{cm} \times 3.84 \times 10^{-4} \text{cm}) \\
 &= 4.424 \times 10^{-15} \text{F}
 \end{aligned}$$

- (e) (5 points) Comment ajusteriez-vous les ratios $\left(\frac{W}{L}\right)_n$ et $\left(\frac{W}{L}\right)_p$ pour obtenir le plus petit inverseur possible qui ait une caractéristique symétrique ($V_M = 0.9 \text{ V}$)?

$$\left(\frac{W}{L}\right)_n = 1, \quad \left(\frac{W}{L}\right)_p = 4$$

4. (25 points) *Arithmétique, conception*

Vous avez à réaliser un circuit effectuant l'encodage de Booth d'un vecteur de 8 bits. A chaque bit d'entrée x_n doit donc correspondre un chiffre signé z_n représenté sur 2 bits (r_n et s_n) selon l'encodage suivant:

z_n	r_n	s_n
-1	0	0
0	0	1
0	1	0
1	1	1

- (a) (10 points) Déterminez le circuit combinatoire nécessaire à la génération d'un chiffre (r_n , s_n), si nécessaire en utilisant des tables de Karnaugh, et dessinez-en le schéma au niveau des portes logiques et / ou des transistors.
- (b) (10 points) Dessinez le schéma de haut niveau du circuit complet en utilisant le circuit conçu en (a) comme composante.
- (c) (5 points) En quoi le circuit diffère-t-il selon qu'il doive traiter des vecteur binaires positifs ou en complément-à-deux?

En complément à deux, il faut ignorer le bit de poids fort x_{N+1} .

Bonne chance et bon été!

Sébastien Roy