

# Examen partiel

Département de génie électrique et de génie informatique  
Systèmes VLSI - GIF19264

le 8 novembre 2006

Vous avez droit à tous les documents. SVP, *pas* d'ordinateurs portables.  
Durée de l'examen: 2 heures (13h30-15h30).

---

**1.** *Types de PLDs* (10 points)

- (a) (3 points) L'architecture des FPGAs de Xilinx est-elle à granularité fine ou grossière? Justifiez en quelques mots.
- (b) (4 points) Quel est selon vous le lien entre la technologie de reconfiguration employée et la granularité d'une architecture FPGA?
- (c) (3 points) Quels avantages offrent les CPLDs par rapport aux FPGAs?

2. *Modélisation et styles en VHDL* (25 points) Soit la description VHDL suivante:

```
entity exercice2
  port( x1, x2, x3, sel: in std_ulogic;
        y: out std_ulogic);
end entity exercice2;

architecture archi of exercice2 is
  signal a, b, c, d, e, f: std_ulogic;
begin
  a <= x1 or x3;
  b <= x1 and x3;
  c <= x2 and a;
  d <= b or c;
  e <= x1 xor x2;
  f <= x3 xor e;
  P1: process (d, f, sel)
    begin
      if sel='0' then
        y <= d;
      else
        y <= f;
      end if;
    end process P1;
end architecture archi;
```

- (a) (6 points) Tracez à partir d'éléments de base le schéma correspondant.
- (b) (2 points) Cette description est-elle structurale ou comportementale?
- (c) (3 points) Le processus P1 est-il combinatoire ou séquentiel? Justifiez.
- (d) (6 points) Quel est selon vous la fonction de ce circuit?
- (e) (8 points) À partir de la même entité, écrivez une architecture exploitant la logique 3-états pour la sélection de la sortie via le signal sel.

**3. Conception en VHDL** (25 points) Soit l'entité suivante:

```
library ieee;  
use ieee.std_logic_1164.all;  
use ieee.numeric_std.all;  
entity compteur  
  port ( x: in std_logic;  
         y: out unsigned (7 downto 0));  
end entity compteur;
```

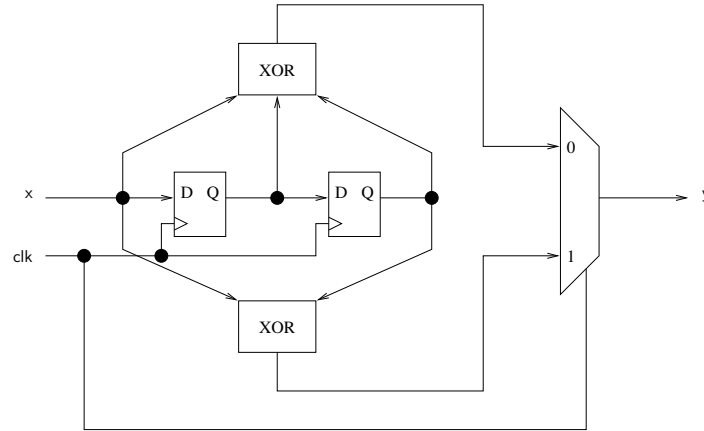
- (a) (20 points) Écrivez une description en VHDL comportemental à partir de cette entité qui compte les transitions montantes sur x et présente en tout temps le compte courant sur 8 bits à la sortie y.
- (b) (5 points) Si on rajoute le port suivant:

d: **out** std\_logic;

Quelle modification apporteriez-vous pour que d monte à '1' lorsqu'il y a débordement du compteur?

4. *Machines à état, conception* (40 points)

Voici le schéma d'un encodeur convolutionnel de taux  $\frac{1}{2}$ . Un tel circuit accepte des bits à l'entrée  $x$  à raison d'un bit par coup d'horloge, et restitue en sortie deux bits encodés par coup d'horloge.



- (a) (5 points) Ce circuit sans le multiplexeur de sortie peut être vu comme une machine à états. Est-ce une machine de Moore ou de Mealy? Justifiez.
- (b) (15 points) Tracez le diagramme d'états de cette machine.
- (c) (20 points) À partir de l'entité suivante, écrivez une description VHDL pour l'encodeur convolutionnel. Vous pouvez vous baser sur le diagramme d'états en (b) ou directement sur le schéma donné.

```

library ieee;
use ieee.std_logic_1164.all;
entity encodeur
  port(x, clk, reset: in std_logic;
        y: out std_logic );
end entity encodeur;

```

*Bonne chance!*