

Examen final

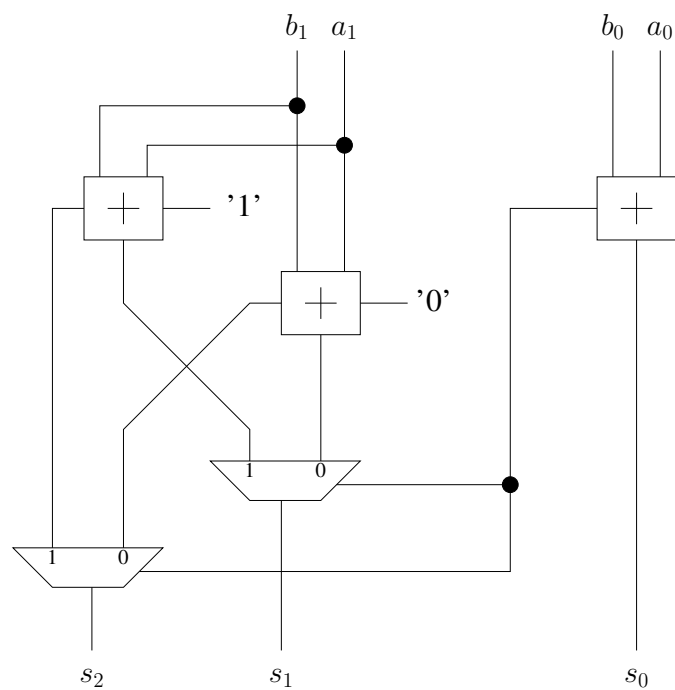
Département de génie électrique et de génie informatique
Microélectronique - GIF17457

le 19 avril 2007

Vous avez droit à tous les documents. SVP, *pas* d'ordinateurs portables.
Durée de l'examen: 3 heures (13h30-16h30).

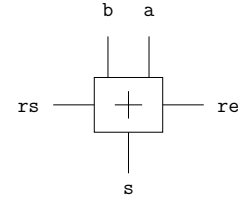
1. (20 points) *Verilog – styles de modélisation*

Soit un additionneur à retenue conditionnelle à 2 bits:

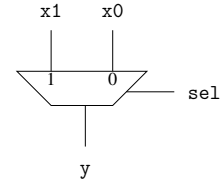


(a) (10 points) En assumant que les deux composantes suivantes vous sont fournies:

`fa(s, rs, a, b, re)`



`mux(y, x0, x1, sel)`

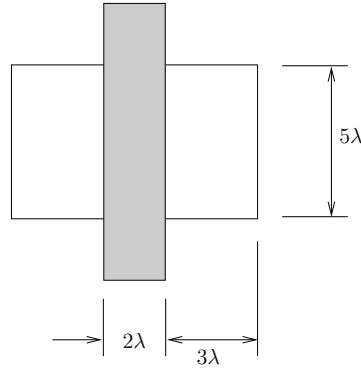


Écrivez une description structurale de cet additionneur

(b) (10 points) Écrivez une description comportementale pour le même circuit.

2. (18 points) *Modélisation RC*

Soit le pFET suivant:



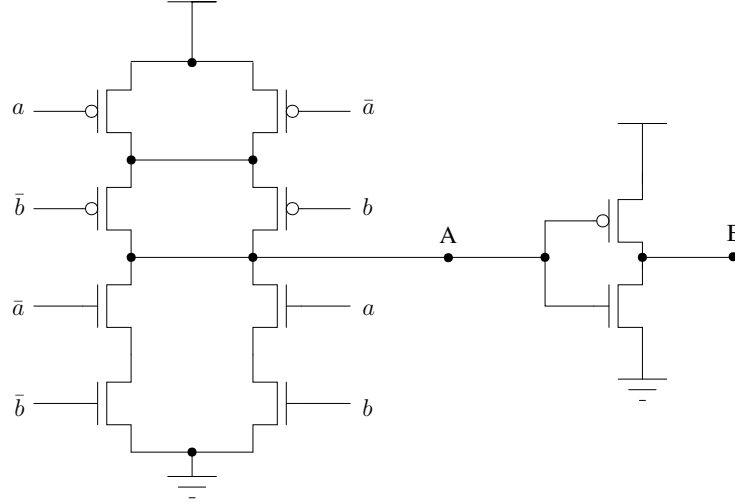
On donne les paramètres suivants:

- Technologie CMOS à $0.12 \mu\text{m}$;
- $C_{\text{ox}} = 3.82 \frac{\text{fF}}{\mu\text{m}^2}$;
- $\mu_n = 180 \frac{\text{cm}^2}{\text{V}\cdot\text{s}}$;
- $C_j = 0.94 \frac{\text{fF}}{\mu\text{m}^2}$;
- Profondeur de jonction $x_j = 0.04 \mu\text{m}$;
- Tension de seuil $\|V_{T_p}\| = 0.3 \text{ V}$;
- Alimentation $V_{DD} = 1.2 \text{ V}$.

- (a) (3 points) Calculez la transconductance de procédé k'_p ;
- (b) (3 points) Calculez la transconductance du transistor β_p ;
- (c) (3 points) Calculez R_p ;
- (d) (3 points) Calculez la capacité de grille C_G ;
- (e) (3 points) Calculez la capacité de jonction C_p ;
- (f) (3 points) Déterminez C_S et C_D

3. (32 points) *Analyse électronique des portes complexes*

Soit le circuit suivant, qui constitue une réalisation en CMOS complémentaire d'une porte ou-exclusif (XOR):



On assume que les transistors ont les paramètres suivants:

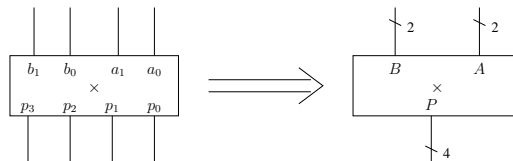
- $\beta_n = 1.6 \text{ mA/V}^2$;
- $\beta_p = 1.6 \text{ mA/V}^2$;
- $C_{S_n} = C_{D_n} = 20 \text{ fF}$;
- $C_{S_p} = C_{D_p} = 80 \text{ fF}$;
- $V_{T_n} = 0.7 \text{ V}$;
- $|V_{T_p}| = 0.8 \text{ V}$;
- $C_{G_n} = 10 \text{ fF}$;
- $C_{G_p} = 40 \text{ fF}$;

et que la tension d'alimentation $V_{DD} = 2.5 \text{ V}$.

- (a) (5 points) Trouvez la capacité au point B.
- (b) (5 points) Calculez le temps de montée (pire cas) de 10% à 90% au point A.
- (c) (5 points) Calculez le temps de descente (pire cas) de 90% à 10% au point A.
- (d) (5 points) Dans le pire des cas, quel est le temps de montée total (résultant d'une transition sur les entrées a , b , \bar{a} , \bar{b}) au point B? Assumez que le pFET supérieur de l'inverseur commence à conduire pleinement lorsque la tension en A descend en deça de $0.4V_{DD}$.
- (e) (5 points) Quel est le ratio r de ce circuit intégré?
- (f) (7 points) En assumant que les transistors n sont de taille minimale (transistors unitaires), quelles modifications de taille peuvent être appliquées pour équilibrer les temps trouvés en (b) et (c)?

4. (30 points) *Arithmétique, conception*

Soit un multiplieur en réseau de 2 bits:



Ce multiplieur accepte des opérandes binaires non-signées. Soit deux opérandes de 4 bits que l'on divise en deux moitiés de 2 bits:

$$A = (A_1 \& A_0)$$

$$B = (B_1 \& B_0)$$

où A_1 , A_0 , B_1 , B_0 sont des vecteurs de deux bits et $\&$ est l'opérateur de concaténation. Sachant qu'on peut décomposer la multiplication comme suit:

$$\begin{array}{r}
 \\
 \\
 \times \\
 \hline
 (A_0 \times B_0) \\
 (A_0 \times B_1) \\
 (A_1 \times B_0) \\
 (A_1 \times B_1) \\
 \hline
 \end{array}$$

Dessinez le schéma de haut niveau d'un multiplieur acceptant 2 opérandes non-signées de 4 bits et restituant un résultat sur 8 bits. Ce multiplieur doit être entièrement combinatoire et vous pouvez utiliser comme composantes 1- le multiplieur à 2 bits ci-haut, 2- des additionneurs séquentiels de n'importe quelle taille, 3- des arbres de Wallace de n'importe quelle taille, 4- des additionneurs à retenue conservée. Vous pouvez également faire appel à des structures en arbre ou en cascade pour l'addition des produits partiels. Identifiez bien chacune des composantes, identifiez le nombre de bits de chaque connection (comme ci-dessus) et soyez conscients que plusieurs bonnes solutions sont possibles.

Bonne chance et bon été!

Sébastien Roy