

GIF-17455 – Architecture des microprocesseurs

Examen Partiel : Solutions

Lundi le 20 novembre 2006

Durée: 9h30-11h20

Question 1 (35 points)

Répondez à sept des huit questions suivantes (chaque sous-question vaut 5 points)

- a) Pas de stations de réservation disponible, et pas d'entrée disponible dans le tampon de réordonnancement.
- b) Si une instruction de lecture ou d'écriture à la même adresse précède cette instruction et n'est pas terminée – nécessaire pour éviter un WAR ou WAW en mémoire.
- c) Non. Une valeur est mise dans le fichier des registres uniquement lorsque l'instruction qui génère cette valeur n'est plus spéculative.
- d) Puisque chaque prédicteur a 8 bits, la table contient 256 prédicteurs. Elle est donc indexée avec les 8 bits les moins significatifs de l'adresse de l'instruction de branchement.
- e) Le tampon des destinations d'adresses. Il permet d'obtenir rapidement l'adresse de la destination d'un branchement qui est prédit comme étant pris.
- f) La prédication est utile lorsqu'un programme peut prendre deux directions différentes pour un petit nombre d'instructions avant de revenir sur un chemin d'exécution unique
- g) Non, parce que la compilation tient compte des latences et UF de l'architecture.
- h) Une instruction de lecture spéculative est définie, sLD, et une instruction SPECCK prend la place de l'instruction de LD pour déterminer s'il y a eu exception lors du sLD.

Question 2 (20 pts)

a)

	1	2	3	4	5	6	7	8	9
BR1	NP	NP	P	NP	P	NP	P	NP	P
BR2	NP	NP	P	NP	P	NP	P	P	NP
État du prédicteur	00	00	00	01	00	01	00	01	11
Prédiction	NP	NP	NP	NP	NP	NP	NP	NP	P
Bonnes prédictions	1	1	0	1	0	1	0	0	0

Il y a donc 4 bonnes prédictions

- b) On peut observer dans le tableau la corrélation entre BR1 et BR2,
i.e. que 4 fois sur 5, BR2 est NP si BR1 est NP
que 3 fois sur 4, BR2 est P si Br1 est P

Il faut utiliser un prédicteur avec 1 bit de corrélation (donc deux prédicteurs). Ces deux prédicteurs peuvent n'avoir qu'un seul bit (voir tableau ci-dessous) et la performance est meilleure que celle du prédicteur à la partie a).

Dans le tableau qui suit, la ligne « État du prédicteur » contient deux prédicteurs à un bit. Celui à gauche est le prédicteur utilisé lorsque BR1 est NP. Le prédicteur utilisé est représenté en caractère gras.

	1	2	3	4	5	6	7	8	9
BR1	NP	NP	P	NP	P	NP	P	NP	P
BR2	NP	NP	P	NP	P	NP	P	P	NP
État du prédicteur	0 0	0 0	0 0	0 1	0 1	0 1	0 1	0 1	1 1
Prédiction	NP	NP	NP	NP	P	NP	P	NP	P
Bonnes prédictions	1	1	0	1	1	1	1	0	0

On voit donc qu'il y a 6 bonnes prédictions.

Si la séquence des branchements était répétée à plusieurs reprises, un prédicteur (1,2) (un bit de corrélation, deux bits pour chacun des deux prédicteurs) aurait une meilleure performance puisque les erreurs de prédiction aux passages 8 & 9 ne causeraient pas des erreurs aux passages 1 et 3.

Question 3 (20 pts)

A :	LD	F2, 0 (R1)	% MEM(R1+0) → R2
	MUL.D	F2, F2, F0	% F2+F0 → F2
	SD	F2, 0 (R1)	% F2 → MEM(R1+0)
	DADDIU	R1, R1, #8	% R1 + 8 → R1
	BNE	R1, R3, A	% Si R1 ≠ R3, retourne à « A »

a) Puisque la données du problème nous dit qu'il n'y a pas d'aléas structurels, les cycles de suspension dans le code sont :

Entre le LD et le MUL.D : 1 cycle (valeur générée au cycle MEM et utilisée au cycle EX)

Entre le MUL.D et le SD : 2 cycles (valeur générée au cycle EX4 et utilisée au cycle MEM)

Entre le DADDIU et le BNE : 1 cycle (valeur générée au cycle EX et utilisée au cycle ID)

Après le BNE : 1 cycle

b) On déroule une fois et on ajuste les adresses des accès mémoires

LD	F2, 0 (R1)
LD	F12, 8 (R1)
MUL.D	F2, F2, F0
MUL.D	F12, F12, F0
DADDIU	R1, R1, #16
SD	F2, -16 (R1)
BNE	R1, R3, A
SD	F12, -8 (R1)

On peut vérifier qu'il y a au moins

- 1 instruction entre le LD et son utilisation par MUL.D
- 2 instructions entre le MUL.D et la mise en mémoire à SD
- 1 instruction entre le DADDIU et le BNE
- 1 instruction après le BNE

ce qui cache bien les suspensions de pipeline causées par les dépendances de données.

Question 4 (25 pts)

	Lance- ment (IS)	Exécution (EX)	Accès mémoire (MEM)	Diffusion sur le bus (WB)	Justification de délai
LD R2, 0 (R1)	1	2	3	4	
DDIV R2, R2, R4	2	5-8		9	Attend R2
SD R2, 0 (R1)	3	4	10		Attend R2
DADDIU R1, R1, #4	4	5		6	
BNE R2, R6, A	5	10			Attend R2
LD R2, 0 (R1)	6	11	12	13	Attend fin du branchement
DDIV R2, R2, R4	7	14-17		18	Attend R2

	Lance- ment (IS)	Exécution (EX)	Accès mémoire (MEM)	Diffusion sur le bus (WB)	Garantie (commit)
LD R2, 0 (R1)	1	2	3	4	5
DDIV R2, R2, R4	2	5-8		9	10
SD R2, 0 (R1)	3	4			11
DADDIU R1, R1, #4	4	5		6	12
BNE R2, R6, A	5	10			13
LD R2, 0 (R1)	6	7	8	10	14
DDIV R2, R2, R4	7	11-14		15	16