

INF1600
Architecture des micro-ordinateurs

TP5
Assembleur en ligne et mémoire

Soumis par :
William Harvey (1851388)
et
Mathieu Bélanger (1850591)

Section 4
1 mars



**POLYTECHNIQUE
MONTRÉAL**

LE GÉNIE
EN PREMIÈRE CLASSE

Question 1

Direct 6/10/4				2 blocs 7/9/4			4 blocs 8/8/4		
Accès	Tag	Ensemble	Octet	Tag	Ensemble	Octet	Tag	Ensemble	Octet
0x5EF1D	0101 11	10 1111 0001	1101	0101111	0 1111 0001	1101	0101 1110	1111 0001	1101
0x19C7C	0001 10	01 1100 0111	1100	0001 100	1 1100 0111	1100	0001 1001	1100 0111	1100
0x5EF1B	0101 11	10 1111 0001	1011	0101111	0 1111 0001	1011	0101 1110	1111 0001	1011
0x8CDB0	1000 11	00 1101 1011	0000	1000 110	0 1101 1011	0000	1000 1100	1101 1011	0000
0x3CDB3	0011 11	00 1101 1 011	0011	0011 110	0 1101 1011	0011	0011 1100	1101 1011	0011
0x5EF15	0101 11	10 1111 0001	0101	0101 111	0 1111 0001	0101	0101 1110	1111 0001	0101
0x68DBF	0110 10	00 1101 1011	1111	0110 100	0 1101 1011	1111	0110 1000	1101 1011	1111
0xCAF1C	1100 10	10 1111 0001	1100	1100 101	0 1111 0001	1100	1100 1010	1111 0001	1100
0x39C7E	0011 10	01 1100 0111	1110	0011 100	1 1100 0111	1110	0011 1001	1100 0111	1110
0xCAF1A	1100 10	10 1111 0001	1010	1100 101	0 1111 0001	1010	1100 1010	1111 0001	1010

Question 2

Direct					2 blocs				4 blocs			
Accès	Tag	Set	Hit	w-b	Tag	Set	Hit	w-b	Tag	Set	Hit	w-b
WR 0x5EF1D	0x17	0x2F1			0x2F	0x0F1			0x5E	0xF1		
WR 0x19C7C	0x06	0x1C7			0x0C	0x1C7			0x19	0xC7		
RD 0x5EF1B	0x17	0x2F1	x		0x2F	0x0F1	x		0x5E	0xF1	x	
RD 0x8CDB0	0x23	0x0DB			0x46	0x0DB			0x8C	0xDB		
WR 0x3CDB3	0x0F	0x0DB			0x1E	0x0DB			0x3C	0xDB		
WR 0x5EF15	0x17	0x2F1	x		0x2F	0x0F1	x		0x5E	0xF1	x	
RD 0x68DBF	0x1A	0x0DB		x	0x34	0x0DB			0x68	0xDB		
WR 0xCAF1C	0x32	0x2F1		x	0x65	0x0F1			0xCA	0xF1		
RD 0x39C7E	0x0E	0x1C7		x	0x1A	0x1A7			0x39	0xC7		
WR 0xCAF1A	0x32	0x2F1	x		0x65	0x0F1	x		0xCA	0xF1	x	

Question 3

Direct		2 blocs			4 blocs				
Set	Tag0	Set	Tag0	Tag1	Set	Tag0	Tag1	Tag2	Tag3
0x2F1	32*	0x0F1	2F*	65*	0xF1	5E*	CA*	x	x
0x1C7	0E	0x1C7	0C*	1C	0xC7	19*	39	x	x
0x0DB	1A	0x0DB	34	1E*	0xDB	8C	3C*	68	x

Question 4

Pour chaque politique de placement le Temps d'accès effectif est le même car les Taux de succès et de défauts sont les mêmes.

$$Temps\ d'accès\ effectif = h\ tp + (1 - h)\ ts$$

$$T_a = \frac{nb.\ de\ succès}{nb.\ total\ d'accès} \times Temps_{accès\ mém.\ primaire} + (Taux\ de\ défauts) \times Temps_{accès\ mém.\ secondaire}$$

$$T_a = \frac{3}{10} \times 8ns + \left(1 - \frac{3}{10}\right) \times 100ns$$

$$T_a = 72,4\ ns$$

Question 5

Lorsque la politique de placement est complètement associative, la structure de l'adressage ne contient pas de bits *pour l'ensemble*. En effet, puisque les blocs peuvent être *placés* dans la cache à n'importe quel endroit, chaque bloc est uniquement associé à un *tag* qui indique sa provenance.

À l'opposé, si la politique de placement est associative par ensemble ou directe, il faut spécifier à la fois l'ensemble de bloc (ou le simple bloc pour la cache directe) ainsi que l'étiquette qui identifie le bloc parmi l'ensemble.

Adressage direct ou associatif

Tag	Set/bloc	Mot
-----	----------	-----

Adressage complètement associatif

Tag	Mot
-----	-----



BONNES VACANCES ! 😊