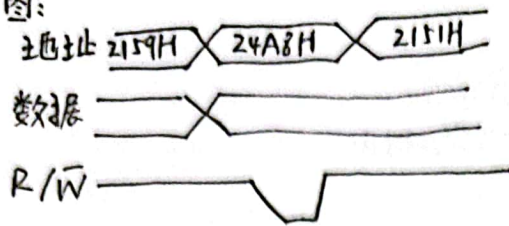


2151769-吕博文

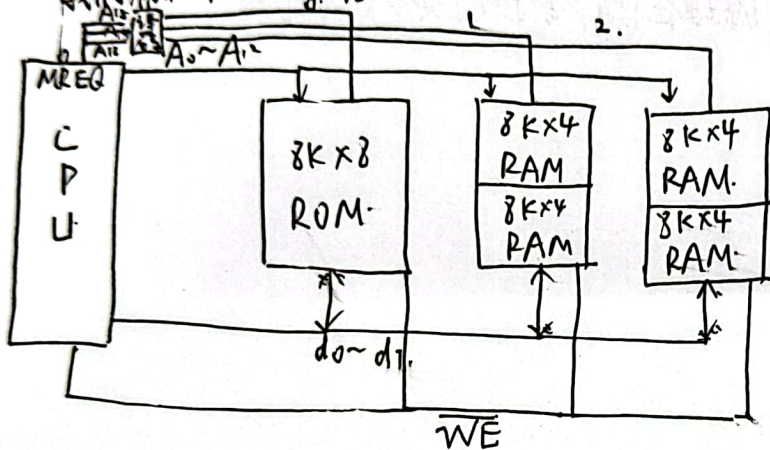
4.4 在  $R/\bar{W}$  为低电平代表写命令的时候地址总线和数据总线不能改变。

时序图:



- 4.5 (1)  $512/64 \times 16/1 = 128$  个  
 (2) 单元刷新间隔为 2ms, 每单元有 128 行  
 $\therefore T \leq 2/128 = 15.625 \mu s$

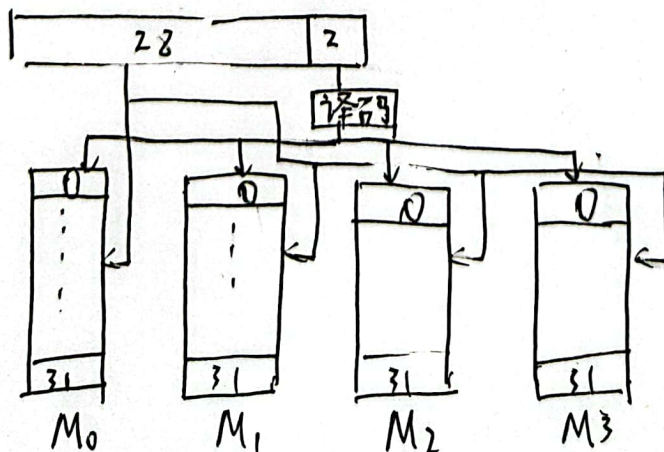
4.6 解: 因为 ROM 地址空间为  $0000H \sim 1FFFH$ ,  
 所以 ROM 为  $8K \times 8$  的结构。  
 我们利用 CPU 总线的高三位作选择器



7. SRAM 是静态存储器不需要刷新, DRAM 是动态存储器需要刷新。

11 首先我们需要 128 个芯片,

主: 总容量 1G 决定地址总线为 30 位,  $A_{29} \sim A_0$  4 体交叉存储, 所以低 2 位用来选择存储体  
 其余 28 位地址线作为行地址, 列地址经二选一电路选择存储体的体内地址,  
 其中每个存储体由 32 芯片由位扩展方式形成, 大致如下:

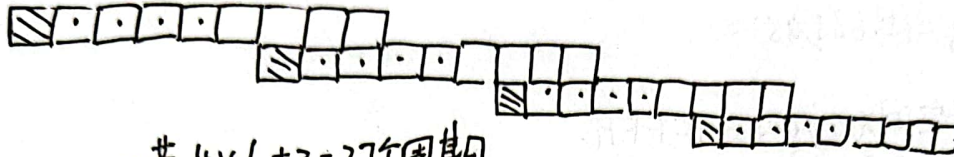


4.12. (1) <sup>定读写</sup> 单个周期 =  $1+4+1=6$

总时间 =  $6 \times 16 = 96$  个周期

<2> ~~总时间 =  $(1+4+4) \times 4 = 36$  个周期~~

4字宽主存, 我们可以采用流水线的方式读写  
在每次传送数据的时候, 我们可以读下一次的地址



一共  $4 \times 6 + 3 = 27$  个周期

<3> 4体交叉存储读取的方法类似于4字宽主存, 单次读4个字需要  $1+4+4=9$  个周期  
我们同样可以利用流水线的原理在传输数据时读取下一个地址  
一共  $4 \times 6 + 3 = 27$  个周期





7.1 存储系统层次: cache—主存—辅存.

或 寄存器组—cache—主存—辅存.

存储介质: 寄存器—电路

容量由小到大, 速度由高到低.

cache—SRAM. 主存—DRAM 辅存—磁盘表面存储.

7.2 主存: 随机按字存取, 辅存: DMA 成组传送.

$$7.3 \text{ 有 cache 时平均访存时间} = (10 \times 0.98 + (10 + 100) \times 0.02) + (10 \times 0.95 + (10 + 100) \times 0.05) \times \frac{1}{2} \\ = 15 \text{ ns}$$

$$\text{无 cache 时: 平均访存时间} = 100 \times 1 + 100 \times \frac{1}{2} = 120 \text{ ns}$$

$$120 / 15 = 8 \text{ 倍.}$$

7.4 若采用哈佛结构, 地址与数据分开处理. 有 cache 时平均访存时间为 12 ns  
提高  $120 / 12 = 10$  倍.

7.5 解: (1)  $2 \text{ MB} = 2^{21} \text{ B}$ , 主存地址为 21 位.

$16 \text{ KB} = 2^{14} \text{ B}$ ,  $2^{21} / 2^{14} = 2^7$ , 所以区号占 7 位.

4 路组相联, 所以每组  $2^2 \cdot 2^3 \cdot 2^2 = 2^7 \text{ B}$ .

$2^{14} / 2^7 = 2^7$ , 所以组号占 7 位.

7	7	2	3	2
区号	组号	块地址	字地址	字节地址

$$(2) 101 \times 4 = 404 \text{ B} < 16 \text{ KB}$$

所以 cache 第一次所有的字不命中, 后十次所有的字均命中.

$$\text{命中率为 } \frac{10 \times 101}{11 \times 101} \approx 90.9\%$$

设主存读 101 字时间为  $5t$ , 则 cache 读 101 字时间为  $t$ .

$$\text{无 cache 总时间} = 5t \times 11 = 55t$$

$$\text{有 cache 总时间} = (5t + t) + 5t \times 10 = 16t$$

$$\text{速度提高 } \frac{55t}{16t} \approx 3.43 \text{ 倍}$$

解: (1) 因为 cache 采用直接映像法, 所以 4096 位置与 0 位置总会存在 cache 的 0 位置.  
所以交替取指令下命中率为 0%

$$(2) 10 \times 0.95 + (10 + 100) \times 0.05 = 15 \text{ ns}$$

7. (1)  $8192 = 2^{13}$ ,  $32 = 2^5$ ,  $2^{13} \times 2^5 = 2^{18}$ , 主存—共有 18 位.

$64 = 2^6$ ,  $2^6 \times 2^5 = 2^{11}$ , cache 地址 11 位.

4 路各组相联

(2) 区号 = 7 位, 组号 4 位, 块号 2 位, 块内地址 5 位.



7.9. 有虚存用户编程时不用考虑, 允许使用的堆容量, 无虚存则应考虑。

7.10. 虚拟地址30位, 实际地址22位; 寻址方式计算出的是虚拟地址; 页表长度  $2^{18}$

7.11 80324H; 96128H; 无效, 查找失败

7.12.

(1) FIFO: 命中率为  $3/15 = 20\%$

LRU: 命中率为  $5/15 \approx 33.3\%$   $6/15 = 40\%$

(2) FIFO: 命中率  $9/15 = 60\%$   $6/15 = 40\%$

LRU: 命中率:  $9/15 = 60\%$

(3) 命中率是访存改变页面时的命中率, 根据局部性原理, 在某页调入主存后, 一般CPU会多次访问该页, 所以CPU访问主存命中率会远远超过上述数据。

