

特征

- 针对1.8V系统进行了优化
 - 引脚间逻辑延迟快至4.6ns
 - 低至15 静态电流
- 业界最好的0.18微米CMOS CPLD
 - 用于有效逻辑合成的优化架构
 - 多电压I/O操作——1.5V至3.3V
- 有多种包选项可供选择
 - 44引脚VQFP, 带33个用户I/O
 - 48个陆地QFN, 37个用户I/O
 - 56球CP BGA, 带45个用户I/O
 - 具有64个用户I/O的100引脚VQFP
 - 所有包装均不含铅
- 高级系统功能
 - 系统编程速度最快
 - 使用IEEE 1532 (JTAG) 接口的1.8V ISP
 - IEEE1149.1 JTAG边界扫描测试
 - 可选施密特触发器输入 (每个引脚)
 - 两个独立的I/O组
 - RealDigital 100%CMOS产品术语生成
 - 灵活的计时模式
 - 可选DualEDGE触发寄存器
 - 具有宏小区控制的全局信号选项
 - 每个宏小区具有相位选择的多个全局时钟
 - 多个全局输出启用
 - 全局设置/重置
 - 有效的控制项时钟、输出启用以及每个宏小区的设置/重置, 并在功能块之间共享
 - 高级设计安全性
 - 可选总线保持、3态或选定I/O引脚上的弱上拉
 - 有线OR和LED驱动器的开漏输出选项
 - 未使用I/O的可选可配置接地
 - 与1.5V、1.8V、2.5V和3.3V逻辑电平兼容的混合I/O电压
 - PLA架构
 - 卓越的引脚保留率
 - 跨功能块的100%产品术语可路由性
 - 可热插拔

有关体系结构描述, 请参阅CoolRunner™-II系列数据表。

描述

CoolRunner II 64宏蜂窝设备专为高性能和低功耗应用而设计。这为高端通信设备节省了电力, 为电池供电的设备提供了高速。由于低功率待机和动态运行, 提高了整个系统的可靠性。

该设备由四个功能块组成, 通过低功耗高级互连矩阵 (AIM) 相互连接。AIM向每个功能块提供40个真值和补码输入。功能块由40乘56的P项PLA和16个宏小区组成, 这些宏小区包含允许组合或注册操作模式的许多配置位。

此外, 这些寄存器可以全局复位或预置, 并配置为D或T触发器或D锁存器。还存在基于每个宏小区配置的多个时钟信号, 包括全局和本地乘积项类型。输出引脚配置包括转换速率限制、总线保持、上拉、漏极开路和可编程接地。施密特触发器输入可在每个输入引脚的基础上使用。除了存储宏单元输出状态外, 宏单元寄存器还可以配置为“直接输入”寄存器, 以直接存储来自输入引脚的信号。

可在全局或功能块的基础上进行计时。三个全局时钟可作为同步时钟源用于所有功能块。宏单元寄存器可以单独配置为加电至零或一状态。全局设置/重置控制线也可用于在操作期间异步设置或重置所选寄存器。附加的本地时钟、同步时钟使能、异步设置/复位和输出使能信号可以在每个宏小区或每个功能块的基础上使用乘积项来形成。

DualEDGE触发器功能也可用于每个宏小区。此功能允许基于较低频率时钟的高性能同步操作, 以帮助降低设备的总功耗。

CoolRunner II 64宏单元CPLD与标准LVTTTL和LVCMOS18、LVCMOS25和LVCMOS 33的I/O兼容 (见**表1**)。该设备还与施密特触发器输入的使用兼容1.5V I/O。

另一个简化电压转换的功能是I/O银行。CoolRunner II 64A宏蜂窝设备上有两个I/O组, 可轻松连接到3.3V、2.5V、1.8V和1.5V设备。

RealDigital设计技术

Xilinx®CoolRunner II CPLD采用0.18微米工艺技术制造，该工艺技术源自领先的FPGA产品开发。CoolRunner II CPLD采用RealDigital，这是一种在制造和设计方法中都使用CMOS技术的设计技术。RealDigital设计技术采用级联CMOS门来实现积和，而不是传统的读出放大器方法。由于这项技术，Xilinx CoolRunner II CPLDs实现了高性能和低功耗运行。

支持的I/O标准

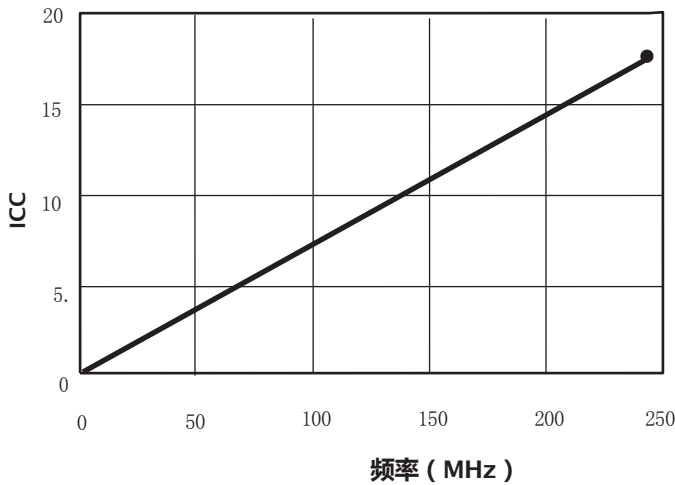
CoolRunner II 64宏单元同时具有LVCMOS和LVTTTL I/O实现。I/O标准电压见表1。LVTTTL I/O标准是一种通用EIA/JEDEC标准，适用于使用

LVTTTL输入缓冲器和推拉输出缓冲器。LVCMOS标准用于3.3V、2.5V和1.8V应用。CoolRunner II CPLD也与使用施密特触发器输入的1.5V I/O兼容。

表1:XC2C64A的I/O标准

IOSTANDARD 属性	输出 VCCIO	输入 VCCIO	输入 VREF	板端接电压 VT
LVTTTL	3.3	3.3	不适用	不适用
LVCMOS33	3.3	3.3	不适用	不适用
LVCMOS25	2.5	2.5	不适用	不适用
LVCMOS18	1.8	1.8	不适用	不适用
LVCMOS15 ⁽¹⁾	1.5	1.5	不适用	不适用

1. LVCMOS15需要施密特触发器输入。



DS092_01_092302

图1:ICC与频率

表2:ICC与频率 (LVCMOS 1.8V TA=25°C) (1)

	频率 (MHz)									
	0	25	50	75	100	150	175	200	225	240
典型ICC (mA)	0.017	1.8	3.7	5.5	7.48	11	12.7	14.6	15.3	17.77

笔记：

1. 16位上/下，可复位二进制计数器（每个功能块一个计数器）。

绝对最大额定值

象征	描述	价值	单位
V_{CC}	相对于接地的电源电压	-0.5至2.0	五、
V_{CCIO}	输出驱动器的电源电压	-0.5至4.0	五、
$V_{JTAG}^{(2)}$	JTAG输入电压限制	-0.5至4.0	五、
V_{CCAUX}	JTAG输入电源电压	-0.5至4.0	五、
V_{IN}^1	相对于接地的输入电压 ⁽¹⁾	-0.5至4.0	五、
V_{TS}^1	施加到3态输出的电压 ⁽¹⁾	-0.5至4.0	五、
V_{STG}^3	储存温度（环境温度）	-65至+150	°C
T_J	接点温度	+150	°C

笔记：

1. 低于GND的最大直流下冲必须限制在0.5V或10mA，以最容易实现的为准。在转换过程中，器件引脚可能会下冲到-2.0V或过冲到+4.5V，前提是这种过冲或下冲持续时间小于10 ns，并且强制电流限制在200 mA。
2. 在商业温度范围内有效。
3. 有关焊接指南和热注意事项，请参阅Xilinx网站上的[设备包装](#)信息。有关无铅封装，请参阅[XAPP427](#)。

推荐操作条件

象征	参数		分钟	马克斯	单位
V _{CC}	内部逻辑和输入缓冲器的电源电压	商业TA=0°C至+70°C	1.7	1.9	五、
		工业TA=-40°C至+85°C	1.7	1.9	五、
V _{CCIO}	输出驱动器的电源电压@3.3V操作		3	3.6	五、
	输出驱动器的电源电压@2.5V操作		2.3	2.7	五、
	输出驱动器的电源电压@1.8V操作		1.7	1.9	五、
	输出驱动器的电源电压@1.5V操作		1.4	1.6	五、
V _{CCAUX}	JTAG编程引脚		1.7	3.6	五、

推荐工作条件下的直流电特性

象征	参数	试验条件	典型的	最大值。	单位
I_{CCSB}	备用电流商业	$V_{CC}=1.9V$, $V_{CCIO}=3.6V$	31	100	A.
I_{CCSB}	备用电流工业	$V_{CC}=1.9V$, $V_{CCIO}=3.6V$	43	165	A.
I_{CC}^1	动态电流	$f = 1 \text{ MHz}$	-	500	A.
		$f = 50 \text{ MHz}$	-	5.	妈妈
C_{JTAG}	JTAG输入电容	$f=1 \text{ MHz}$	-	10	pF
C_{CLK}	全局时钟输入电容	$f=1 \text{ MHz}$	-	12	pF
首席信息主管	I/O电容	$f=1 \text{ MHz}$	-	10	pF
$I_{IL}^{(2)}$	输入泄漏电流	$V_{IN}=0V$ 或 V_{CCIO} 至3.9V	-	+/-1	A.
$I_{IH}^{(2)}$	I/O高Z泄漏	$V_{IN}=0V$ 或 V_{CCIO} 至3.9V	-	+/-1	A.

笔记：

1. 16位上/下，可复位二进制计数器（每个功能块一个计数器），在 $V_{CC}=V_{CCIO}=1.9V$ 条件下测试。
2. 请参阅CoolRunner II系列数据表的“质量和可靠性”部分。

LVC MOS 3.3V和LV TTL 3.3V直流电压规格

象征	参数	试验条件	最小。	最大值。	单位
V_{CCI0}	输入源电压		3	3.6	五、
V_{IH}	高电平输入电压		2.	3.9	五、
V_{IL}	低电平输入电压		-0.3	0.8	五、
V_{OH}	高电平输出电压	$I_{OH}=-8\text{ mA}, V_{CCI0}=3\text{V}$	$V_{CCI0}-0.4\text{V}$	-	五、
		$I_{OH}=-0.1\text{ mA}, V_{CCI0}=3\text{V}$	$V_{CCI0}-0.2\text{V}$	-	五、
V_{OL}	低电平输出电压	$I_{OL}=8\text{ mA}, V_{CCI0}=3\text{V}$	-	0.4	五、
		$I_{OL}=0.1\text{ mA}, V_{CCI0}=3\text{V}$	-	0.2	五、

LVC MOS 2.5V直流电压规格

象征	参数	试验条件	最小。	最大值。	单位
V_{CCI0}	输入源电压		2.3	2.7	五、
V_{IH}	高电平输入电压		1.7	$V_{CCI0}+0.3^{(1)}$	五、
V_{IL}	低电平输入电压		-0.3	0.7	五、
V_{OH}	高电平输出电压	$I_{OH}=-8\text{ mA}, V_{CCI0}=2.3\text{V}$	$V_{CCI0}-0.4\text{V}$	-	五、
		$I_{OH}=-0.1\text{ mA}, V_{CCI0}=2.3\text{V}$	$V_{CCI0}-0.2\text{V}$	-	五、
V_{OL}	低电平输出电压	$I_{OL}=8\text{ mA}, V_{CCI0}=2.3\text{V}$	-	0.4	五、
		$I_{OL}=0.1\text{ mA}, V_{CCI0}=2.3\text{V}$	-	0.2	五、

1. V_{IH} 最大值表示LVC MOS25的JEDEC规范。CoolRunner II CPLD输入缓冲器可以承受高达3.9V的电压，而不会造成物理损坏。

LVC MOS 1.8V直流电压规格

象征	参数	试验条件	最小。	最大值。	单位
V_{CCI0}	输入源电压	-	1.7	1.9	五、
V_{IH}	高电平输入电压	-	$0.65 \times V_{CCI0}$	$V_{CCI0}+0.3^{(1)}$	五、
V_{IL}	低电平输入电压	-	-0.3	$0.35 \times V_{CCI0}$	五、
V_{OH}	高电平输出电压	$I_{OH}=-8\text{ mA}, V_{CCI0}=1.7\text{V}$	$V_{CCI0}-0.45$	-	五、
		$I_{OH}=-0.1\text{ mA}, V_{CCI0}=1.7\text{V}$	$V_{CCI0}-0.2$	-	五、
V_{OL}	低电平输出电压	$I_{OL}=8\text{ mA}, V_{CCI0}=1.7\text{V}$	-	0.45	五、
		$I_{OL}=0.1\text{ mA}, V_{CCI0}=1.7\text{V}$	-	0.2	五、

1. V_{IH} 最大值表示LVC MOS18的JEDEC规范。CoolRunner II CPLD输入缓冲器可以承受高达3.9V的电压，而不会造成物理损坏。

LVC MOS 1.5V 直流电压规格

象征	参数 (1)	试验条件	最小。	最大值。	单位
V_{CCIO}	输入源电压	—	1.4	1.6	五、
V_{T+}	输入磁滞阈值电压	—	$0.5 \times V_{CCIO}$	$0.8 \times V_{CCIO}$	五、
V_{T-}		—	$0.2 \times V_{CCIO}$	$0.5 \times V_{CCIO}$	五、
V_{OH}	高电平输出电压	$I_{OH} = -8 \text{ mA}$, $V_{CCIO} = 1.4 \text{ V}$	$V_{CCIO} - 0.45$	—	五、
		$I_{OH} = -0.1 \text{ mA}$, $V_{CCIO} = 1.4 \text{ V}$	$V_{CCIO} - 0.2$	—	五、
V_{OL}	低电平输出电压	$I_{OL} = 8 \text{ mA}$, $V_{CCIO} = 1.4 \text{ V}$	—	0.4	五、
		$I_{OL} = 0.1 \text{ mA}$, $V_{CCIO} = 1.4 \text{ V}$	—	0.2	五、

笔记：

1. 1.5V 输入上使用的滞后。

施密特触发器输入直流电压规格

象征	参数	试验条件	最小。	最大值。	单位
V_{CCIO}	输入源电压	—	1.4	3.9	五、
V_{T+}	输入磁滞阈值电压	—	$0.5 \times V_{CCIO}$	$0.8 \times V_{CCIO}$	五、
V_{T-}		—	$0.2 \times V_{CCIO}$	$0.5 \times V_{CCIO}$	五、

超过推荐操作条件的交流电气特性

象征	参数	5.		7.		单位
		最小。	最大值。	最小。	最大值。	
T_{PD1}	传播延迟单个p项	—	4.6	—	6.7	ns
T_{PD2}	传播延迟OR阵列	—	5	—	7.5	ns
T_{SUD}	直接输入寄存器时钟设置时间	2.4	—	3.3	—	ns
T_{SU1}	设置时间（单个p周期）	2	—	2.5	—	ns
T_{SU2}	设置时间（OR阵列）	2.4	—	3.3	—	ns
T_{HD}	直接输入寄存器保持时间	0	—	0	—	ns
真实航向	P-期限保持时间	0	—	0	—	ns
T_{CO}	输出时钟	—	3.9	—	6	ns
$FTOGGLE^{(1)}$	内部切换速率 ⁽¹⁾	—	500	—	300	兆赫
$f_{SYSTEM1}^{2.}$	最大系统频率 ⁽²⁾	—	263	—	159	兆赫
$f_{SYSTEM2}^{2.}$	最大系统频率 ⁽²⁾	—	238	—	141	兆赫
$f_{EXT1}^{3.}$	最大外部频率 ⁽³⁾	—	169	—	118	兆赫
$f_{EXT2}^{3.}$	最大外部频率 ⁽³⁾	—	159	—	108	兆赫
T_{PSUD}	直接输入寄存器p周期时钟设置时间	0.9	—	1.7	—	ns
T_{PSU1}	P项时钟设置时间（单个P项）	0.6	—	0.9	—	ns
T_{PSU2}	P项时钟设置时间（OR阵列）	1	—	1.7	—	ns
T_{PHD}	直接输入寄存器p期时钟保持时间	1.3	—	1.4	—	ns
T_{PH}	P项时钟保持	1.5	—	1.7	—	ns
T_{PC0}	输出P项时钟	—	6	—	8.4	ns
脚趾/脚趾	全局OE输出启用/禁用	—	8	—	10	ns
T_{POE}/T_{POD}	输出启用/禁用的P项OE	—	9	—	11	ns
t_{me}/T_{MOD}	宏单元驱动OE输出启用/禁用	—	9	—	11	ns
T_{PA0}	P项设置/重置为输出有效	—	7.3	—	9.7	ns
陶	全局设置/重置为输出有效	—	6	—	8.3	ns
t_{sec}	寄存器时钟启用设置时间	3	—	3.7	—	ns
T_{HEC}	寄存器时钟启用保持时间	0	—	0	—	ns
T_{CW}	全局时钟脉冲宽度高或低	1.4	—	2.2	—	ns
T_{PCW}	P项脉冲宽度高或低	5	—	7.5	—	ns
T_{APRPW}	异步预设/重置脉冲宽度（高或低）	5	—	7.5	—	ns
$T_{CONFIG}^{(4)}$	配置时间	—	50	—	50	s

笔记：

1. FTOGGLE是启用输出的双边缘触发T触发器的最大频率。
2. f_{SYSTEM} ($1/T_{CYCLE}$) 是完全填充有16位上/下可复位二进制计数器（每个功能块一个计数器）的设备的内部工作频率。
3. f_{EXT} ($1/T_{SU1}+T_{CO}$) 是最大外部频率。
4. T_{CONFIG} 期间的典型配置电流为2.3mA。

内部定时参数

象征	参数（1）	5.		7.		单位
		最小。	最大值。	最小。	最大值。	
缓冲区延迟						
锡	输入缓冲延迟	–	1.7	–	2.4	ns
T _{DIN}	直接数据寄存器输入延迟	–	2.6	–	4	ns
T _{GCK}	全局时钟缓冲延迟	–	1.6	–	2.5	ns
T _{GSR}	全局设置/重置缓冲延迟	–	2.4	–	3.5	ns
T _{GTS}	全局3态缓冲延迟	–	2.7	–	3.9	ns
兜售	输出缓冲延迟	–	1.9	–	2.8	ns
10	输出缓冲器启用/禁用延迟	–	5.3	–	6.1	ns
P项延迟						
T _{CT}	控制期延迟	–	2	–	2.5	ns
T _{LOGI1}	单P项延迟加法器	–	0.5	–	0.8	ns
T _{LOGI2}	多P项延迟加法器	–	0.4	–	0.8	ns
宏单元延迟						
T _{PDI}	输入到输出有效	–	0.5	–	0.7	ns
徐	时钟前设置	1.4	–	1.8	–	ns
T _{HI}	时钟后保持	0	–	0	–	ns
T _{ECSU}	启用时钟设置时间	0.9	–	1.3	–	ns
技术	启用时钟保持时间	0	–	0	–	ns
T _{COI}	输出时钟有效	–	0.4	–	0.7	ns
T _{AOI}	设置/重置为输出有效	–	1.7	–	2	ns
T _{CDBL}	时钟倍频器延迟	–	0	–	0	ns
反馈延迟						
T _F	反馈延迟	–	1.5	–	3	ns
脚趾	宏单元到全局OE延迟	–	1.7	–	1.7	ns
I/O标准时间加法器延迟1.5V CMOS						
胸腺15	滞后输入加法器	–	4	–	6	ns
T _{OUT15}	输出加法器	–	0.9	–	1.5	ns
T _{SLEW15}	输出转换速率加法器	–	4	–	6	ns
I/O标准时间加法器延迟1.8V CMOS						
胸腺18	滞后输入加法器	–	3	–	4	ns
T _{OUT18}	输出加法器	–	0	–	0	ns
T _{SLEW}	输出转换速率加法器	–	3.5	–	5	ns

内部定时参数（续）

象征	参数（1）	5.		7.		单位
		最小。	最大值。	最小。	最大值。	
I/O标准时间加法器延迟2.5V CMOS						
T _{IN25}	标准输入加法器	—	0.5	—	0.6	ns
T _{HYS25}	滞后输入加法器	—	2.5	—	3	ns
T _{OUT25}	输出加法器	—	0.8	—	0.9	ns
T _{SLEW25}	输出转换速率加法器	—	4	—	5	ns
I/O标准时间加法器延迟3.3V CMOS/TTL						
T _{IN33}	标准输入加法器	—	0.5	—	0.6	ns
T _{HYS33}	滞后输入加法器	—	2	—	3	ns
T _{OUT33}	输出加法器	—	1.2	—	1.4	ns
T _{SLEW33}	输出转换速率加法器	—	4	—	5	ns

1. 1.5 ns输入引脚信号上升/下降。

开关特性

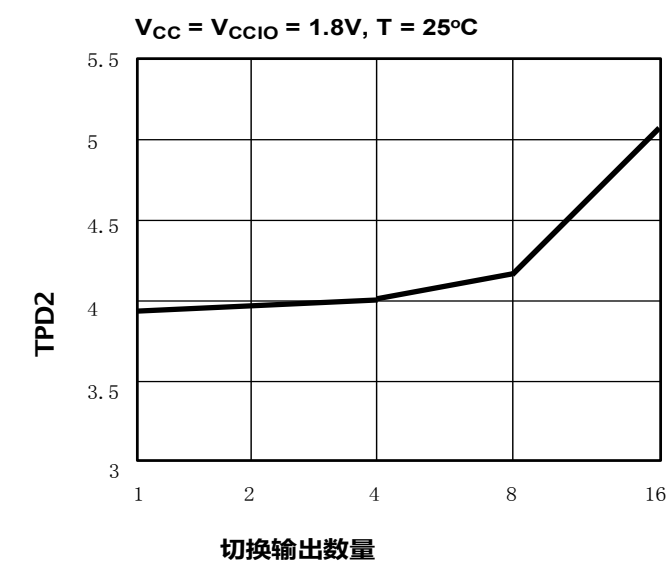


图2: TPD的减额曲线

典型I/O输出曲线

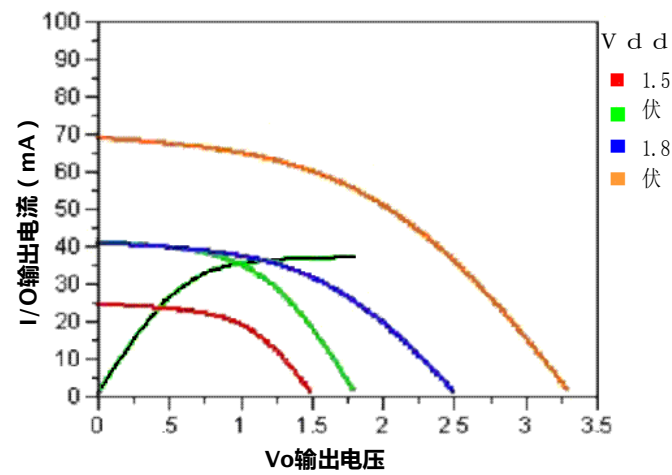
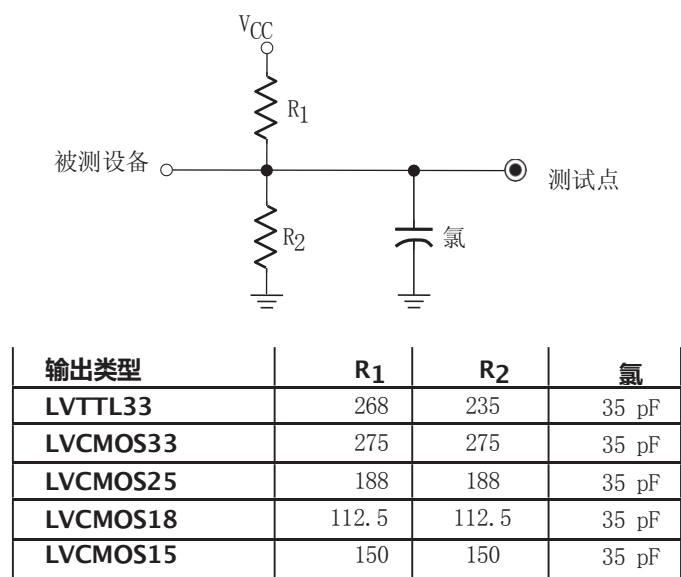


图4: 典型I/O输出曲线

交流测试电路



笔记：

1. C_L 包括测试夹具和探针电容。
2. 输入的最大上升/下降时间为1.5 ns。

图3: 交流负载电路

引脚说明

功能块	宏细胞	PC44 (1)	VQ44	QFG48	CP56	VQ100	I/O银行业务
1.	1.	44	38		一层楼	13	银行2
1.	2.	43	37	5.	E3	12	银行2
1.	3.	42	36	4.	E1	11	银行2
1.	4.	—	—		—	10	银行2
1.	5.	—	—		—	9	银行2
1.	6.	—	—		—	8.	银行2
1.	7.	—	—		—	7.	银行2
1.	8.	—	—		—	6.	银行2
1 (GTS1)	9	40	34	2.	D1	4.	银行2
1 (GTS0)	10	39	33	1.	C1	3.	银行2
1 (GTS3)	11	38	32	48	A3	2.	银行2
1 (GTS2)	12	37	31	47	A2	1.	银行2
1 (GSR)	13	36	30	46	地下一层	99	银行2
1.	14	—	—		A1	97	银行2
1.	15	—	—		C3	94	银行2
1.	16	—	—		—	92	银行2
2.	1.	1.	39	6.	G1	14	银行1
2.	2.	2.	40	7.	F3	15	银行1
2.	3.	—	—	8.	—	16	银行1
2.	4.	—	—	9	—	17	银行1
2.	5.	3.	41	10	H1	18	银行1
2.	6.	4.	42		G3	19	银行1
2 (GCK0)	7.	5.	43	11	J1	22	银行1
2 (GCK1)	8.	6.	44	12	K1	23	银行1
2.	9	—	—		K4	24	银行1
2 (GCK2)	10	7.	1.	13	K2	27	银行1
2.	11	—	—		—	28	银行1
2.	12	8.	2.	14	K3	29	银行1
2.	13	9	3.	15	H3	30	银行1
2.	14	—	—		K5	32	银行1
2.	15	—	—		—	33	银行1
2.	16	—	—		—	34	银行1

引脚说明 (续)

功能块	宏细胞	PC44 (1)	VQ44	QFG48	CP56	VQ100	I/O银行业务
3.	1.	35	29	45	补体第四成份	91	银行2
3.	2.	34	28	44	A4	90	银行2
3.	3.	33	27	43	C5	89	银行2
3.	4.	—	—		A7	81	银行2
3.	5.	—	—	39	C8	79	银行2
3.	6.	29	23	38	A8	78	银行2
3.	7.	—	—		A9	77	银行2
3.	8.	—	—		—	76	银行2
3.	9	—	—	37	A5	74	银行2
3.	10	28	22	36	A10	72	银行2
3.	11	27	21	35	B10	71	银行2
3.	12	26	20	34	C10	70	银行2
3.	13	—	—		D8	68	银行2
3.	14	25	19	33	E8	67	银行2
3.	15	24	18	32	D10	64	银行2
3.	16	—	—		—	61	银行2
4.	1.	11	5.	17	K6	35	银行1
4.	2.	12	6.	18	H5	36	银行1
4.	3.	—	—		K7	37	银行1
4.	4.	—	—		—	39	银行1
4.	5.	—	—		H7	40	银行1
4.	6.	—	—		—	41	银行1
4.	7.	14	8.	20	H8	42	银行1
4.	8.	—	—		—	43	银行1
4.	9	—	—		—	49	银行1
4.	10	—	—	24	K8	50	银行1
4.	11	18	12	25	H10	52	银行1
4.	12	—	—	26	—	53	银行1
4.	13	19	13	27	G10	55	银行1
4.	14	20	14	28	—	56	银行1
4.	15	22	16		F10	58	银行1
4.	16	—	—	30	E10	60	银行1

1. 这是一个过时的包类型。它保留在这里仅用于遗留支持。
2. GTS=全局输出启用, GSR=全局设置重置, GCK=全局时钟。
3. GCK、GSR和GTS引脚也可用于通用I/O。

XC2C64A Global、JTAG、电源/接地和无连接引脚

引脚类型	PC44 ⁽¹⁾	VQ44	QFG48	CP56	VQ100
TCK	17	11	23	K10	48
TDI	15	9	21	J10	45
TDO	30	24	40	A6	83
TMS	16	10	22	K9	47
VCCAUX (JTAG电源电压)	41	35	3.	D3	5.
电源内部 (VCC) 电源组1 I/O (VCCI01)	21	15	29	G8	26, 57
电源组2输入/输出 (VCCI02)	13	7.	19	H6	38, 51
地	32	26	42	C6	88, 98
无连接	10, 23, 31	4, 17, 25	16, 31, 41	H4、F8、C7	21, 31, 62, 69, 84, 100
总用户I/O	33	33	37	45	20, 25, 44, 46, 54, 59, 63, 65, 66, 73, 75, 80, 82, 85, 86, 87, 93, 95, 96

1. 这是一个过时的包类型。它保留在这里仅用于遗留支持。

订购信息

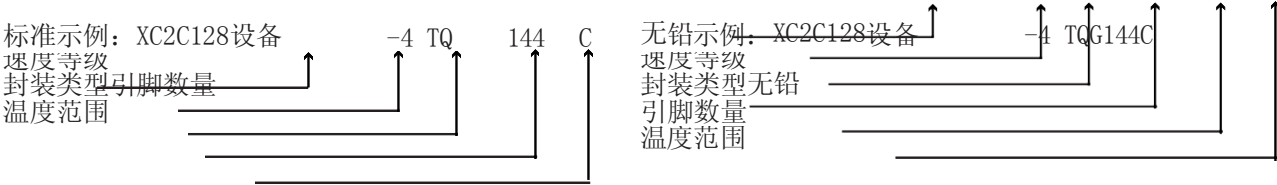
设备订购号和零件标记号。	销/球间距	□ 青年成就组织 (°C/瓦)	□ JC ({ C/瓦特)	程序包类型	包装体尺寸	I/O	通信 (C) Ind. (I) (1)
XC2C64A-5QFG48C	0.5mm	31.2	21.2	四平面无引线	7毫米x 7毫米	37	C
XC2C64A-7QFG48C	0.5mm	31.2	21.2	四平面无引线	7毫米x 7毫米	37	C
XC2C64A-5VQ44C	0.8毫米	46.6	8.2	超薄四方扁平包装	10毫米x 10毫米	33	C
XC2C64A-7VQ44C	0.8毫米	46.6	8.2	超薄四方扁平包装	10毫米x 10毫米	33	C
XC2C64A-5CP56C	0.5mm	65	15	芯片级封装	6mm x 6mm	45	C
XC2C64A-7CP56C	0.5mm	65	15	芯片级封装	6mm x 6mm	45	C
XC2C64A-5VQ100C	0.5mm	53.2	14.6	超薄四方扁平包装	14毫米x 14毫米	64	C
XC2C64A-7VQ100C	0.5mm	53.2	14.6	超薄四方扁平包装	14毫米x 14毫米	64	C
XC2C64A-5VQG44C	0.8毫米	46.6	8.2	超薄四方扁平包装; 不含铅	10毫米x 10毫米	33	C
XC2C64A-7VQG44C	0.8毫米	46.6	8.2	超薄四方扁平包装; 不含铅	10毫米x 10毫米	33	C
XC2C64A-5CPG56C	0.5mm	65	15	芯片级封装; 不含铅	6mm x 6mm	45	C
XC2C64A-7CPG56C	0.5mm	65	15	芯片级封装; 不含铅	6mm x 6mm	45	C
XC2C64A-5VQG100C	0.5mm	53.2	14.6	超薄四方扁平包装; 不含铅	14毫米x 14毫米	64	C
XC2C64A-7VQG100C	0.5mm	53.2	14.6	超薄四方扁平包装; 不含铅	14毫米x 14毫米	64	C
XC2C64A-7VQ44I	0.8毫米	46.6	8.2	超薄四方扁平包装	10毫米x 10毫米	33	我

XC2C64A-7QFG48I	0.5mm	31.2	21.2	四平面无引线；不含铅	7毫米x 7毫米	37	我
XC2C64A-7CP56I	0.5mm	65	15	芯片级封装	6mm x 6mm	45	我
XC2C64A-7VQ100I	0.5mm	53.2	14.6	超薄四方扁平包装	14毫米x 14毫米	64	我

设备订购号和零件标记号。	销/球间距	青年成就组织 (°C/瓦)	JC ({ C/瓦特)	程序包类型	包装体尺寸	I/O	通信 (C) Ind. (I) (1)
XC2C64A-7VQG44I	0.8毫米	46.6	8.2	超薄四方扁平包装；不含铅	10毫米x 10毫米	33	我
XC2C64A-7CPG56I	0.5mm	65	15	芯片级封装；不含铅	6mm x 6mm	45	我
XC2C64A-7VQG100I	0.5mm	53.2	14.6	超薄四方扁平包装；不含铅	14毫米x 14毫米	64	我

笔记：

1. C=商用 (TA=0°C至+70°C)；I=工业 (TA=-40°C至+85°C)。



设备零件标记

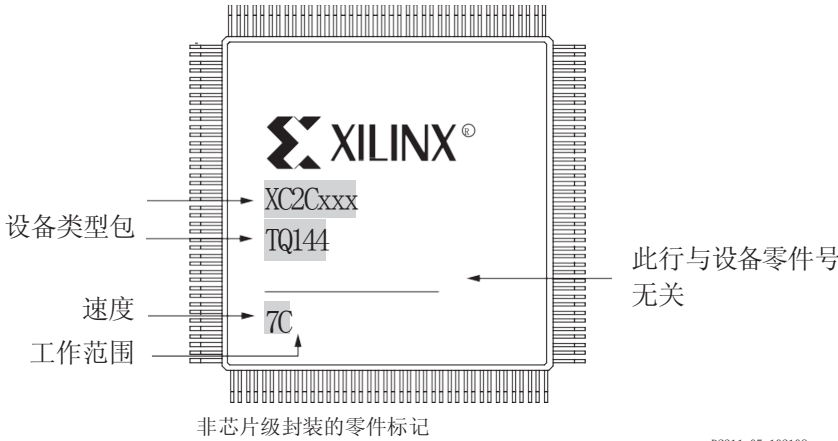
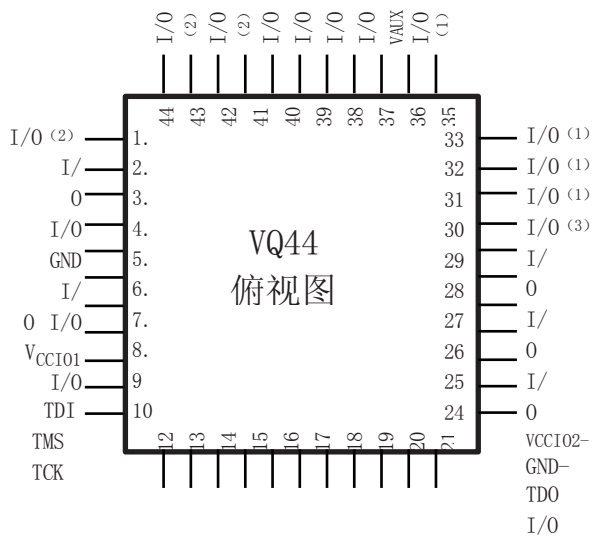


图5：带有零件标记的样品包

注：由于芯片规模较小，且四平面无引线封装，因此封装标记上不能包含完整的订购零件号。芯片级零件标记和四边形扁平无引线封装为：

- 1. X (Xilinx徽标) 然后截断零件号
- 2. 与设备零件号无关
- 3. 与设备零件号无关
- 4. 设备代码、速度、工作温度，三位数字与设备零件号无关。设备代码：C3=CP56，C4=CPG56，Q2=QFG48。

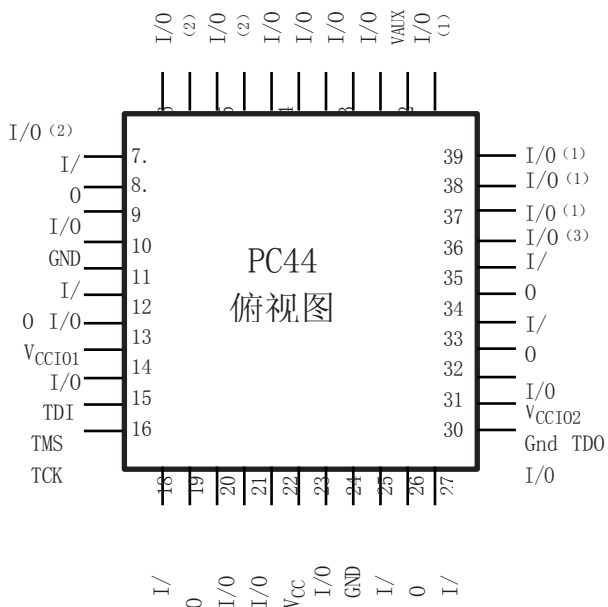
封装引脚引线图



I/
0 I/O I/O VCC I/O GND I/ 0 I/

- (1)-全局输出启用
(2)-全局时钟
(3)-全局设置/重置

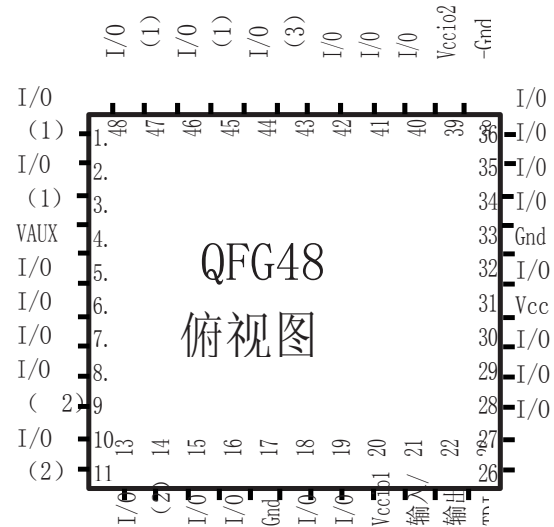
图6:VQ44包



I/
0 I/O I/O VCC I/O GND I/ 0 I/

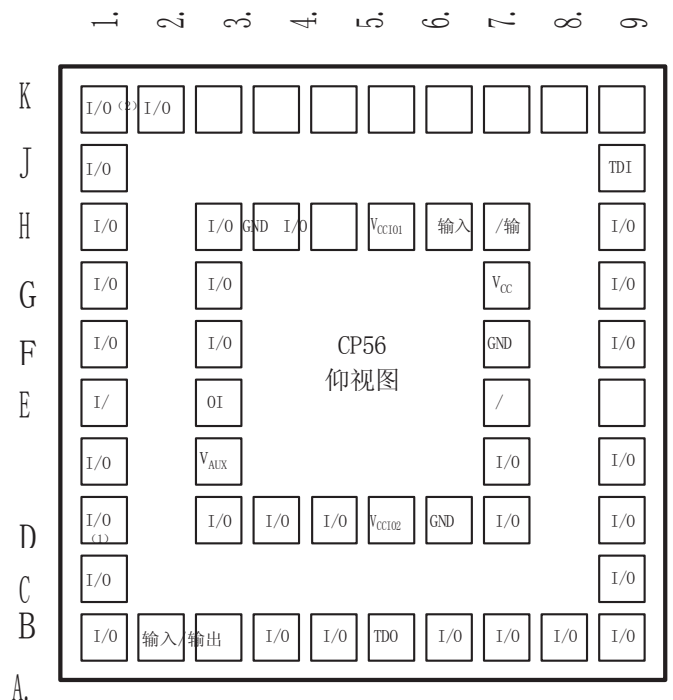
- (1)-全局输出启用
(2)-全局时钟
(3)-全局设置/重置

图7:PC44软件包 (显示的过时软件包仅用于旧版支持)



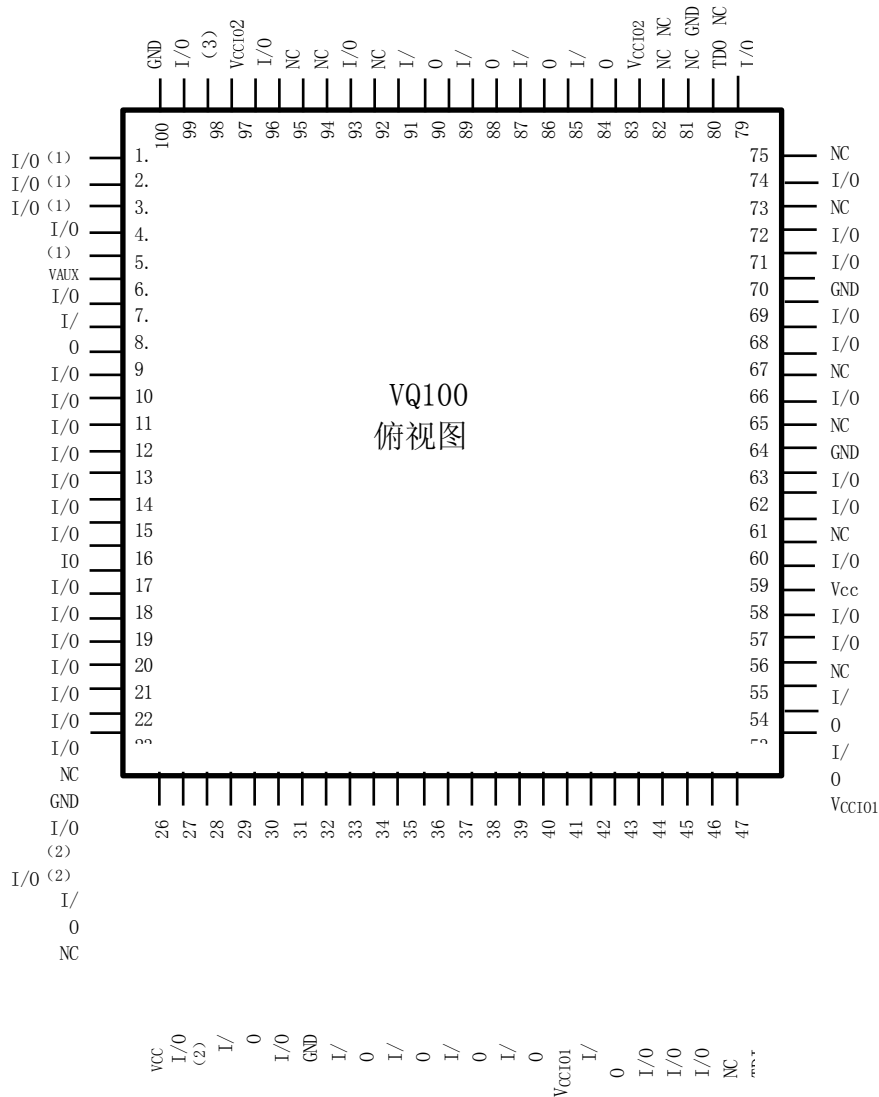
- (1)-全局输出启用
(2)-全局时钟
(3)-全局设置/重置

图8:QFG48封装



- (1)-全局输出启用
(2)-全局时钟
(3)-全局设置/重置

图9:CP56包



- (1)-全局输出启用
- (2)-全局时钟
- (3)-全局设置/重置

图12:VQ100封装

免责声明

这些产品受XILINX有限保修条款的约束，可以查看在<http://www.xilinx.com/warranty.htm>. 本有限保修不适用于在不符合产品电流XILINX数据表规定规格的应用或环境中使用产品。产品的设计不具有故障安全性，也不保证在存在物理伤害或生命损失风险的应用中使用。根据适用的法律法规，在此类应用中使用产品的风险完全由客户承担。

其他信息

有关 以下 CoolRunner II CPLD主题的更多信息，请 访问

www.xilinx.com/support/documentation/CoolRunner-II.htm:

- 特定密度数据表中的设备引脚
- 《CPLD IO用户指南》中的终端、功率顺序、电压阈值和转换速率数据

- 设备可靠性报告中的可靠性数据
- 在设备包用户指南中包装热和电气数据

包装图纸和尺寸可在以下网址获取:

www.xilinx.com/support/documentation/package_specifications.htm

修订历史记录

下表显示了此文档的修订历史记录。

日期	版本	修订
5/15/04	1	Xilinx首次发布。
8/30/04	1.1	无铅文档
10/01/04	1.2	将异步预设/重置脉冲宽度规格添加到交流电气特性中。
11/08/04	1.3	产品发布。文件无更改。
11/29/04	1.4	更改为QFG封装图（图8）。引脚29重新标记。
12/14/04	1.5	对图4“典型I/O输出曲线”的更改；更改 t_{OUT25} 和 t_{OUT33} ，内部定时参数，第8页。
01/18/05	1.6	ICCSB、 f_{TOGGLE} 、 t_{PSU1} 、 t_{PSU2} 、 t_{PHD} 、 t_{CW} 、 t_{SLEW25} 和 t_{SLEW33} 的更改
03/07/05	1.7	格式更改为规范 I_{IIL} 和 I_{IH} ，第3页。引脚对引脚逻辑延迟的改进，第1页。对表1 IOSTANDARDs的修改。
06/28/05	1.8	转到产品规格。更改为 T_{IN25} 、 T_{OUT25} 、 T_{IN33} 和 T_{OUT33} 。
01/30/06	1.9	修改了AC规格表的脚注1，删除了不正确的方程式。
03/20/06	2	添加保修免责声明。在引脚说明中添加注释，即GCK、GSR和GTS引脚也可用于通用I/O。
02/15/07	2.1	更改为2.5V和1.8V LVC MOS的 V_{IH} 规格。将-7速度等级上的 T_F 规格从2.0 ns更改为3.0 ns。
03/08/07	2.2	修复了LVC MOS18的 V_{IL} 注释中的拼写错误；删除了LVC MOS33的 V_{IL} 注释。
11/19/08	2.3	在引脚描述表中添加了注释，表示PC44封装已过时。从订购信息中删除了PC44包装中“功能”部分和设备的零件号。参见产品停产通知 xcn07022.pdf 。

