

模拟与数字电路设计

苏州大学计算机科学与技术学院(软件学院)

第10章

时序逻辑电路

- 10.1 触发器
- 10.2 时序逻辑电路分析
- 10.3 时序逻辑电路设计
- 10.4 常用的时序逻辑模块

10.1触发器

Flip-flop

10.1 触发器

触发器: 有两个互补的输出端Q和Q;

有两个稳定的状态: Q=0, $\overline{Q}=1$; Q=1, $\overline{Q}=0$

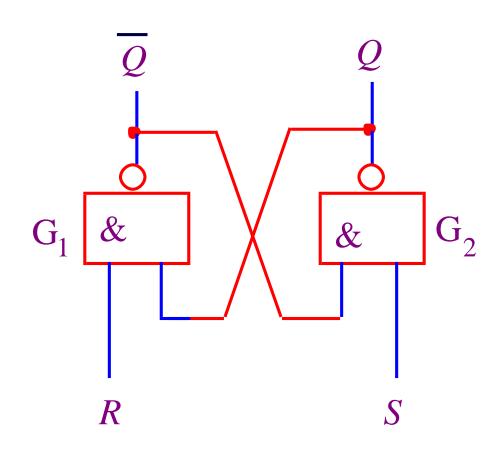
0态 1态

触发器状态的变化:特定的输入信号的作用下,触发器可以从一个稳定状态转移到另一个稳定状态,输入信号撤销后,保持新的状态不变。

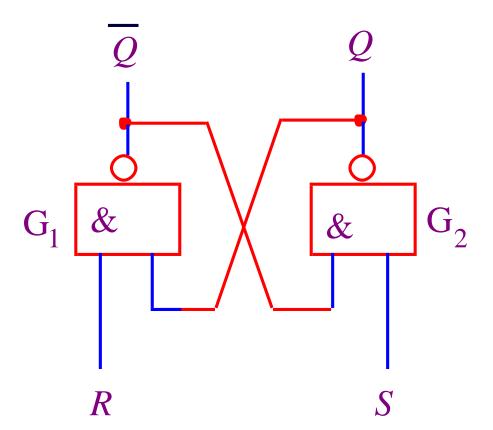
通常把输入信号作用前的状态称为"现态",记作Qn(为了简单,用Q表示现态);

把输入信号作用后的状态称为"次态",记作Qn+1。

触发器是构成时序电路的基础,具有记忆功能,可以储存一位二进制信息。



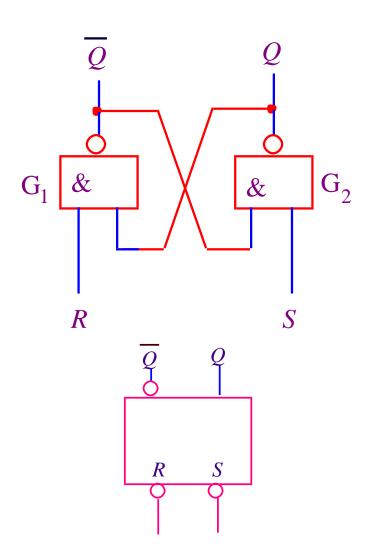
由与非门电路组成的,它与组合逻辑电路的根本区别在于, 电路中有反馈线,即门电路的输入、输出端交叉耦合。



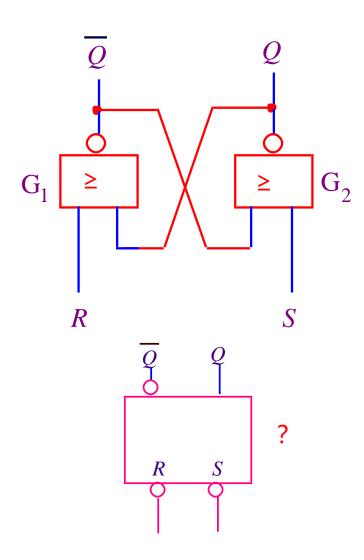
RS触发器功能表

| R | S | Qn | Qn+1 | 功能说明 |
|---|---|----|------|----------------|
| 0 | 1 | × | 0 | 置0 (复位) |
| 1 | 0 | × | 1 | 置1 (置位) |
| 1 | 1 | Q | Q | 保持 |
| 0 | 0 | × | X | 不满足互补输 出端要求 |

复位 (Q=0)、置位 (Q=1)、保持原状态三种功能



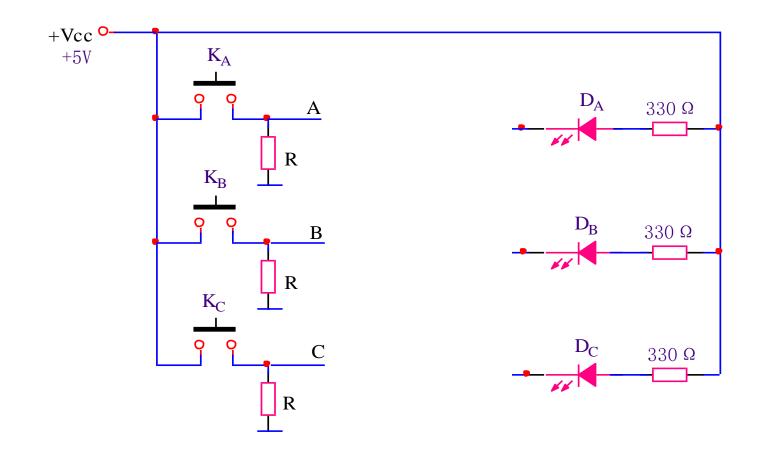
由于反馈线的存在,无论是复位还是置位,有效信号只需要作用很短的一段时间,即"一触即发"。



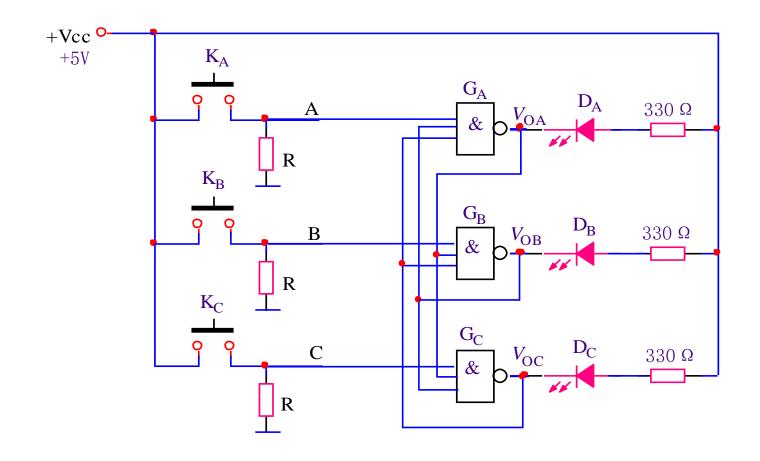
由于反馈线的存在,无论是复位还是置位,有效信号只需要作用很短的一段时间,即"一触即发"。

【例】 设计一个3人抢答电路。3人A、B、C各控制一个按键开关 K_A 、 K_B 、 K_C 和一个发光二极管 D_A 、 D_B 、 D_C 。谁先按下开关,谁的发光二极管亮,同时使其他人的抢答信号无效。

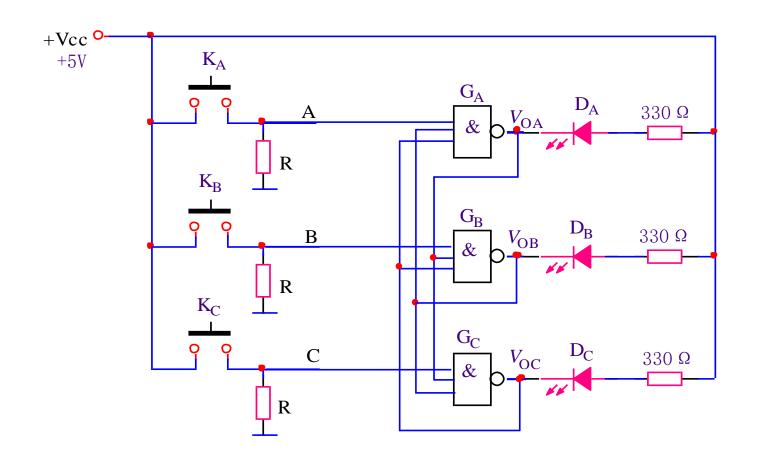
【例】 设计一个3人抢答电路。3人A、B、C各控制一个按键开关 K_A 、 K_B 、 K_C 和一个发光二极管 D_A 、 D_B 、 D_C 。谁先按下开关,谁的发光二极管亮,同时使其他人的抢答信号无效。



【例】 设计一个3人抢答电路。3人A、B、C各控制一个按键开关 K_A 、 K_B 、 K_C 和一个发光二极管 D_A 、 D_B 、 D_C 。谁先按下开关,谁的发光二极管亮,同时使其他人的抢答信号无效。



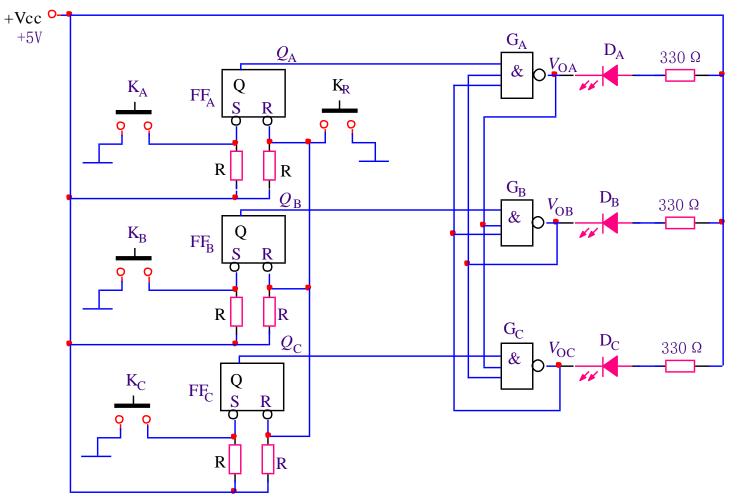
【例】 设计一个3人抢答电路。3人A、B、C各控制一个按键开关 K_A 、 K_B 、 K_C 和一个发光二极管 D_A 、 D_B 、 D_C 。谁先按下开关,谁的发光二极管亮,同时使其他人的抢答信号无效。



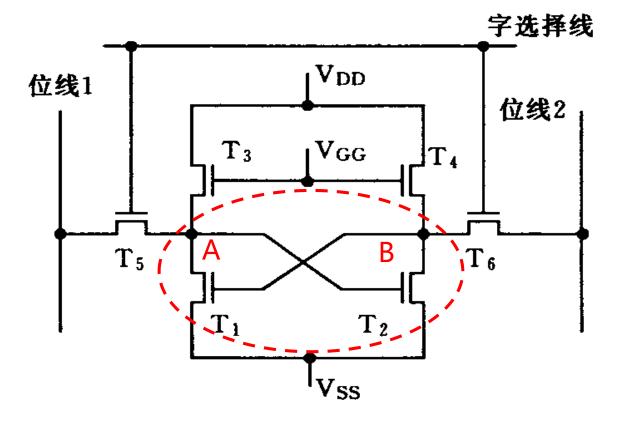
问题:稳定性不够, 抢到,手松开,其它 的灯可能亮

【例】 设计一个3人抢答电路。3人A、B、C各控制一个按键开关 K_A 、 K_B 、 K_C 和一个发光二极管 D_A 、 D_B 、 D_C 。谁先按下开关,谁的发光二极管亮,同时使其他人的抢答信号无效。

利用触发器的"记忆"作用,使抢答电路工作更可靠、稳定。



静态RAM是利用双稳 态触发器来记忆信息

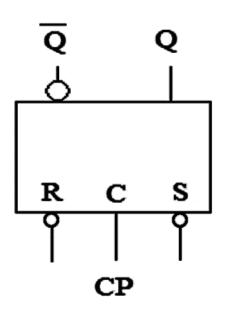


T₁和T₂管用于1位信息的存储

A高 B低; A低 B高 ----两种状态代表0和1

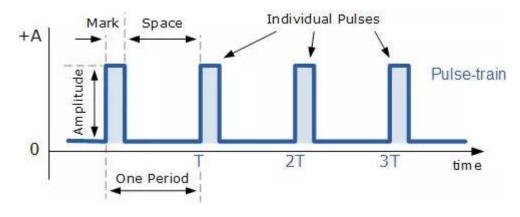
1.时钟控制触发器(同步触发器)

时钟控制RS触发器:在RS触发器的基础上,增加了时钟脉冲控制信号。



脉冲(pulse): 电子技术中经常运用的一种像脉搏似的短暂起伏的电冲击(电压或电流)。

时钟脉冲 CP(Clock Pulse):脉冲信号是一个按一定电压幅度,一定时间间隔连续发出的脉冲信号。脉冲信号之间的时间间隔称为周期(秒);在单位时间(如1秒)内所产生的脉冲个数称为频率(Hz)。

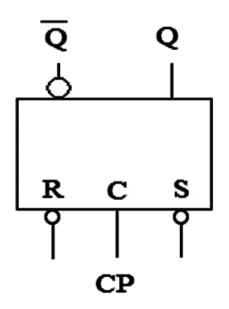


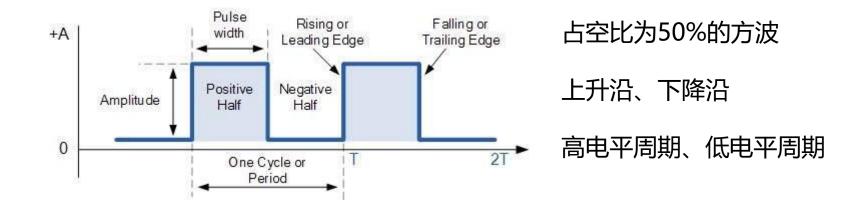
占空比(Mark-Space Ratio): 代表1的正脉冲的持续时间与脉冲总周期的比值。

例如:脉冲宽度1µs,信号周期4µs的脉冲序列占空比为0.25。

1.时钟控制触发器(同步触发器)

时钟控制RS触发器:在RS触发器的基础上,增加了时钟脉冲控制信号。





时钟脉冲,时钟信号----时钟同步信号(类似于军训时的教官口令)

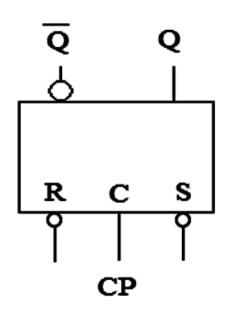
同步方式: 电平同步、边沿同步, 边沿同步的同步效果更好。

电平同步是在高电平周期或低电平周期发生状态变化。

边沿同步是在上升沿或下降沿时刻发生状态变化。

1.时钟控制触发器(同步触发器)

时钟控制RS触发器:在RS触发器的基础上,增加了时钟脉冲控制信号。



同步RS触发器的状态转换分别由R、S和CP控制;

R、S控制状态转换的方向,即转换为何种次态;

CP控制状态转换的时刻,即何时发生转换。

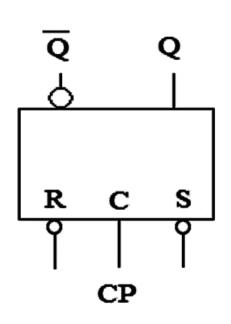
左图所描述的同步RS触发器:

在CP高电平周期内输入端RS的变化会影响触发器的状态;

在CP低电平周期内输入端RS的变化不会影响触发器的状态。

1.时钟控制触发器 (同步触发器)

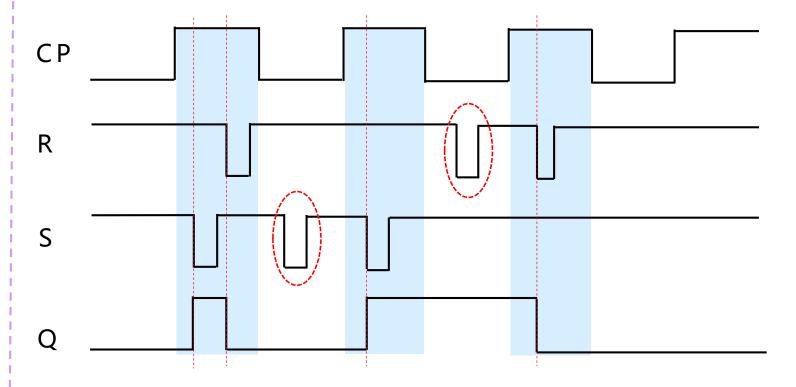
时钟控制RS触发器:在RS触发器的基础上,增加了时钟脉冲控制信号。



左图所描述的同步RS触发器:

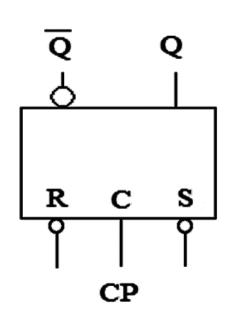
在CP高电平周期内输入端RS的变化会影响触发器的状态;

在CP低电平周期内输入端RS的变化不会影响触发器的状态。



1.时钟控制触发器(同步触发器)

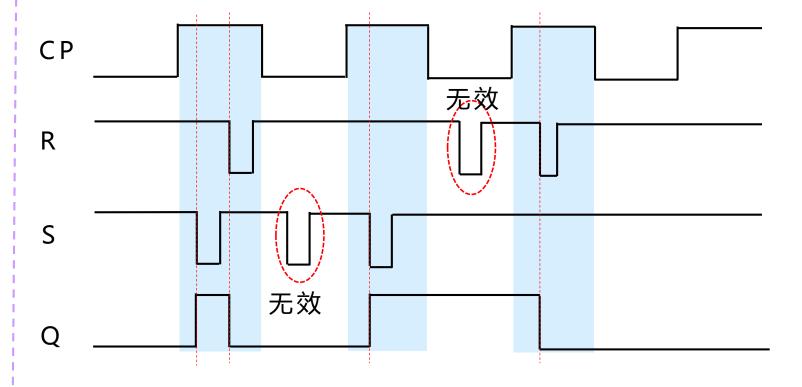
时钟控制RS触发器:在RS触发器的基础上,增加了时钟脉冲控制信号。



左图所描述的同步RS触发器:

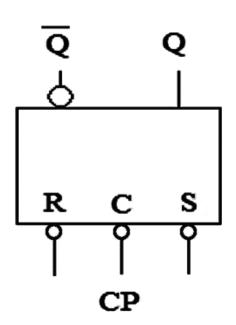
在CP高电平周期内输入端RS的变化会影响触发器的状态;

在CP低电平周期内输入端RS的变化不会影响触发器的状态。



1.时钟控制触发器(同步触发器)

时钟控制RS触发器:在RS触发器的基础上,增加了时钟脉冲控制信号。



同步RS触发器的状态转换分别由R、S和CP控制;

R、S控制状态转换的方向,即转换为何种次态;

CP控制状态转换的时刻,即何时发生转换。

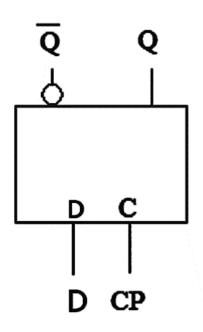
左图所描述的同步RS触发器:

在CP高电平周期内输入端RS的变化不会影响触发器的状态;

在CP低电平周期内输入端RS的变化会影响触发器的状态。

1.时钟控制触发器 (同步触发器)

同步D触发器

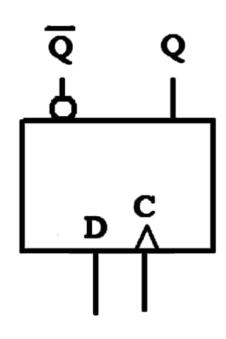


$$CP=1$$
, $D=0$, $Q^{n+1}=0$; $D=1$, $Q^{n+1}=1$

D触发器的特性方程: Qn+1=D

2.边沿式触发器

边沿式D触发器



边沿式触发器在时钟信号的边沿时刻,输入信号的变化影响触发器的状态;

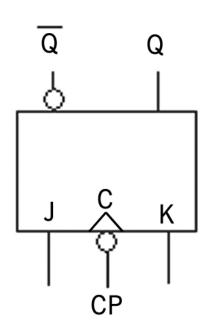
如左图所示的边沿式D触发器在CP信号的上升沿时刻,输入端D的变化影响触发器状态的变化,其它时刻触发器的状态不变。

D触发器的特性方程: Qn+1=D



2.边沿式触发器

边沿式JK触发器



边沿式触发器在时钟信号的边沿时刻,输入信号的变化影响触发器的状态;

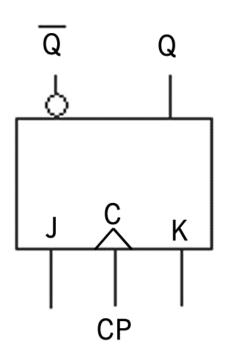
如左图所示的边沿式JK触发器在CP信号的下降沿时刻,输入端J、K的变化影响触发器状态的变化,其它时刻触发器的状态不变。

JK触发器的特性方程: Qn+1=JQ+KQ



2.边沿式触发器

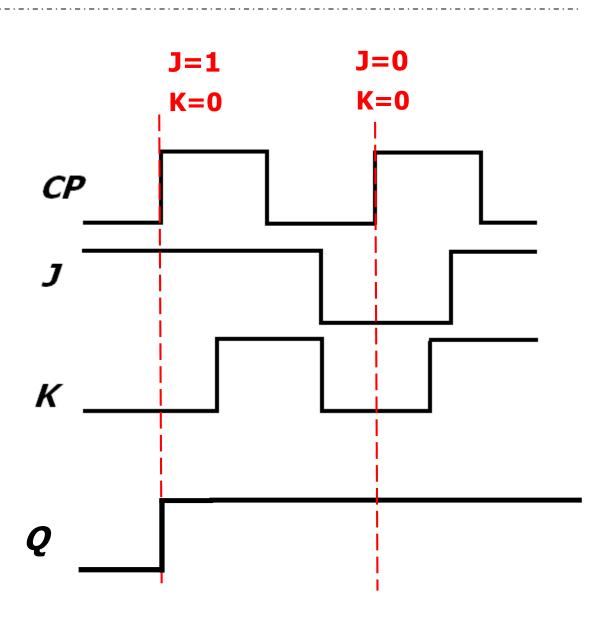
边沿式JK触发器



上升沿触发

JK触发器的特性方程:

$$Q^{n+1}=J\overline{Q}+\overline{K}Q$$

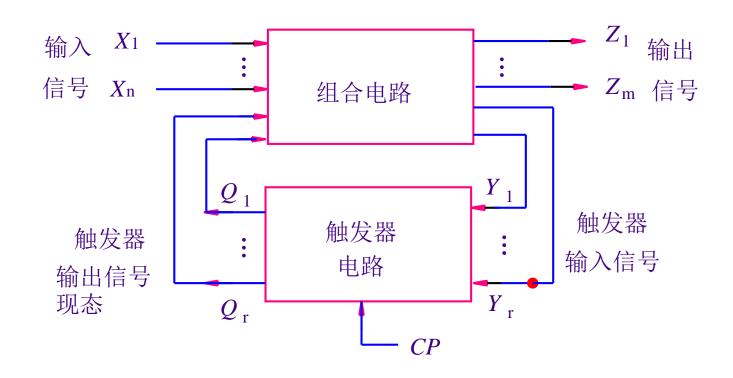


10.2 时序逻辑电路分析

Sequential logic circuit analysis

10.2.1 时序逻辑电路模型

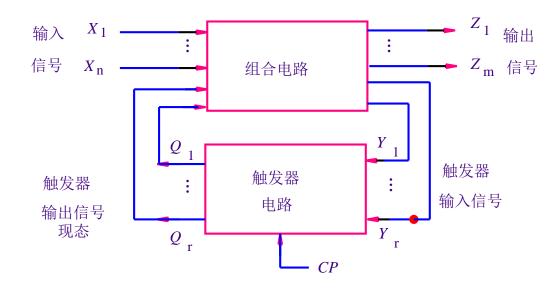
时序逻辑电路——任何一个时刻的输出状态不仅取决于当时的输入信号,还与电路的原状态有关。



时序逻辑电路模型

10.2.1 时序逻辑电路模型

时序逻辑电路——任何一个时刻的输出状态不仅取决于当时的输入信号,还与电路的原状态有关。



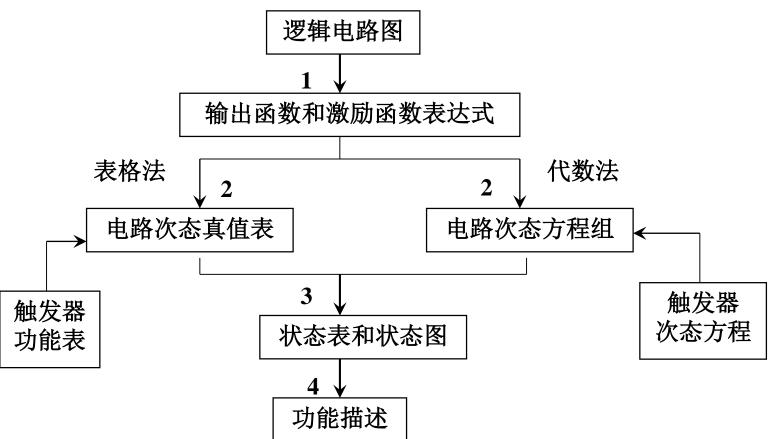
时序逻辑电路模型

输出方程: Z=F(X,Q)

驱动方程: Y=P(X,Q) (也称为激励方程)

状态方程: Qn+1=H(Y,Q)

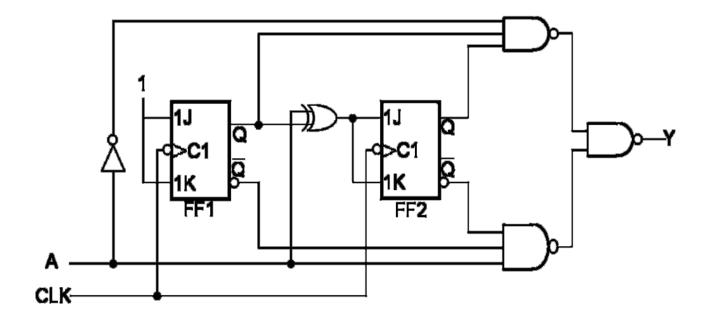
10.2.2 时序逻辑电路分析方法



- (1) 根据给定电路写出其输出方程、驱动方程;
- (2) 将各驱动方程代入相应触发器的特性方程,得出与电路相一致的状态方程;
- (3) 进行状态计算。把电路的输入和现态各种可能取值组合代入状态方程和输出方程进行计算,得到相应的次态和输出;
 - (4) 列状态转换表, 画状态图或时序图;
 - (5) 用文字描述电路的逻辑功能。



【例1】时序逻辑电路如下图所示,分析其功能。



(1) 列出驱动方程:

$$J_1 = K_1 = 1$$

$$J_2 = K_2 = A \oplus Q_1 = A \overline{Q}_1 + \overline{A}Q_1$$

(2) 列出状态方程: 将驱动方程代入JK触发器的特性方程 Qⁿ⁺¹=J Q+ KQ得:

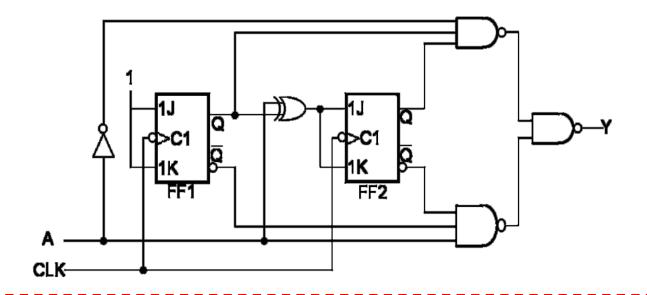
$$Q_1^{n+1} = \overline{Q}_1$$

$$Q_2^{n+1}=A \overline{Q}_1 \overline{Q}_2+ \overline{A}Q_1 \overline{Q}_2+ \overline{A} \overline{Q}_1Q_2+AQ_1Q_2$$

(3) 列出输出方程:

$$Y = A \overline{Q}_1 \overline{Q}_2 + \overline{A}Q_1Q_2$$

【例】时序逻辑电路如下图所示,分析其功能。



(4) 列出状态转换表:

①当A=1时:

$$Q_1^{n+1} = \overline{Q}_1$$
; $Q_2^{n+1} = \overline{Q}_1 \overline{Q}_2 + Q_1 Q_2$; $Y = \overline{Q}_1 \overline{Q}_2$

| Q_2Q_1 | $Q_2^{n+1}Q_1^{n+1}$ | Υ |
|----------|----------------------|---|
| 00 | 11 | 1 |
| 11 | 10 | 0 |
| 10 | 01 | 0 |
| 01 | 00 | 0 |

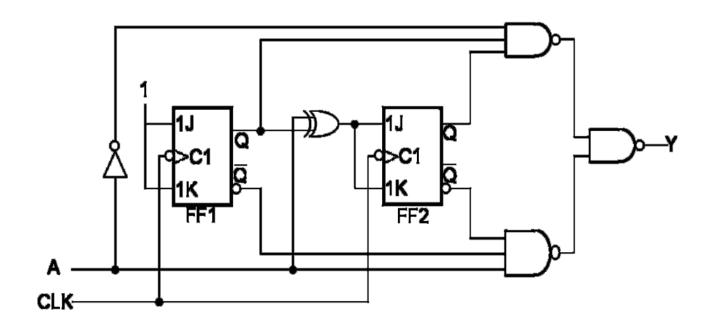
②当A=0时:

$$Q_1^{n+1} = \overline{Q}_1$$
; $Q_2^{n+1} = Q_1 \overline{Q}_2 + \overline{Q}_1 Q_2$; $Y = Q_1 Q_2$

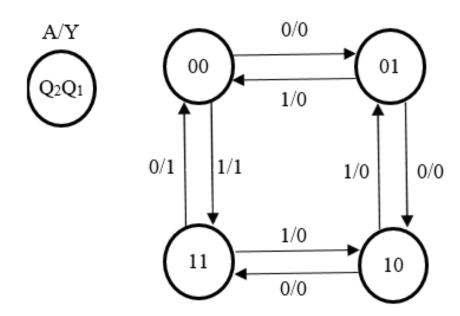
| Q_2Q_1 | $Q_2^{n+1}Q_1^{n+1}$ | Y | |
|----------|----------------------|---|--|
| 00 | 01 | 0 | |
| 01 | 10 | 0 | |
| 10 | 11 | 0 | |
| 11 | 00 | 1 | |



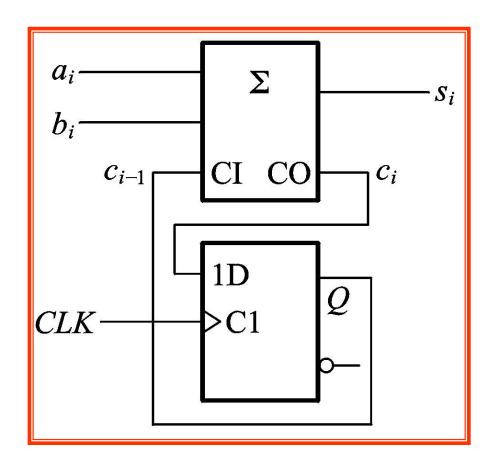
【例】时序逻辑电路如下图所示,分析其功能。



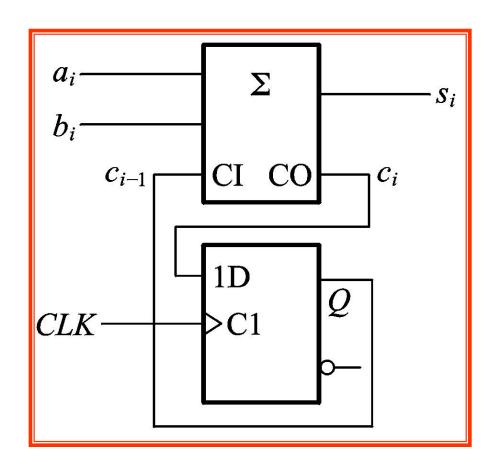
(5) 画状态转换图:



【例2】时序逻辑电路如下图所示,写出其输出方程、驱动方程和状态方程,说明功能。



【例2】时序逻辑电路如下图所示,写出其输出方程、驱动方程和状态方程,说明功能。



解: 其输出方程为

$$s_i = a_i \oplus b_i \oplus C_{i-1}$$
$$= a_i \oplus b_i \oplus Q$$

驱动方程为

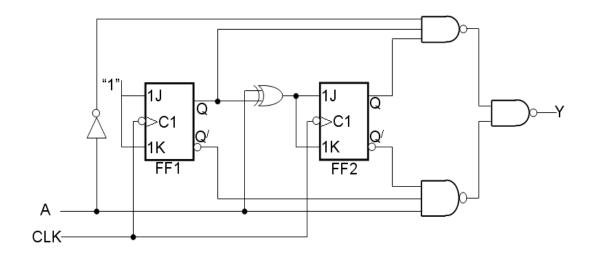
$$D = C_i = a_i b_i + C_{i-1} (a_i \oplus b_i)$$
$$= a_i b_i + Q(a_i \oplus b_i)$$

状态方程为

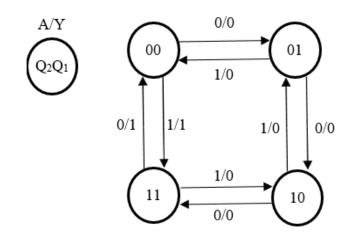
$$Q^* = D = a_i b_i + Q(a_i \oplus b_i)$$



【例】时序逻辑电路如下图所示,分析其功能。



(5) 画状态转换图:



(6) 说明电路实现的逻辑功能:

此电路是一个可逆4进制(二位二进制)计数器,CLK是计数脉冲输入端,A是加减控制端,Y是进位和借位输出端。当控制输入端A为低电平0时,对输入的脉冲进行加法计数,计满4个脉冲,Y输出端输出一个高电平进位信号。当控制输入端A为高电平1时,对输入的脉冲进行减法计数,计满4个脉冲,Y输出端输出一个高电平借位信号。

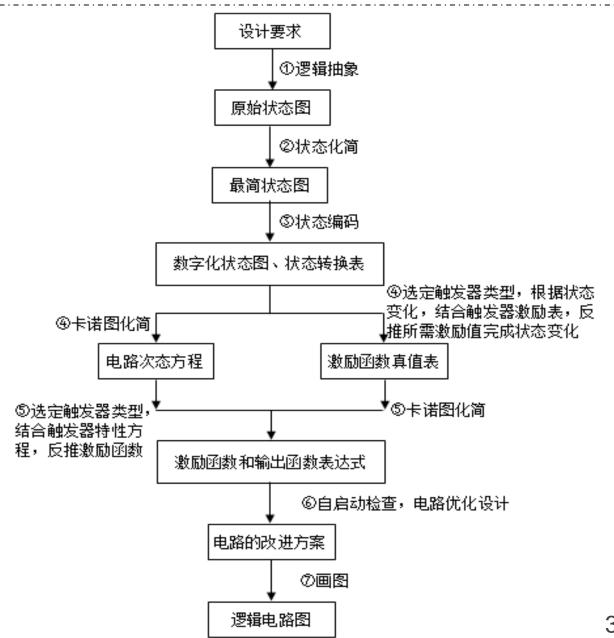
10.3时序逻辑电路设计

Sequential logic circuit design

10.3.1时序逻辑电路设计方法

- (1) 逻辑抽象
- (2) 状态化简
- (3) 状态编码
- (4) 触发器的状态方程
- (5) 激励方程 输出方程
- (6) 画电路图

实际使用中,用某几步就可以实现!

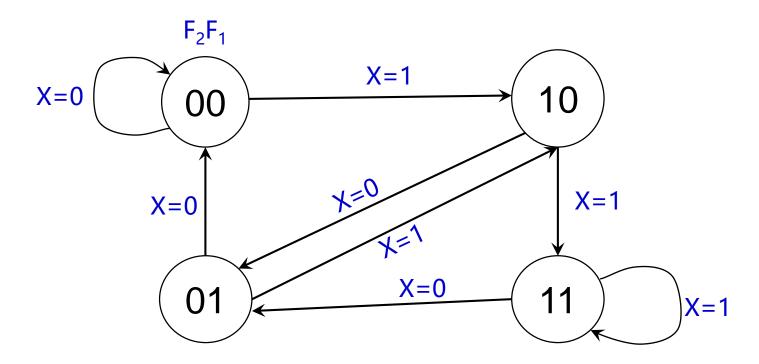




【例】用D触发器设计一个2位右移的移位寄存器。

【解】 2位移位寄存器 用 F_2F_1 表示,移入的数据为X,即 XF_2F_1 进行右移。

状态图如下:



状态转换表如下:

| X | $Q_2 Q_1$ | $Q_2^{n+1}Q_1^{n+1}$ |
|---|-----------|----------------------|
| 0 | 0 0 | 0 0 |
| 0 | 0 1 | 0 0 |
| 0 | 1 0 | 0 1 |
| 0 | 1 1 | 0 1 |
| 1 | 0 0 | 1 0 |
| 1 | 0 1 | 1 0 |
| 1 | 1 0 | 1 1 |
| 1 | 1 1 | 1 1 |

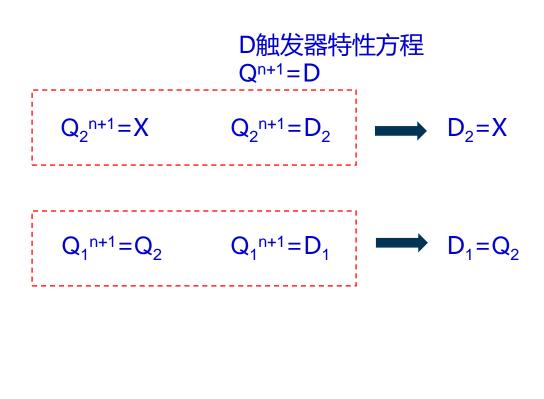


10.3.1时序逻辑电路设计方法

【例】用D触发器设计一个2位右移的移位寄存器。

【解】状态转换表如下:

| X | $Q_2 Q_1$ | $Q_2^{n+1}Q_1^{n+1}$ |
|---|-----------|----------------------|
| 0 | 0 0 | 0 0 |
| 0 | 0 1 | 0 0 |
| 0 | 1 0 | 0 1 |
| 0 | 1 1 | 0 1 |
| 1 | 0 0 | 1 0 |
| 1 | 0 1 | 1 0 |
| 1 | 1 0 | 1 1 |
| 1 | 1 1 | 1 1 |

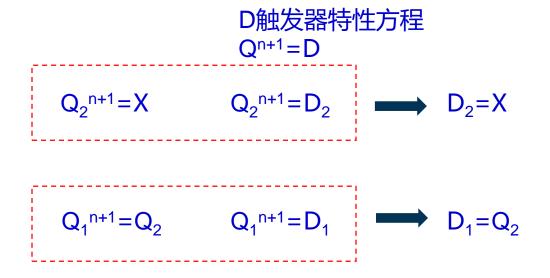


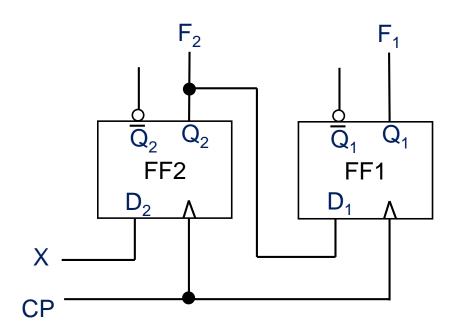


10.3.1时序逻辑电路设计方法

【例】用D触发器设计一个2位右移的移位寄存器。

【解】驱动方程





10.4 常用的时序逻辑模块

Common sequential logic modules

10.4.1 计数器

计数器功能:

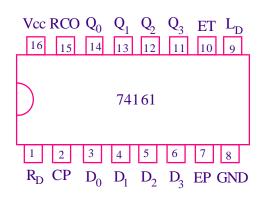
对某个信号计数。通常将该信号作为计数器的时钟信号;每来一个时钟信号,计数器就加1 (或减 1)。 分类:

- (1) 按时钟作用方式来分:
- ▶ 同步计数器: 各触发器使用同一时钟信, 结构较为复杂, 速度快
- 异步计数器: 高位触发器的时钟信号是由低一位触发器的输出来提供,结构简单,速度慢。
 - (2) 按功能分:
- 加法计数器: +1计数减法计数器: -1计数
- 可逆计数器:即可+1计数又可-1计数
 - (3) 按进位制分:
- ◆ 二进制计数器: 低位触发器逢2进1。
- ◆ 十进制计数器:采用BCD码计数。

在计算机中使用的大多是同步二进制计数器,用来作为程序计数器PC。

10.4.1 计数器

二进制计数器74161



- ① 异步清零。
- ②同步并行预置数。
- ③ 计数。
- ④ 保持。

74161 的功能表

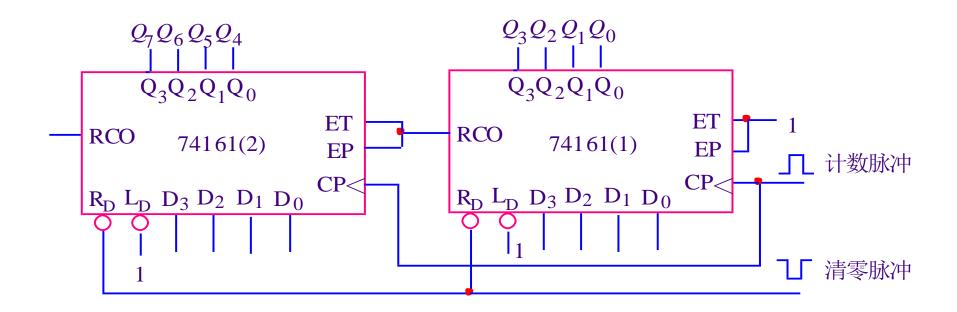
| 清零 | 预置 | 使能 | 时钟 | 预置数据输 入 | 輸出 | ~ /L.#b |
|-------------|----|-------|----|----------------------------|-------------------------|---------------|
| $R_{\rm D}$ | L | EP ET | CP | D_2 D_2 D_1 D_0 | Q2 Q2 Q1 Q0 | 工作模式 |
| 0 | × | × × | × | \times \times \times | 0 0 0 0 | 异步清零 |
| 1 | 0 | x x | † | d_3 d_2 d_1 d_0 | d_3 d_2 d_1 d_0 | 同步置数 |
| 1 | 1 | 0 × | X | \times \times \times | 保持 | 数据保持 |
| 1 | 1 | × o | × | \times \times \times | 保持 | 数据保持 |
| 1 | 1 | 1 1 | † | \times \times \times | 计 数 | 加法计数 |

RCO为进位输出端。

10.4.1 计数器

同步级联,构成大范围计数器

用两片4位二进制加法计数器74161采用同步级联方式构成的8位二进制同步加法计数器,模为16×16=256。



10.4.2 寄存器

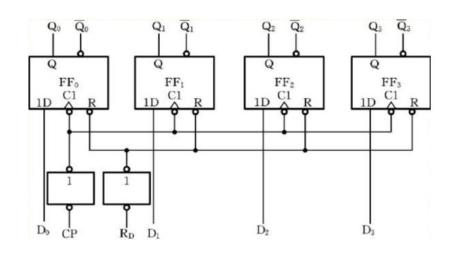
寄存器功能:存储二进制信息。

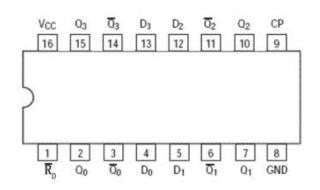
寄存器组成:由一组触发器组成,所有触发器采用同一个时钟信号或其他控制信号,以便进行统一的打入或其他控制操作。由n位触发器构成的寄存器称为n位寄存器,它可以存储n位二进制信息。

对于计算机系统来说,寄存器是一个非常重要的概念,计算机的核心部件CPU内部包含了诸多寄存器:通用寄存器、标志寄存器、指令寄存器等,用汇编语言编程就需要频繁使用通用寄存器。

10.4.2 寄存器

4位寄存器 74175: 4位D触发器的数据寄存器,有公共的时钟端和异步清零端





74175功能表

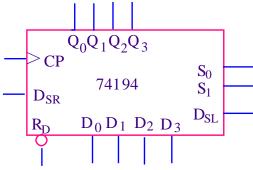
| 清零 | 时钟 | 输 入 | 输 出 | 工作模式 |
|-------|----------|----------------------------|-------------------------|---------|
| R_D | CP | D_0 D_1 D_2 D_3 | Qu Qi Qe Q | T1-1824 |
| 0 | х | x x x x | 0 0 0 0 | 异步清零 |
| 1 | † | D_1 D_1 D_2 D_3 | D_0 D_1 D_2 D_3 | 数码寄存 |
| 1 | 1 | x x x x | 保 持 | 数据保持 |
| 1 | 0 | \times \times \times | 保 持 | 数据保持 |

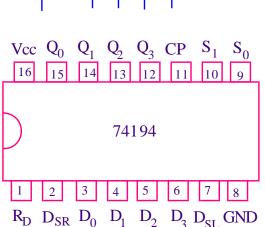
10.4.3 移位寄存器

移位寄存器:对数据进行移位,具备置数、左移、右移等功能。

组成:由多个触发器组成,一个触发器的输出接到另一个触发器的输入,当公共时钟信号CP上升沿时,所有触发器的输出均写入相邻的下一个触发器中,从而实现移位。

74194双向移位寄存器





74194 的功能表

| 输 入 | | | | | | |
|-----|-----------|-------------------------|----------|----------------------------|---|--------------------------|
| 清零 | 控制 | 串行输入 | 时钟 | 并行输入 | | 工作模式 |
| Ro | $S_1 S_0$ | $D_{ m SL}$ $D_{ m SR}$ | CP | D_0 D_1 D_2 D_3 | Q0 Q1 Q2 Q3 | |
| 0 | ×× | ×× | Х | \times \times \times | 0 0 0 0 | 异步清零 |
| 1 | 0 0 | ×× | × | \times \times \times | Q_0^n Q_1^n Q_2^n Q_3^n | 保 持 |
| 1 | 0 1 | × 1 | † | \times \times \times | 1 \mathcal{Q}_0^n \mathcal{Q}_1^n \mathcal{Q}_2^n | 右移,D _{sp} 为串行输 |
| 1 | 0 1 | × 0 | † | \times \times \times | 0 <u>Q</u> n <u>Q</u> n <u>Q</u> n <u>Q</u> n | 入, <i>Q</i> ,为串行输出 |
| 1 | 1 0 | 1 × | † | \times \times \times | \mathcal{Q}_1^n \mathcal{Q}_2^n \mathcal{Q}_3^n 1 | 左移,Dst为串行输 |
| 1 | 1 0 | 0 × | † | × × × × | \mathcal{Q}_1^{n} \mathcal{Q}_2^{n} \mathcal{Q}_3^{n} 0 | 入,20. 为串行输出 |
| 1 | 1 1 | ×× | † | D_0 D_1 D_2 D_3 | D_0 D_1 D_2 D_3 | 并行置数 |

