

苏州大学 模拟与数字电路设计课程试卷 (B) 卷 共 8 页

考试形式 开卷 2022 年 12 月

院系 计算机科学与技术学院 年级 专业

学号 姓名 成绩

(答案请写在空白答题纸上, 拍照上传!!!)

一. 选择题(每小题 2 分, 共 20 分)

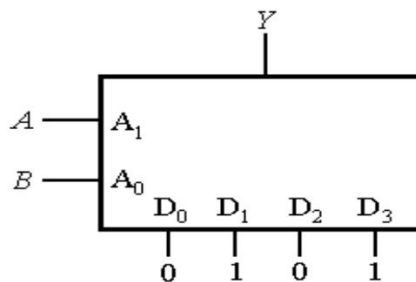
1. 如下图所示为数据选择器构成的函数发生器, 其输出逻辑 Y 等于()。

A $Y=AB$

B $Y=\bar{A}B$

C $Y=A$

D $Y=B$



2. 逻辑函数 $F=B \oplus (A \oplus B)=()$ 。

A. A

B. B

C. $A \oplus B$

D. AB

3. 逻辑函数 $F(A, B, C, D)=AB+CD$ 的真值表中, $F=1$ 的值有()个。

A. 2

B. 4

C. 7

D. 8

4. 若逻辑函数 $F(A, B, C)=\sum m(1, 2, 3, 6)$, $G(A, B, C)=\sum m(0, 2, 3, 4, 5, 7)$, 则 F 和 G 相与的结果为()。

A. 0

B. 1

C. $\bar{A}C$

D. $\bar{A}B$

5. 某最小项由 n 个逻辑变量构成, 则与之相邻的最小项有()个。

A. $n-1$

B. n

C. $2n$

D. 2^n

6. 下列集成电路中, 不是组合逻辑电路的是()。

A. 译码器

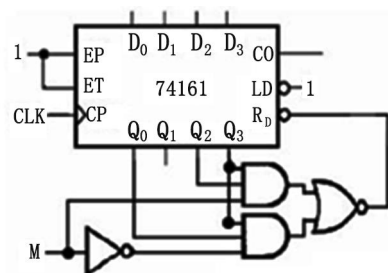
B. 数据选择器

C. 全加器

D. 计数器

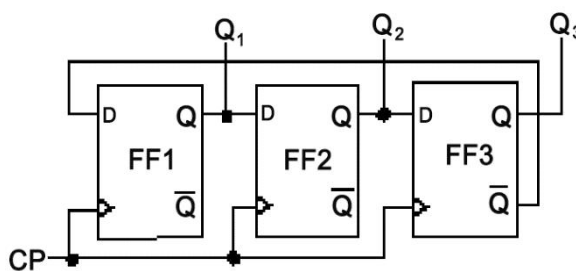
7. 如下图所示电路中，当控制变量 M 为 0 和 1 时电路分别为（ ）进制计数器。

- A. 8 和 10
- B. 9 和 12
- C. 10 和 12
- D. 10 和 13



8. 在下图所示电路中，设现态 $Q_1Q_2Q_3=000$ ，经五个脉冲作用后， $Q_1Q_2Q_3$ 的状态应为（ ）。

- A. 001
- B. 010
- C. 011
- D. 101

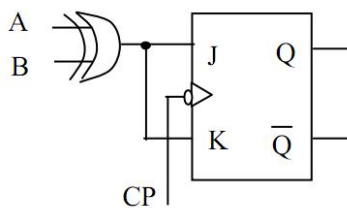


9. 构造一个模 10 同步计数器，需要（ ）个触发器。

- A 3 B 4 C 5 D 10

10. 如图，经 CP 脉冲作用后欲使触发器次态 $Q^{n+1} = \overline{Q^n}$ ，则输入信号 A、B 可能为（ ）。

- A. A=0, B=0
- B. A=0, B=1
- C. A=1, B=1
- D. A=1, B 任意



二. 数字逻辑基础（共 32 分）

1. （8 分）将二进制数 $(10100101)_2$ 转换为十六进制数和十进制数；将十进制数 $(2022)_{10}$ 转换为十六进制数；将十进制数 $(135)_{10}$ 转换为二进制数。（所有数均为无符号整数）

2. （8 分）写出有符号数 +79、-40 对应的 8 位二进制原码和补码。

3. (8分) 写出最小项简写式 $F1 = \sum A, B, C(1, 2, 7)$ 的标准与-或式、逻辑函数 $F3 = AD + BC$ 的“与非-与非”式、逻辑函数 $F4 = \overline{AB} + AC\overline{D}$ 的反函数 $F4'$ 和对偶函数 $F4'$ 。

4. (8分) 用卡诺图求下面逻辑函数的最简“与-或”表达式：(要求圈出卡诺圈)

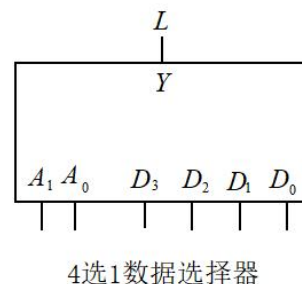
(1) $F = \sum A, B, C, D(0, 2, 4, 5, 6, 7, 8, 10, 12)$ (4分)

(2) $F = \overline{\overline{A}BD} + \overline{\overline{A}CD} + \overline{\overline{A}CD} + \overline{\overline{A}BC}$ 且 $AC + CD = 0$ (4分)

三. (8分) 某体育比赛，有三名裁判员，其中 A 为主裁判员，B、C 为副裁判员，每个运动员的比赛成绩是否有效由裁判员判定，按照少数服从多数原则；但若主裁判员认为合格也可以认定成绩有效。要求写出真值表、化简得到最简与或表达式、并只用与非门实现此功能的逻辑电路。

四. (10分) 用 4 选 1 数据选择器和逻辑门设计一个“4 舍 5 入”电路，该电路输入为 0~9 的 8421BCD 码，当值大于或等于 5 时，输出 F 的值为 1，否则 F 的值为 0。输入值 10~15 作为无关项。

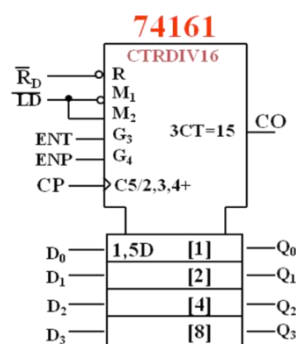
(1) 写出真值表、输出信号 F 的标准函数；(2) 说明输入信号哪些作为数据选择器地址信号、哪些作为数据信号；(3) 求出数据信号的输入表达式；(4) 画出逻辑电路图。



五. (10分) 用4位二进制计数器74161设计实现一个0101101的序列信号发生器。

(1) 说明用什么方法构建模几计数器？(2) 画出状态图；(3) 列出状态表；(4) 求输出信号逻辑函数及化简；(5) 画出逻辑图。

74161功能表					
CP	$\overline{R_D}$	\overline{LD}	ENT	ENP	功能
×	0	×	×	×	异步清零
↑	1	0	×	×	同步置数
×	1	1	0	1	保持(包括CO的状态)
×	1	1	×	0	保持(CO=0)
↑	1	1	1	1	同步计数



六. (12分) 用D触发器和尽量少的逻辑门设计一个模4加法计数器。输入信号 x 为控制信号， $x=0$ 时，停止计数且计数值保持不变； $x=1$ 时，做加1计数。输出信号为计数值和 Z ， Z 为进位输出。

(D 触发器的次态方程： $Q^{n+1} = D$ ；激励表见右图)

D激励表		
$Q \rightarrow Q^{n+1}$	D	
0 0	0	0
0 1	1	1
1 0	0	0
1 1	1	1

七. (8分) 用 Verilog HDL 设计电路模块，功能：8 位单向移位寄存器，在时钟上升沿寄存器存储的值低位依次向高位移位，数据 D_{in} 移入低位。指定的输入信号有：同步清 0 信号 RST (低电平有效)，时钟 CP (上升沿有效)，数据 D_{in} (1 位二进制数)；输出信号有：高位移出位 CY (1 位二进制数)，寄存器值 Q (8 位二进制数)。写出该模块的 Verilog HDL 程序。