

ALMA MATER STUDIORUM - UNIVERSITÀ DI BOLOGNA

SCUOLA DI INGEGNERIA E ARCHITETTURA

DIPARTIMENTO di
INGEGNERIA DELL'ENERGIA ELETTRICA E DELL'INFORMAZIONE
“Guglielmo Marconi”
DEI

**CORSO DI LAUREA IN INGEGNERIA
DELL'ENERGIA ELETTRICA**

TESI DI LAUREA
in
Azionamenti Elettrici per Applicazioni Industriali ed Eoliche M

**ANALISI TEORICA E VERIFICA SPERIMENTALE DELLE
PRESTAZIONI DI ARCHITETTURE DI CONTROLLO PER
CONVERTITORI DI INTERFACCIA ALLA RETE BASATE SU
REGOLATORI RIPETITIVI**

CANDIDATO
Francesco Bazzani

RELATORE
Chiar.mo Prof. Luca Zarri

CORRELATORI
Dott. Ing. Michele Mengoni
Chiar.mo Prof. Angelo Tani
Dott. Ing. Albino Amerise

Anno Accademico
2015/2016

Sessione
III

Indice

| | |
|---|------------|
| Introduzione | 1 |
| 1. Filtri Attivi | 3 |
| 1.1 Tipologie di Filtro Attivo..... | 3 |
| 1.2 Filtro attivo in configurazione parallelo..... | 6 |
| 1.3 Normative sull'energia elettrica..... | 13 |
| 2. Analisi teorica del sistema di controllo | 15 |
| 2.1 Panoramica generale sul controllo..... | 16 |
| 2.2 Filtri di Sallen Key..... | 18 |
| 2.3 Phase Locked Loop (PLL)..... | 20 |
| 2.4 Filtri di notch e peaking..... | 22 |
| 2.5 Discretizzazione delle FDT..... | 26 |
| 2.6 Architetture di controllo ripetitivo..... | 31 |
| 2.7 Regolatore Risonante..... | 58 |
| 2.8 Schema generale del controllo..... | 61 |
| 3. Simulazione del filtro attivo | 65 |
| 3.1 Controllo tensione..... | 67 |
| 3.2 Rete..... | 90 |
| 3.3 Carico non lineare..... | 92 |
| 3.4 Inverter..... | 94 |
| 3.5 Taratura dei regolatori..... | 97 |
| 3.6 Risultati delle simulazioni..... | 106 |
| 4. Sistema di prototipazione rapida dSpace e banco prova | 135 |
| 4.1 Sistema di prototipazione rapida dSpace..... | 135 |
| 4.2 Modello Simulink..... | 141 |
| 4.3 ControlDesk..... | 148 |

| | |
|--|------------|
| 4.4 Banco di prova..... | 153 |
| 5. Prove sperimentali | 161 |
| 5.1 Transitorio di regolazione della prima armonica..... | 161 |
| 5.2 Architetture di controllo ripetitivo..... | 167 |
| 5.3 Effetto della compensazione del ritardo di inverter..... | 184 |
| Conclusioni | 187 |
| Bibliografia | 189 |

Introduzione

Negli ultimi tempi la diffusione su larga scala dei dispositivi elettronici sia di tipo consumer, quali PC e smartphone, che di potenza, come i convertitori AC/DC, ha enfatizzato numerosi problemi legati alla qualità dell'energia elettrica, in particolare legati al valore del Total Harmonic Distortion (THD) delle correnti assorbite da questi carichi. Questi dispositivi, a fronte di una tensione al Point Of Common Coupling (PCC) perfettamente sinusoidale producono, a differenza dei consueti carichi lineari, armoniche di corrente che, concatenandosi con l'impedenza di rete, distorcono la tensione per tutti i carichi connessi a quel punto. La distorsione armonica introdotta diventa dannosa per la vita dei materiali isolanti, che subiscono fenomeni di invecchiamento accelerato, per i nuclei dei trasformatori, che sono esposti a un eccessivo riscaldamento, e per i motori, nei quali le correnti di sequenza inversa producono pulsazioni di coppia che vanno a distorcere l'effettiva coppia resa all'albero. Fino alla diffusione dei convertitori elettronici a tensione impressa venivano utilizzati filtri accordati parallelo per migliorare la qualità delle correnti di rete; questi dispositivi utilizzavano le risonanze serie/parallelo dei componenti reattivi – condensatori e reattori – per drenare le correnti armoniche, dato che alle frequenze di risonanza questi dispositivi presentano impedenza nulla o comunque molto bassa. Questa soluzione però possiede numerose criticità:

- La modifica della frequenza di risonanza avviene unicamente mediante la sostituzione dei componenti reattivi e il sistema risulta quindi essere molto poco flessibile.
- Il filtro passivo può generare delle risonanze con l'impedenza di rete, causando sovratensioni elevate per tutti i dispositivi connessi al punto di contatto.

La direttiva CEE 85/374 ha stabilito che l'energia elettrica è un prodotto, pertanto i distributori sono tenuti ad assicurare determinati standard di qualità, pena l'incorrere in sanzioni da parte delle autorità di controllo; l'introduzione del mercato libero ha portato alla nascita di numerosi Enti distributori, i quali hanno interesse a evitare perdite di

immagine dovute a un servizio inadeguato. I disturbi della qualità dell'energia possono essere classificati in due categorie:

- *disturbi permanenti*: sono variazioni del valore efficace della tensione, variazioni della frequenza e sbilanciamento della tensione caratterizzati da avere una evoluzione lenta e aleatoria.
- *eventi*: sono disturbi localizzati nel tempo, riconducibili a cause identificabili, quali interruzioni, buchi di tensione e transitori impulsivi, dovuti, ad esempio, all'inserzione di capacità di rifasamento.

La circolazione di correnti armoniche nella rete genera armoniche di tensione che ne distorcono la forma d'onda, causando disturbi permanenti. L'aumento dello sfasamento fra tensione e corrente causa la circolazione di correnti più elevate, a parità di potenza attiva trasferita al carico.

Questi inconvenienti possono essere superati attraverso i filtri attivi, che saranno l'oggetto di questa trattazione.

Nel Primo Capitolo verranno classificate le varie tipologie di Filtro attivo.

Nel secondo capitolo verrà analizzato, dal punto di vista teorico, ogni blocco costitutivo del sistema di controllo del filtro.

Nel terzo capitolo è mostrato il modello Simulink utilizzato per effettuare le simulazioni e vengono valutati i risultati di tali simulazioni.

Nel quarto capitolo è descritto il banco prova e il sistema di prototipazione rapida dSpace, utilizzato per effettuare le prove sperimentali.

Nel quinto capitolo sono riportati e commentati i risultati sperimentali.

Capitolo 1

Filtri attivi

In questo capitolo verranno esaminate le possibili configurazioni dei filtri attivi, studiando in maniera approfondita la configurazione parallelo, utilizzata in questa tesi. Verrà descritto il modello matematico della configurazione parallelo e introdotti gli strumenti matematici utili allo studio. Saranno infine trattate le normative che regolano la distorsione armonica e il calcolo del Total Harmonic Distortion.

1.1 Tipologie di Filtro Attivo

I filtri attivi sono una particolare configurazione di un più generale insieme di dispositivi capaci di condizionare i flussi di energia tra apparati connessi in un medesimo punto della rete; questi dispositivi vengono generalmente chiamati Power Conditioning Systems (PCSS). Lo scopo di questi dispositivi è aumentare l'efficienza e l'affidabilità della trasmissione di energia tra la rete e i carichi ad essa collegati. L'implementazione basilare di un filtro attivo prevede la presenza di un Inverter a tensione o corrente impressa – Voltage Source Inverter (VSI) o Current Source Inverter (CSI) – e della logica di controllo del convertitore statico. Questi strumenti sono in grado di compensare la potenza attiva – entro certi limiti imposti dall'energia immagazzinata all'interno del bus DC dell'Inverter –, la potenza reattiva, armoniche di corrente e armoniche di tensione, oltre che di bilanciare un carico squilibrato e ridurre i disturbi di tensione. La prima classificazione possibile dei filtri attivi è data dalla modalità di accumulo dell'energia da parte del convertitore. Le configurazioni utilizzate in questa trattazione sono di tipo Voltage Source Active Filters (VSAF) in quanto i convertitori utilizzati immagazzinano al loro interno energia elettrostatica attraverso dei condensatori; un'altra tipologia di filtro attivo è la Current Source Active Filters (CSAF) che prevede l'immagazzinamento di energia magnetica attraverso degli induttori.

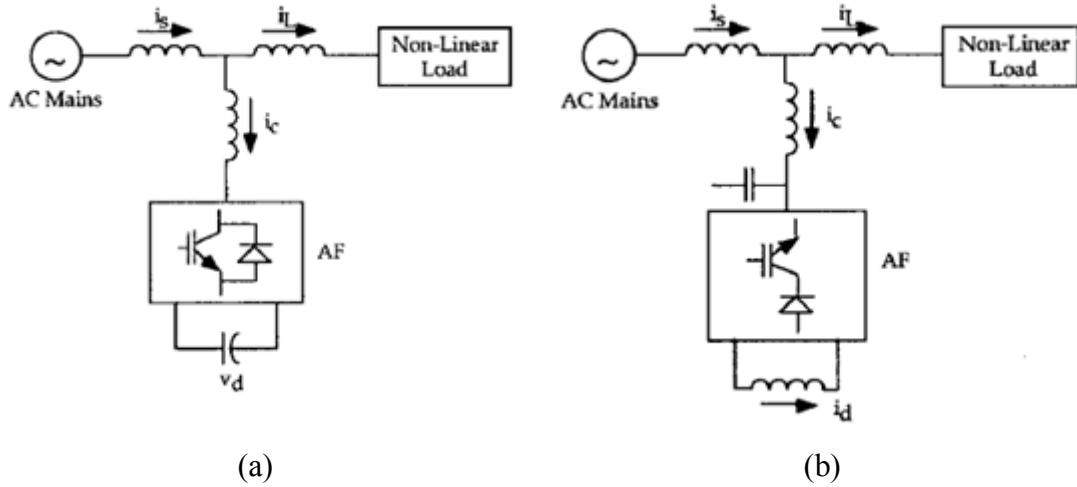


Figura 1.1: Configurazione VSAF (a) e CSAF (b).

Implementando un convertitore VSI le possibili configurazioni del filtro attivo sono 4:

- *Configurazione parallelo* di Fig. 1.2 (a): questa soluzione prevede un VSI connesso alla rete attraverso una impedenza induttiva di disaccoppiamento e permette di equilibrare la corrente circolante in rete, compensare armoniche di corrente e la potenza reattiva di un carico. Questa sarà la configurazione effettivamente implementata nel lavoro di tesi.
- *Configurazione serie* di Fig. 1.2 (b): questa soluzione prevede l’interfacciamento di un VSI con la rete attraverso un trasformatore. Il compito del VSI è imprimere ai suoi morsetti delle tensioni atte a compensare armoniche di tensione presenti in rete. Questa soluzione è preferibile in situazioni nelle quali si ha una rete forte – con un modesto valore della sua impedenza quindi – ma con un elevata quantità di armoniche di tensione; in questa particolare condizione ci si troverebbe di fronte ad una elevata corrente armonica da compensare, che aumenterebbe eccessivamente la taglia del filtro richiesta da una configurazione parallelo.
- *Configurazione ibrida* di Fig. 1.2 (c): questa configurazione prevede la presenza di un filtro serie, atto a compensare le armoniche di tensione al PCC, e di un filtro

passivo accordato, che permette la compensazione di un prefissato ordine di armoniche di corrente.

- *Configurazione universale* di Fig. 1.2 (d): questa configurazione prevede la presenza di un convertitore back to back, i cui morsetti sono connessi alla rete in configurazione serie da un lato, e in configurazione parallelo dall'altro. Questa configurazione permette quindi la compensazione di armoniche di corrente e di tensione.

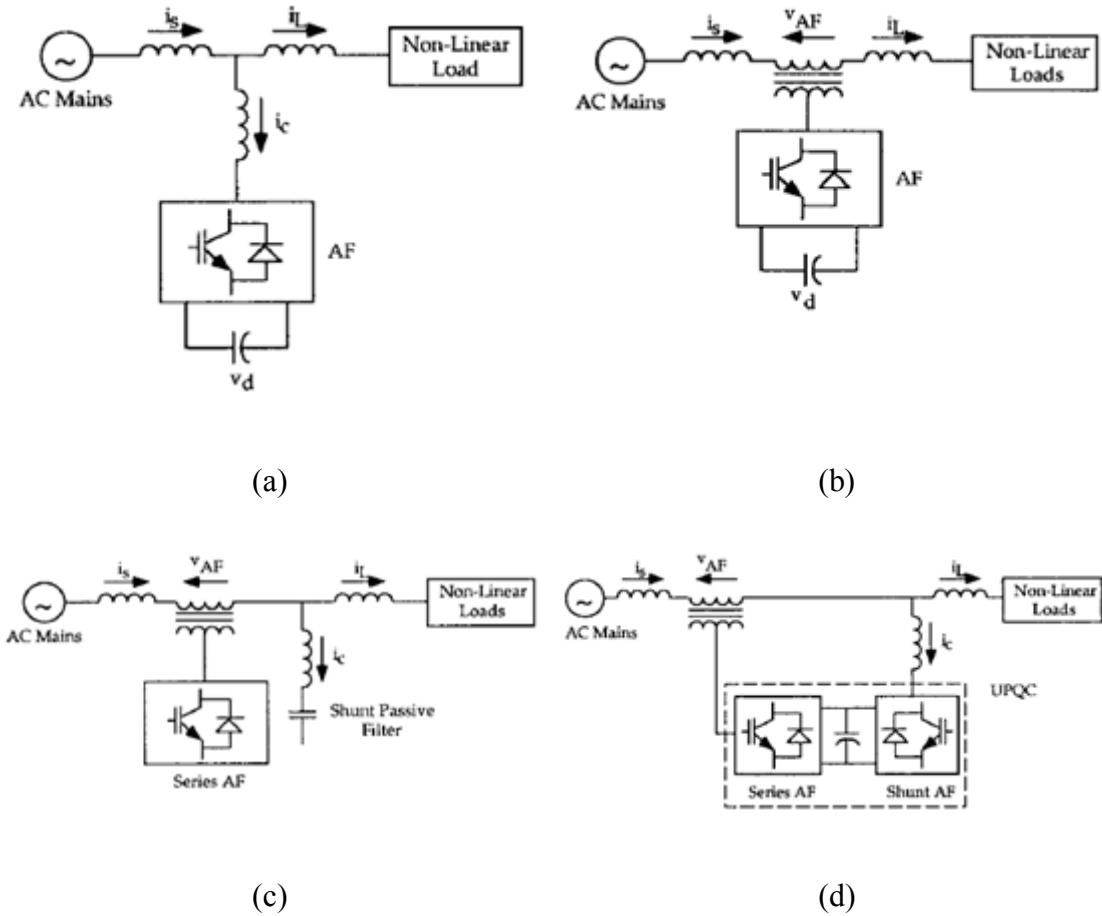


Figura 1.2: Varie configurazioni di filtro attivo. Configurazione parallelo (a), Configurazione serie (b), Configurazione ibrida (c), Configurazione universale (d).

1.2 Filtro attivo in configurazione parallelo

La soluzione considerata in questo lavoro di tesi prevede la presenza di un filtro attivo di tipo parallelo alimentato da VSI.

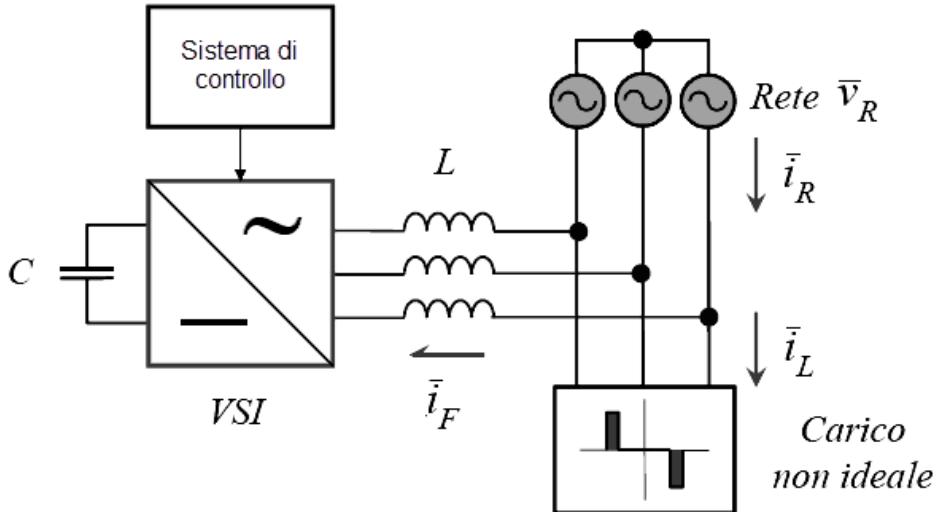


Figura 1.3: Schema del filtro implementato.

In Fig. 1.3 è possibile identificare i versi convenzionali delle correnti ai quali si farà riferimento in seguito:

$$\bar{i}_r = \bar{i}_f + \bar{i}_l. \quad (1.1)$$

Per poter scrivere le equazioni descrittive della soluzione VSAF di tipo parallelo è necessario introdurre alcuni concetti preliminari. Date 3 grandezze indipendenti, omogenee e variabili nel tempo è definita componente omopolare la seguente grandezza:

$$y_o = \frac{2}{3}(x_1 + x_2 + x_3). \quad (1.2)$$

mentre è definito vettore di spazio:

$$\bar{y} = \frac{2}{3}(x_1 + \bar{\alpha}x_2 + \bar{\alpha}^2x_3). \quad (1.3)$$

Dove la grandezza α è $e^{j\frac{2}{3}\pi}$. I vettori di spazio rappresentano una generalizzazione del concetto di fasore, utilizzato tradizionalmente nell'elettrotecnica e permettono di descrivere il funzionamento dinamico di ogni sistema. In questo le tensioni e le correnti sono rappresentate come vettori di spazio, analizzando ogni loro componente singolarmente.

Le operazioni descritte attraverso i vettori di spazio possono essere descritte attraverso l'algebra matriciale. Supponendo le grandezze a somma nulla, e quindi a componente omopolare nulla, è possibile esprimere le componenti del vettore di spazio attraverso la (1.4).

$$\begin{bmatrix} x_\alpha \\ x_\beta \end{bmatrix} = \begin{bmatrix} 1 & 0 \\ \frac{1}{\sqrt{3}} & \frac{2}{\sqrt{3}} \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} \quad (1.4)$$

$$[D] = \begin{bmatrix} 1 & 0 \\ \frac{1}{\sqrt{3}} & \frac{2}{\sqrt{3}} \end{bmatrix}. \quad (1.5)$$

La matrice [D] è quella effettivamente utilizzata nelle simulazioni.

Vengono ora definite le relazioni che descrivono gli scambi di energia tra l'inverter e la rete. L'energia, e la sua variazione, immagazzinata all'interno dello stadio in corrente continua – bus DC del condensatore – possono essere espresse tramite:

$$w_c = \frac{1}{2} C v_c^2 \quad (1.6)$$

$$p_f = \frac{dw_c}{dt} = C v_c \frac{dv_c}{dt}. \quad (1.7)$$

L'equazione appena ricavata dimostra che è impossibile erogare o assorbire potenza attiva da parte del filtro senza modificare il valore della tensione del bus DC. Il vincolo tra tensioni e correnti è determinabile attraverso la legge di Kirchhoff tra il punto di consegna e i morsetti dell'inverter, facendo riferimento alla Fig. (1.3) – nelle prossime

equazioni l'indice “s” serve a denotare le equazioni scritte nel sistema di riferimento stazionario.

$$\bar{v_r^s} - \bar{v_f^s} = L_f \frac{d\bar{i_f^s}}{dt} + R_f \bar{i_f^s}. \quad (1.8)$$

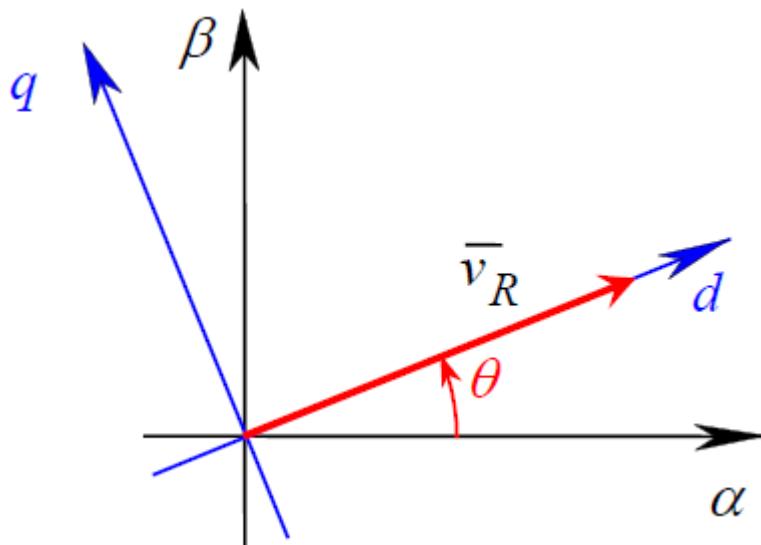


Figura 1.4: Tensione di rete nel sistema di riferimento sincrono e stazionario.

Come mostrato in Fig. 1.4 è possibile implementare una rotazione del sistema di riferimento; definendo un sistema di riferimento sincrono alla tensione di rete – tensione che, idealmente, ha il suo vettore di spazio che gira su una circonferenza di raggio V_r a velocità angolare ω – è possibile scrivere, in generale:

$$\bar{x^s} = \bar{x} e^{j\theta}. \quad (1.9)$$

Utilizzando la notazione matriciale, utilizzata nella simulazione, l'equazione (6) diventa:

$$\begin{bmatrix} x_d \\ x_q \end{bmatrix} = \begin{bmatrix} \cos\theta & \sin\theta \\ -\sin\theta & \cos\theta \end{bmatrix} \begin{bmatrix} x_\alpha \\ x_\beta \end{bmatrix}. \quad (1.10)$$

$$[T] = \begin{bmatrix} \cos\theta & \sin\theta \\ -\sin\theta & \cos\theta \end{bmatrix}. \quad (1.11)$$

Una volta effettuata la rotazione del sistema di riferimento, l'equazione (1.8) diventa:

$$V_r - \bar{v}_f = L_f \frac{d\bar{i}_f}{dt} + R_f \bar{i}_f + j\omega L_f \bar{i}_f. \quad (1.12)$$

L'equazione (1.12) può essere scomposta nelle sue componenti:

$$V_r - v_{fd} = L_f \frac{di_{fd}}{dt} + R_f i_{fd} - \omega L_f i_{fq} \quad (1.13)$$

$$-v_{fq} = L_f \frac{di_{fq}}{dt} + R_f i_{fq} + \omega L_f i_{fd}. \quad (1.14)$$

In questo sistema di riferimento è possibile scrivere la potenza assorbita dalla rete in maniera semplificata:

$$p_r = \frac{3}{2} \bar{v}_r \cdot \bar{i}_f = \frac{3}{2} V_r i_{fd}. \quad (1.15)$$

Trascurando le perdite Joule sull'impedenza di disaccoppiamento si ottiene la (1.16)

$$p_f = p_r = \frac{3}{2} V_r i_{fd} = \frac{3}{2} V_r (i_{rd} - i_{ld}). \quad (1.16)$$

Per la potenza reattiva si può scrivere invece:

$$q_f = \frac{3}{2} \bar{v}_r \cdot j\bar{i}_f = -\frac{3}{2} V_r i_{fq}. \quad (1.17)$$

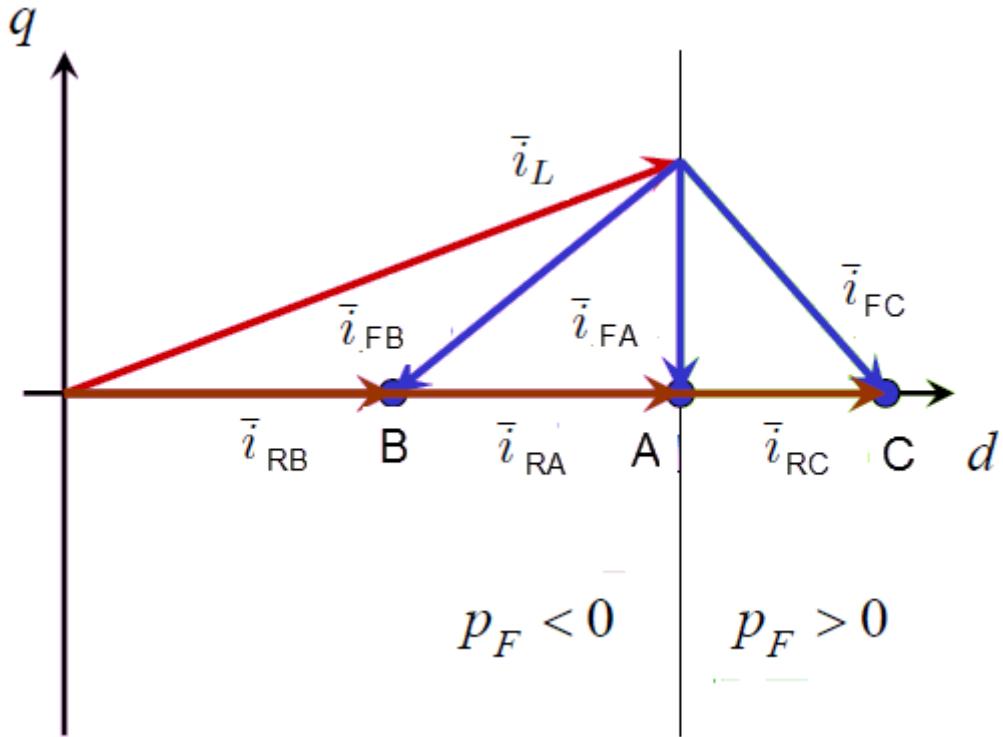


Figura 1.5: Zone di funzionamento del filtro in base alla corrente assorbita.

Le equazioni (1.13) e (1.14) dimostrano che è possibile, mediante l'applicazione della corretta tensione di inverter, controllare la corrente di filtro. Ciò è di fondamentale importanza, in quanto la logica di controllo deve garantire che:

- La componente di asse d della corrente di filtro mantenga la tensione del bus DC dell'inverter in un range che ne permetta il funzionamento. La Fig. 1.5 mostra infatti che diversi valori della corrente di filtro di asse d modificano i flussi di potenza attiva sul filtro e quindi la tensione ai capi del condensatore.
- La corrente di filtro renda sinusoidale la corrente di rete e in fase con la tensione di rete.

Sviluppando in serie di Fourier le correnti, supponendo che le uniche correnti presenti siano quelle di ordine dispari, si ottiene:

$$\bar{l}_l = \sum_{h=1}^n \bar{l}_{lh} . \quad (1.18)$$

$$\bar{l}_r = \bar{l}_{r1} + \sum_{h=3}^n \bar{l}_{rh} = \sum_{h=1}^n \bar{l}_{lh} + \sum_{h=1}^n \bar{l}_{fh} . \quad (1.19)$$

La (1.19) può essere scomposta nelle sue componenti di asse d e q; dopo una serie di calcoli si ottiene:

$$i_{r1d} = i_{f1d} + i_{l1d} \quad (1.20)$$

$$\sum_{h=1}^n i_{r_{hq}} = \sum_{h=1}^n i_{l_{hq}} + \sum_{h=1}^n i_{f_{hq}} . \quad (1.21)$$

Le equazioni (1.20) e (1.21) sono state scritte supponendo che la corrente di rete abbia una componente di asse d solo per la prima armonica; se ciò non fosse vero non sarebbe possibile controllare l'inverter, in quanto queste correnti di asse d causerebbero scambi di potenza che modificherebbero la tensione ai capi del condensatore, facendola uscire dall'intervallo ottimale di funzionamento. Attraverso l'equazione (1.21) il sistema di controllo calcola quindi l'effettiva tensione di filtro per compensare armonicamente la corrente di rete.

Il bilancio delle potenze attive porta alla equazione (1.22).

$$p_r = p_l + p_f . \quad (1.22)$$

In caso di carico variabile diventa impossibile mostrare alla rete un carico ideale – un carico il cui vettore di spazio delle correnti ruota su una circonferenza di ampiezza costante – senza modificare il valore della potenza assorbita dal filtro e quindi il valore della tensione di bus DC. Appare quindi ragionevole abbandonare l'obiettivo di mantenere la tensione del bus DC costante, a patto che questa tensione permetta comunque il funzionamento del filtro.

Filtri attivi

E' possibile classificare ulteriormente i filtri attivi in base alla corrente misurata:

- I filtri attivi che misurano la corrente di carico implementano, nel loro sistema di controllo, il calcolo indiretto della corrente di rete, in base alla (1.1). Possono quindi essere considerati come dei sistemi in catena aperta, in quanto non misurano direttamente la grandezza che controllano.
- I filtri attivi che misurano la corrente di rete sono invece dei sistemi in catena chiusa, in quanto misurano direttamente le grandezze che controllano – questa è la soluzione effettivamente implementata nel lavoro di tesi.

1.3 Normative sull'energia elettrica

La crescente sensibilità dell'utenza domestica e industriale alla qualità dell'energia ha recentemente mostrato la necessaria definizione di uno standard per il prodotto elettricità. Attraverso la direttiva CEE 85/374 del 1985 si è infatti definito – articolo 2 – che l'elettricità è un prodotto e che, come tale, ha bisogno di essere regolato attraverso standard. Quando si parla di qualità dell'energia ci si riferisce, in realtà, alla qualità della tensione al punto di consegna; questa tensione si discosta da quella teorica, cioè una sinusoide a 50 Hz, e questi scostamenti possono causare problemi tecnici a tutte le utenze. La causa di questi scostamenti non è di facile individuazione, infatti grossi carichi distorsionali possono assorbire correnti con un elevato ordine armonico, correnti che, a loro volta producono cadute di tensione che modificano la tensione al punto di consegna. Una armonica di corrente può quindi passare attraverso gli apparati di distribuzione e creare problemi lontano da dove essa è stata generata; ecco quindi spiegata la crescente sensibilità in tema di qualità dell'energia. Le norme di riferimento in tema di distorsione armonica sono essenzialmente la CEI EN 50160, la CEI EN 61000-2-4, che analizzano la distorsione armonica della tensione e la raccomandazione IEE Std 519-2014, che analizza la distorsione armonica della corrente.

Il paragrafo 2.11 della CEI EN 50160 stabilisce che “in condizioni normali di esercizio, durante qualsiasi periodo di una settimana, il 95 % dei valori efficaci di ogni singola tensione armonica, mediati sui 10 minuti, deve essere inferiore o uguale ai valori indicati nella Tabella 1.1”. Al riguardo la norma osserva che “i valori corrispondenti alle armoniche di ordine superiore a 25 non sono indicati in tale tabella poiché essi sono generalmente piccoli ma imprevedibili a causa degli effetti di risonanza”. La CEI EN 50160 però stabilisce dei limiti certi alla distorsione armonica massima, con queste parole: “la distorsione armonica totale (THD) della tensione di alimentazione (comprese tutte le armoniche fino al 40 ° ordine) deve essere inferiore o uguale all'8 %”, osservando però che “la limitazione posta al 40° ordine è convenzionale”. Infatti la CEI EN 61000-2-4, pur utilizzando la medesima definizione di THD e il medesimo valore limite, considera il 50° ordine come ordine massimo ai fini del calcolo del THD.

In tabella 1.1 sono riportati i limiti imposti dalla norma CEI EN 50160 per i livelli di distorsione massima per le tensioni armoniche in reti di distribuzione MT e BT, mentre

in tabella 1.2 i limiti raccomandati dallo standard IEE Std 519-2014, per le correnti armoniche in impianti di tensione compresa tra 120 V - 69 kV.

| Armoniche dispari | | | | Armoniche pari | |
|-------------------|--------------------------|---------------|--------------------------|----------------|--------------------------|
| Non multiple di 3 | | Multiple di 3 | | | |
| Ordine h | Aampiezza relativa u_h | Ordine h | Aampiezza relativa u_h | Ordine h | Aampiezza relativa u_h |
| 5 | 6,0 % | 3 | 5,0 % | 2 | 2,0 % |
| 7 | 5,0 % | 9 | 1,5 % | 4 | 1,0 % |
| 11 | 3,5 % | 15 | 0,5 % | 6 ... 24 | 0,5 % |
| 13 | 3,0 % | 21 | 0,5 % | | |
| 17 | 2,0 % | | | | |
| 19 | 1,5 % | | | | |
| 23 | 1,5 % | | | | |
| 25 | 1,5 % | | | | |

NOTA I valori corrispondenti alle armoniche di ordine superiore a 25 non sono indicati in questa tabella poiché essi sono generalmente piccoli ma imprevedibili a causa degli effetti di risonanza.

Tabella 1.1: Limiti massimi per ogni componente armonica forniti dalla norma CEI EN 50160.

| Maximum harmonic current distortion in percent of I_L | | | | | | |
|--|-----------------|------------------|------------------|------------------|---------------------|------|
| Individual harmonic order (odd harmonics) ^{a,b} | | | | | | |
| I_{sc}/I_L | $3 \leq h < 11$ | $11 \leq h < 17$ | $17 \leq h < 23$ | $23 \leq h < 35$ | $35 \leq h \leq 50$ | TDD |
| < 20 ^c | 4.0 | 2.0 | 1.5 | 0.6 | 0.3 | 5.0 |
| 20 < 50 | 7.0 | 3.5 | 2.5 | 1.0 | 0.5 | 8.0 |
| 50 < 100 | 10.0 | 4.5 | 4.0 | 1.5 | 0.7 | 12.0 |
| 100 < 1000 | 12.0 | 5.5 | 5.0 | 2.0 | 1.0 | 15.0 |
| > 1000 | 15.0 | 7.0 | 6.0 | 2.5 | 1.4 | 20.0 |

^aEven harmonics are limited to 25% of the odd harmonic limits above.

^bCurrent distortions that result in a dc offset, e.g., half-wave converters, are not allowed.

^cAll power generation equipment is limited to these values of current distortion, regardless of actual I_{sc}/I_L .

where

I_{sc} = maximum short-circuit current at PCC

I_L = maximum demand load current (fundamental frequency component)
at the PCC under normal load operating conditions

Tabella 1.2: Limiti di distorsione della corrente per sistemi a tensione compresa tra 120 V e 69 kV.

Capitolo 2

Analisi Teorica del sistema di controllo

Il sistema di controllo rappresenta la parte centrale del filtro attivo; ad esso è affidato il compito di calcolare le tensioni di riferimento da mandare al modulatore PWM dell'inverter. Il controllo è sostanzialmente suddiviso in due parti:

- Alla Catena risonante è affidato il compito di mantenere la tensione dello stadio in continua dell'inverter al giusto valore, di rifasare la componente fondamentale della corrente di rete e di eliminare l'armonica inversa di corrente; a tale scopo viene usato un regolatore risonante smorzato centrato sulla frequenza fondamentale $f_1 = 50$ Hz.
- Alla catena ripetitiva è affidato il compito di eliminare le componenti armoniche della frequenza di rete in alta frequenza; a tale scopo utilizza dei regolatori ripetitivi.

Nel seguito verranno analizzate tutte le parti che permettono il funzionamento del sistema di controllo, con particolare attenzione alla loro trattazione teorica e alla loro implementazione.

2.1 Panoramica generale sul controllo

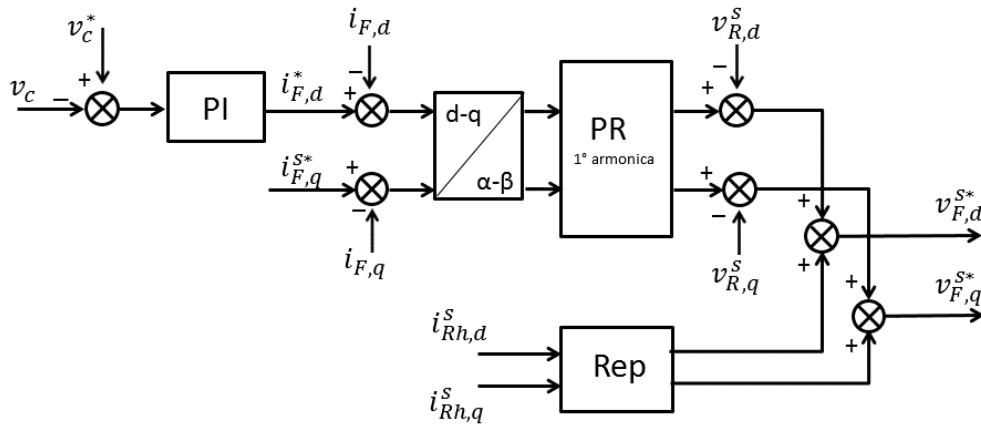


Figura 2.1: Schema di controllo.

Il sistema di controllo misura 4 grandezze: la corrente di rete, la corrente di filtro, la tensione di rete al PCC e tensione del condensatore. La tensione di bus DC viene costantemente comparata col suo valore di riferimento, e il segnale di errore viene inviato a un regolatore PI, che produce in uscita il valore di riferimento della componente di prima armonica della corrente di filtro di asse d. Per il controllo della parte immaginaria della corrente di riferimento sono state utilizzate due strategie.

- Nella simulazione si è utilizzato un regolatore PI per calcolare il riferimento per il filtro partendo dalla corrente di asse q della corrente di rete, confrontata con zero, dato che lo scopo del regolatore è annullare tale componente.
- Nel lavoro sperimentale si è scelto di non appesantire il sistema di controllo, e si è utilizzato il valore di regime trovato dal regolatore PI per il rifasamento del carico.

Lo stadio PLL acquisisce il vettore di spazio della tensione di rete e calcola l'angolo θ con il quale vengono effettuate le trasformate di Clarke diretta e inversa – l'angolo θ è stato definito nella Fig. 1.4 e rappresenta l'angolo di sfasamento, mobile, tra il vettore di spazio della tensione di rete nel sistema di riferimento sincrono a essa e il sistema di riferimento stazionario. Il calcolo di questo sfasamento viene effettuato per due motivazioni principali:

- Per il controllo della tensione del bus DC, il rifasamento della corrente di rete e l'eliminazione della armonica inversa si è scelto di utilizzare un regolatore risonante; questa tipologia di controllo lavora nel sistema di riferimento stazionario, mentre i riferimenti vengono calcolati nel sistema di riferimento sincrono. I blocchi che calcolano le trasformate di Clarke necessitano dell'angolo θ per il cambiamento del sistema di riferimento.
- Il lavoro di tesi ha comparato 6 diverse architetture per il regolatore ripetitivo. Due di queste prevedono di portare il segnale di errore nel sistema di riferimento sincrono alla prima armonica della tensione di rete.

Il regolatore risonante quindi genera la componente di prima armonica delle tensioni di inverter. Dalla corrente di rete misurata viene invece eliminata la prima armonica attraverso un filtro di Notch; questa corrente filtrata viene comparata con zero – in quanto si vuole che le componenti armoniche siano nulle. Partendo dal segnale di errore il regolatore ripetitivo produce in uscita le componenti della tensione di riferimento di inverter atte ad eliminare le correnti armoniche in rete. Queste due tensioni vengono quindi sommate, componente per componente, e il risultato di questa somma diviene il riferimento per i modulatori PWM dell'inverter. Questa tensione deve essere ritrasportata nel sistema di riferimento trifase stazionario, in quanto il regolatore ripetitivo è implementato nel sistema di riferimento stazionario.

2.2 Filtri di Sallen Key

I filtri di Sallen Key sono implementati all'interno della sonda di corrente per filtrare le componenti ad alta frequenza. Lo schema della configurazione passa basso è mostrato nella Fig. 2.3.

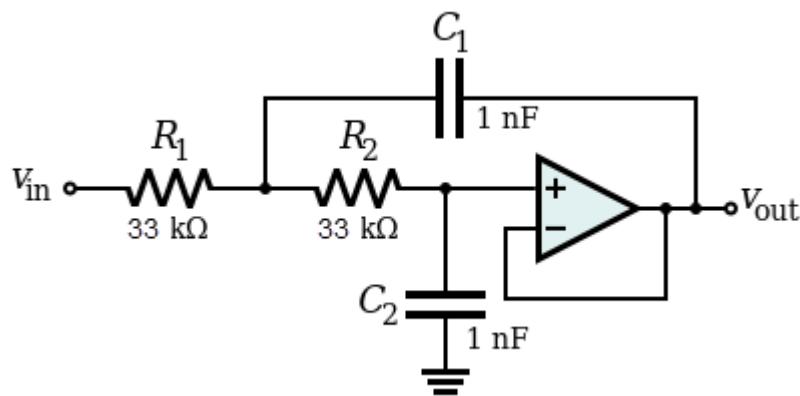


Figura 2.2: Filtro Passa Basso di Sallen Key

La funzione di trasferimento di questo filtro è invece riportata nella (2.1).

$$G(s) = \frac{1}{1 + C_2(R_1 + R_2)s + C_1C_2R_1R_2s^2}. \quad (2.1)$$

Nel prototipo sperimentale questo filtro è stato tarato per avere due poli coincidenti a frequenza di 2 kHz. Il diagramma di Bode della funzione di trasferimento è mostrato in Fig. 2.1.

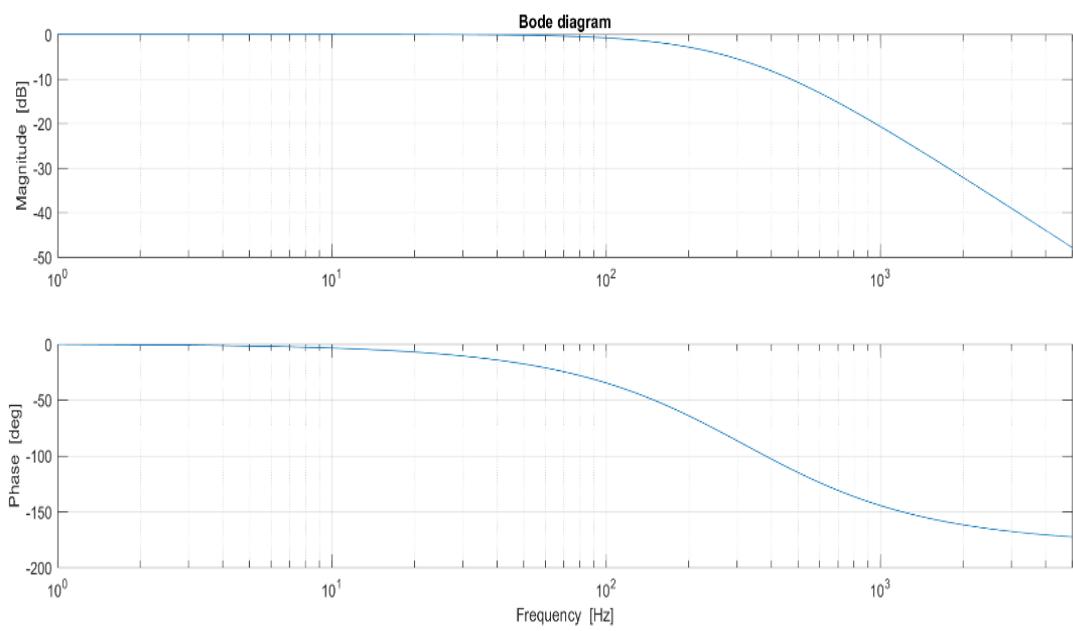


Figura 2.3: Diagramma di Bode del filtro di Sallen Key.

2.3 Phase Locked Loop (PLL)

Il PLL è un sistema in grado di generare un segnale in fase con un riferimento periodico.

Il PLL è formato da 3 componenti principali, come è mostrato nella Fig. 2.4.

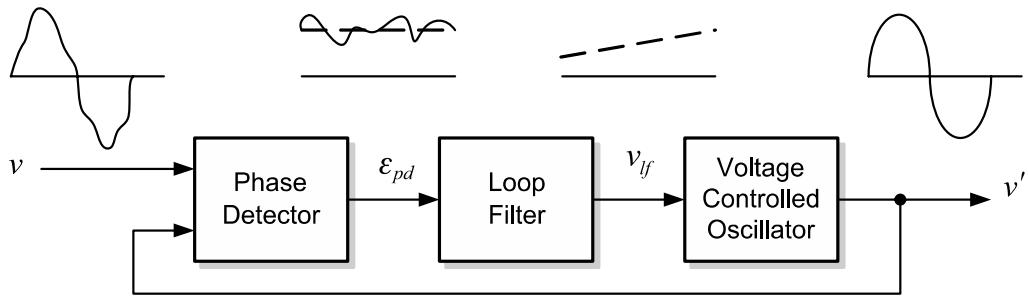


Figura 2.4: Schema di base del PLL.

Il phase detector estrae dal vettore di spazio della tensione di rete la componente di asse q ; questa tensione rappresenta l'errore da annullare, in quanto, quando il sistema ha raggiunto il sincronismo, la tensione ruota solidale all'asse d . Il ruolo del filtro passa basso è svolto da un regolatore PI. Il regolatore fornisce in uscita la pulsazione che serve per annullare l'errore; in seguito questa pulsazione viene sommata alla pulsazione della prima armonica. Questo schema infatti funziona solo nell'intorno della frequenza di equilibrio. Ciò non costituisce un grosso problema, in quanto il blocco PLL è fatto per agganciare il sistema di controllo alla tensione rete, le cui escursioni di frequenza sono estremamente limitate. Per sistemi di controllo che debbano lavorare “in isola” lo schema in funzione fallirebbe, in quanto il PLL potrebbe operare a frequenze nelle quali l'approssimazione lineare non è valida. L'uscita dell'integratore rappresenta infine l'angolo dinamico tra il sistema di riferimento stazionario e quello sincrono. La funzione di trasferimento del sistema, nell'intorno del punto di equilibrio, può essere scritta così:

$$G_d = k_p \left(1 + \frac{1}{\tau_i s}\right) \frac{1}{s} \quad (2.2)$$

$$G_{PLL} = \frac{\frac{k_p}{\tau_i} + k_p s}{s^2 + k_p \tau_i s + k_p} = \frac{2\xi\omega_n s + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2}. \quad (2.3)$$

dove $\tau_i = \frac{k_p}{k_i}$.

Attraverso l'equazione (2.3) si è descritto il sistema come un sistema del secondo ordine; da queste equazioni è possibile estrapolare la pulsazione naturale del sistema:

$$\omega_n = \sqrt{\frac{k_p}{\tau_i}}. \quad (2.4)$$

Indicando con τ_s il tempo di assestamento – il tempo in cui il sistema approssima il suo funzionamento di regime con un errore inferiore all'1% è possibile calcolare τ , che rappresenta la costante di tempo del sistema del primo ordine che approssima il comportamento di questo sistema del secondo, e quindi, infine, il fattore di smorzamento. E' possibile quindi scrivere:

$$\tau_s = 4.6\tau \quad (2.5)$$

$$\tau = \frac{1}{\xi\omega_n}. \quad (2.6)$$

Attraverso queste relazioni è possibile tarare il regolatore PI del sistema, per assicurarsi che il PLL raggiunga il PLL nel tempo voluto. Si ha infatti:

$$k_p = 2\xi\omega_n = \frac{9.2}{\tau_s} \quad \frac{k_p}{k_i} = \frac{2\xi}{\omega_n} = \frac{\tau_s\xi^2}{2.3}. \quad (2.7)$$

Queste relazioni rappresentano un riferimento per la taratura del sistema e attraverso le simulazioni di questo modello in ambiente Simulink è possibile verificare la bontà di tale operazione.

2.4 Filtri di notch e peaking

Il filtri di notch e peaking sono dei filtri digitali causali, lineari e tempo invarianti in grado di estrarre, o cancellare, da un segnale in ingresso un determinato ordine armonico dallo spettro. La linearità implica che il sistema soddisfi il principio di sovrapposizione degli effetti, la causalità invece che il sistema presenti uscita nulla per $t \leq 0$, infine la proprietà di tempo invarianza comporta che le uscite del sistema dipendano solamente dagli ingressi e non dall'istante di tempo preso in esame. Queste condizioni, note come condizioni di Paley – Wiener, assicurano la fattibilità fisica del sistema. Esistono due tipologie di filtro digitale:

- I filtri FIR – Finite Impulse Response – caratterizzati da una risposta finita all'impulso e fase lineare. La loro funzione di trasferimento digitale risulta essere un polinomio in z^{-1} . Da queste caratteristiche si capisce che questi sistemi sono sempre stabili.
- I filtri IIR – Infinite Impulse Response – caratterizzati da una risposta infinita all'impulso – e quindi non fisicamente realizzabile – e fase non lineare. La loro funzione di trasferimento digitale è realizzata attraverso delle funzioni razionali. Dalle caratteristiche appena descritte si evince che questa tipologia di filtro non è sempre stabile, ma può essere più performante, se modificati adeguatamente. Inoltre l'onere computazionale per questa tipologia di filtro digitale risulta inferiore, a causa del minor numero di parametri richiesto nella loro definizione.

I filtri di peaking sono dei filtri IIR. La loro funzione di trasferimento, nel dominio delle trasformate di Laplace, necessita però di un parametro di smorzamento. In questo modo si abbandona l'idealità di una perfetta selettività, ma si ottiene un sistema a banda passante non nulla – selettiva quanto ci serve – e meno incline a introdurre instabilità. Si giunge dunque alla formulazione:

$$G(s) = \frac{2\delta\omega_0 s}{s^2 + 2\delta\omega_0 s + \omega_0^2}. \quad (2.8)$$

La corrispondente funzione di risposta armonica $G(j\omega)$ presenta un denominatore minimo per $\pm\omega_0$ come si vede dal diagramma di Bode. In seguito sono riportati i diagrammi di bode di un filtro di Peaking con frequenza di risonanza a 50 Hz, al variare del fattore di smorzamento.

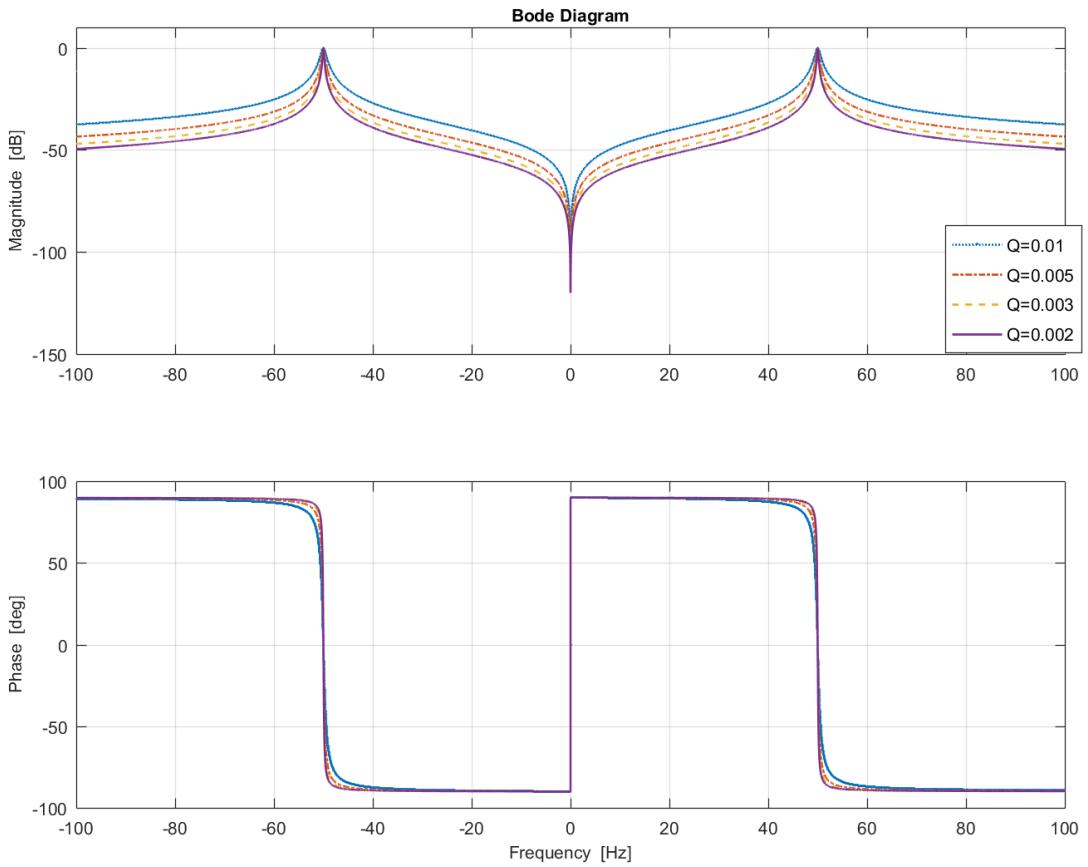


Figura 2.5: Diagrammi di Bode di un filtro di Peaking al variare del fattore di smorzamento.

All'interno del sistema di controllo è presente un regolatore proporzionale atto a compensare la prima armonica inversa di corrente presente in rete; per selezionare questa armonica è necessario quindi utilizzare un filtro molto selettivo, centrato solo sulla frequenza della componente inversa della corrente di rete; la simmetria del filtro di peaking è quindi una caratteristica indesiderata per questa applicazione. La funzione di

trasferimento di un filtro di peaking dissimmetrico è quindi diversa e viene riportata nel seguito:

$$G'(s) = \frac{\omega_b}{s + \omega_b + j\omega_0}. \quad (2.9)$$

Il parametro ω_b rappresenta l'equivalente allo smorzamento per i peaking simmetrici. I diagrammi di Bode di questa funzione di trasferimento mostrano quanto descritto; nella Fig. 2.6 si è inoltre mostrato che la somma di due filtri di peaking dissimmetrici, tarati su due frequenze simmetriche, produce la FDT di un filtro di peaking simmetrico.

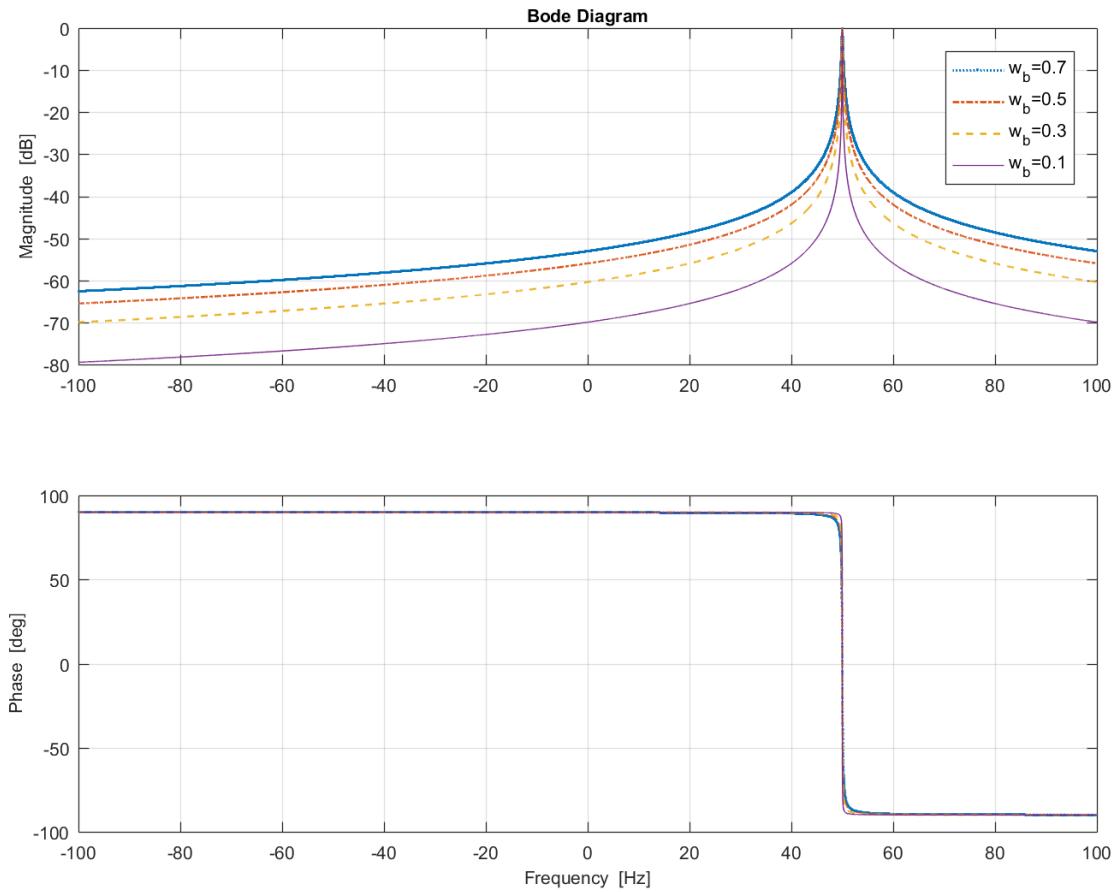


Figura 2.6: Diagrammi di Bode del filtro di peaking dissimmetrico al variare di ω_b .

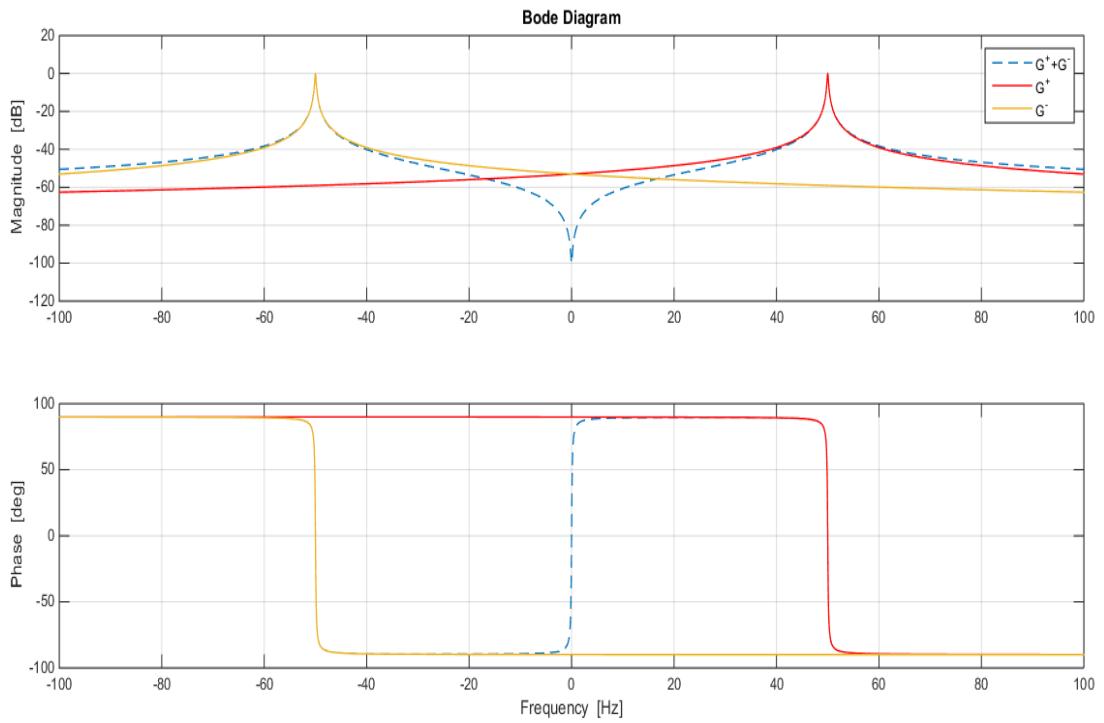


Figura 2.7: Diagrammi di Bode di due filtri dissimmetrici; la somma è un filtro simmetrico.

I filtri di notch sono i complementari dei filtri di peaking. Essi permettono il passaggio di ogni contenuto armonico, fuorché quello per il quale sono centrati. In questo lavoro sono utilizzati in ingresso al regolatore ripetitivo, in quanto si vuole che questo regolatore compensi tutte le armoniche tranne la prima. La loro funzione di trasferimento ha forma:

$$G_{notch} = 1 - \frac{2\delta\omega_0 s}{s^2 + 2\delta\omega_0 s + \omega_0^2}. \quad (2.10)$$

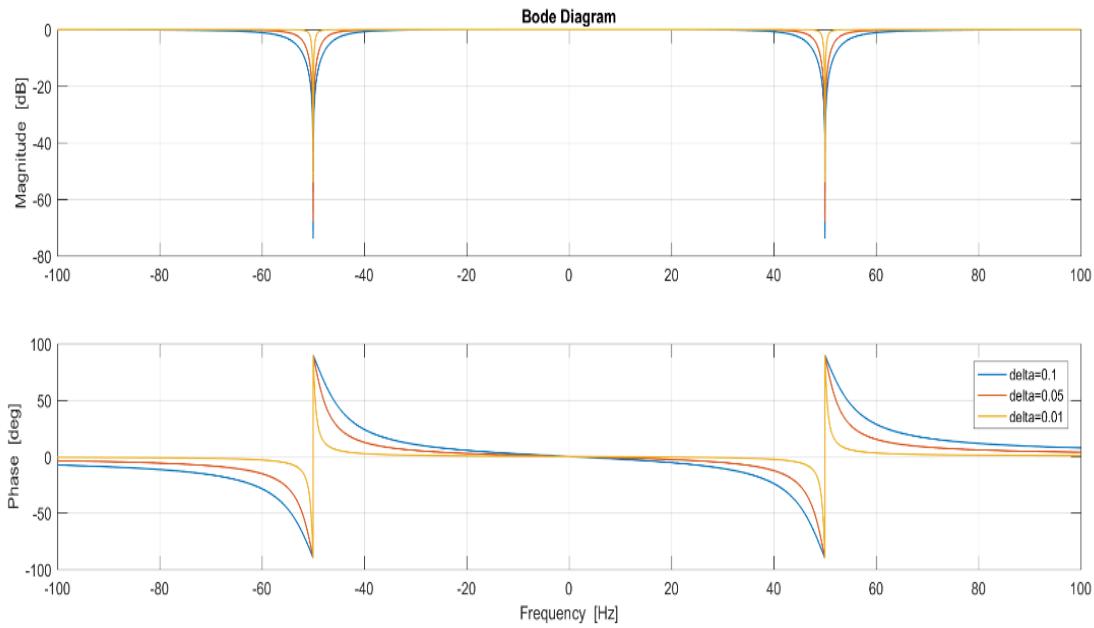


Figura 2.8: Diagramma di Bode di un filtro di notch al variare del fattore di smorzamento.

2.5 Discretizzazione delle FDT

La discretizzazione delle funzioni di trasferimento risulta essere una pratica fondamentale per l'implementazione, all'interno dei sistemi di controllo, dei vari regolatori e filtri. Discretizzando una funzione di trasferimento si genera una nuova FDT, avente poli differenti; alcune tecniche di discretizzazione permettono di ottenere risultati perfetti a certe frequenze, risultato molto utile nella discretizzazione di sistemi che sfruttano le risonanze. Ma il processo di discretizzazione modifica anche la distribuzione degli zeri rispetto alla FDT continua, che influiscono sulla stabilità del sistema discreto. Naturalmente, maggiore è la frequenza di campionamento e minore è la differenza tra il sistema discreto e il sistema tempo continuo. Ogni metodo di discretizzazione definisce una relazione biunivoca tra le trasformate di Laplace e le trasformate Z, che rappresentano lo strumento matematico per scrivere le equazioni alle differenze, implementabili

all'interno della logica di controllo. La relazione che lega la trasformata Z di un segnale campionato alla sua trasformata di Laplace è data da:

$$z^{-1} = e^{-sT_c} \Rightarrow s = \frac{1}{T_c} \ln(z). \quad (2.11)$$

dove T_c è il periodo di campionamento.

Da questo si intuisce che i sistemi discreti perdono di significato quando lavorano a frequenze vicine alla frequenza limite di Shannon, pari a $f_{lim} = f_c/2$. La relazione (2.11) però è non lineare e il suo utilizzo è agevole solo nella discretizzazione di ritardi – che è quello che viene effettuato nella discretizzazione di un regolatore ripetitivo – mentre si preferisce utilizzare relazioni approssimate per la discretizzazione di altri sistemi, quali i regolatori risonanti e i filtri in genere. I metodi di discretizzazione più comuni sono:

- Eulero all'indietro:

Per trovare il legame tra la grandezza continua e la grandezza campionata questo metodo approssima la derivata dell'ingresso all'istante kT_c attraverso il suo rapporto incrementale; indicando con u la grandezza continua e con y la grandezza campionata, è possibile scrivere:

$$\frac{y(kT_c) - y((k-1)T_c)}{T_c} = \frac{du(t)}{dt} \Big|_{kT_c} \Rightarrow y(z) \frac{1 - z^{-1}}{T_c} = sU(s) \Rightarrow s = \frac{z - 1}{zT_c}. \quad (2.12)$$

- Eulero in Avanti:

Questo metodo approssima la derivata dell'ingresso all'istante $(k-1)T_c$ attraverso il suo rapporto incrementale; è possibile scrivere:

$$\begin{aligned} \frac{y(kT_c) - y((k-1)T_c)}{T_c} &= \frac{du(t)}{dt} \Big|_{(k-1)T_c} \Rightarrow y(z) \frac{1 - z^{-1}}{T_c} = sU(s) z^{-1} \\ &\Rightarrow s = \frac{z - 1}{T_c}. \end{aligned} \quad (2.13)$$

- Tustin:

Questa approssimazione calcola la derivata nell'intervallo di commutazione come media tra le due derivate in avanti e indietro; si ha:

$$\begin{aligned} \frac{1}{2} \left(\frac{du(t)}{dt} \Big|_{kT_c} + \frac{du(t)}{dt} \Big|_{(k-1)T_c} \right) &= \frac{y(kT_c) - y((k-1)T_c)}{T_c} \Rightarrow \frac{1}{2}(1+z^{-1})sU(s) \\ &= \frac{1-z^{-1}}{T_c} y(z) \Rightarrow s = \frac{z-1}{(z+1)\frac{2}{T_c}}. \quad (2.14) \end{aligned}$$

Per compensare la distorsione introdotta dalla discretizzazione è possibile aggiungere un termine di prewarping, capace di compensare la distorsione a una specifica frequenza ω_0 .

Si ha quindi:

$$s = \frac{z-1}{(z+1)} \frac{\omega_0}{\tan(\frac{\omega_0 T_c}{2})}. \quad (2.15)$$

E' possibile notare che quanto più la frequenza di campionamento diviene elevata, tanto più è possibile confondere la tangente col suo angolo, ritrovando la (2.14).

La Tab. 1.2 mostra una panoramica su tutte le discretizzazioni più comuni utilizzate.

| Metodi di discretizzazione | Equivalenza |
|----------------------------|---|
| Zero-order Hold | $X(z) = (1-z^{-1})Z\left\{L^{-1}\left(\frac{X(s)}{s}\right)\right\}$ |
| First-order Hold | $X(z) = \frac{(z-1)^2}{2T_c} Z\left\{L^{-1}\left(\frac{X(s)}{s}\right)\right\}$ |
| Forward Euler | $s = \frac{z-1}{T_c}$ |
| Backward Euler | $s = \frac{z-1}{zT_c}$ |
| Tustin | $s = \frac{z-1}{(z+1)\frac{2}{T_c}}$ |
| Tustin con pre-warping | $s = \frac{z-1}{(z+1)} \frac{\omega_0}{\tan(\frac{\omega_0 T_c}{2})}$ |
| Zero-Pole matching | $z = e^{sT_c}$ |
| Impulse invariant | $X(z) = Z\left\{L^{-1}\left(\frac{X(s)}{s}\right)\right\}$ |

Tabella 2.1: Riassunto dei metodi di discretizzazione.

Il regolatore risonante implementato nel lavoro di tesi è stato discretizzato utilizzando la tecnica di Tustin con Prewarping, compensando la distorsione alla frequenza $\omega_1 = 2\pi f_1$; sostituendo alla sua relazione il legame tra il dominio continuo e il dominio discreto e dopo numerosi calcoli algebrici, si ottiene:

$$R_{tp}(z) = \frac{\sin(\omega_1 T_c)(z^2 - 1)}{2\omega_1(z^2 - 2\cos(\omega_1 T_c)z + 1)}. \quad (2.16)$$

Per la discretizzazione dei ritardi si è utilizzato la relazione descritta dalla (2.11); la discretizzazione porta ad ottenere:

$$e^{-sT_1} = e^{-s(NT_c)} \Rightarrow Z(e^{-s(NT_c)}) = z^{-N} \quad (2.17)$$

$$N = \frac{T_1}{T_c} = \frac{NT_c}{T_c}, N \in \mathbb{N}. \quad (2.18)$$

In questa tesi si è utilizzata una frequenza di campionamento pari a 10 kHz, ottenendo quindi $N=200$. In alcune circostanze si è reso necessario utilizzare una frequenza di campionamento non multipla intera della frequenza fondamentale; in queste circostanze si otterrebbe $N \in \mathbb{R}$; in questo caso è possibile scrivere N come:

$$\begin{aligned} N &= [parte_{intera}(N) - 1] + [parte_{frazionario}(N) + 1] = N' + N'' \Rightarrow z^{-N} \\ &= z^{-N'} z^{-N''}. \end{aligned} \quad (2.19)$$

A questo punto è possibile approssimare N'' attraverso le approssimanti di Lagrange, ottenendo:

$$z^{-N''} \approx H(z) = \sum_{n=0}^M h(n)z^{-n} \quad (2.20)$$

$$h(n) = \prod_{k=0, k \neq n}^M \frac{N'' - k}{n - k}. \quad (2.21)$$

Per i nostri scopi è sufficiente troncare la sommatoria al terzo ordine; nella tabella successiva viene riportata una sintesi dei coefficienti.

| | $M = 1$ | $M = 2$ | $M = 3$ |
|--------|---------------------------|---------------------------|----------------------------|
| $h(0)$ | $1 - D$ | $(D - 1)(D - 2)/2$ | $-(D - 1)(D - 2)(D - 3)/6$ |
| $h(1)$ | D | $-D(D - 2)$ | $D(D - 2)(D - 3)/2$ |
| $h(2)$ | | $D(D - 1)/2$ | $-D(D - 1)(D - 3)/2$ |
| $h(3)$ | | | $D(D - 1)(D - 2)/6$ |

Tabella 2.2: Coefficienti di Lagrange fino al quarto ordine.

2.6 Architetture di controllo ripetitivo

I regolatori ripetitivi sono dei sistemi di regolazione in catena chiusa che, nella loro formulazione più classica, sommano al loro ingresso lo stesso segnale, ritardato di un certo istante di tempo; proprio per questo motivo la funzione di trasferimento di ogni architettura di controllo implementata presenta risonanze – frequenze alle quali il guadagno del regolatore risulta idealmente infinito – ad ogni frequenza multipla della fondamentale. Questo però risulta essere il grande problema di questi controlli, dato che il regolatore presenta guadagni elevatissimi in una banda enorme, e ciò porta all’amplificazione di ogni segnale di rumore; nell’analisi teorica si sono quindi analizzate le tecniche di stabilizzazione di questi regolatori. In questa tesi si sono utilizzate numerose architetture di regolatore ripetitivo per il controllo dell’anello di corrente del sistema. Il vettore di spazio della corrente di riferimento può essere scritto come:

$$\bar{i}_f^* = \bar{i}_{f1}^* + \sum_{h=h_{min}}^{h_{max}} \bar{i}_{fh}^*. \quad (2.22)$$

Lo schema di controllo utilizzato però utilizza un filtro Notch centrato sulla prima armonica a monte del regolatore, in modo tale da togliere all’anello ripetitivo il controllo della tensione sul bus DC. Le ragioni di questa scelta sono essenzialmente due.

- Si è voluto tenere divisa la dinamica di controllo di un parametro chiave nel funzionamento dell’inverter dalla dinamica del controllo sulla qualità dell’energia.
- Data l’instabilità intrinseca dei regolatori ripetitivi si è deciso di affidare il controllo della tensione del bus DC a una tipologia di regolatore della quale si possiede una conoscenza consolidata.

L’implementazione digitale di questi regolatori rappresenta però il loro grande punto di forza; la discretizzazione di un segnale di ritardo, con una frequenza di campionamento f_c , è effettuabile attraverso la memorizzazione di un numero $D = f_c/f$ di campioni, nella quale f è la frequenza del segnale in ingresso al regolatore ripetitivo. L’onere

computazionale del controllo risulta quindi ridotto e l'unica risorsa della quale si ha necessità è una memoria in grado di immagazzinare tutti i campioni. In questa trattazione sono state confrontate sei architetture di regolatore ripetitivo e nel seguito vengono analizzate singolarmente, indicando anche i riferimenti agli articoli scientifici sui quali l'analisi teorica si basa.

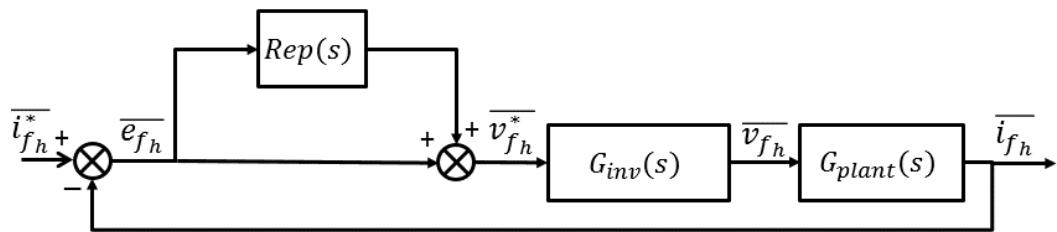


Figura 2.9: Schema dell'architettura di controllo “Plug in”.

- Architettura A

Questa architettura di controllo rappresenta l'evoluzione della struttura analizzata nell'articolo “Linear Phase Lead Compensation Repetitive Control of a CVCF PWM Inverter” di Bin Zhang, Danwei Wang, Keliang Zhou e Yigang Wang. Lo schema di funzionamento dell'architettura è mostrato in Fig. (2.10)

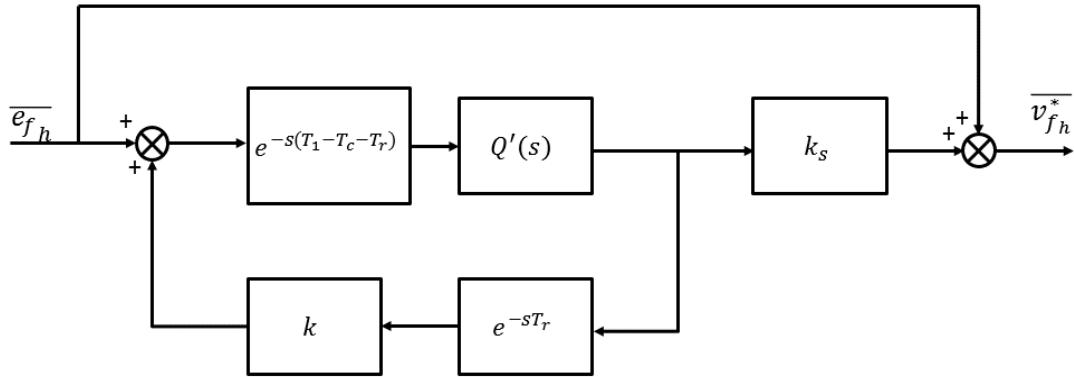


Figura 2.10: Schema dell'architettura A.

La funzione di trasferimento della struttura di Fig. 2.10 è descritta dalla equazione (2.23):

$$G_A = k_s \frac{Q(s)e^{-sT_1}}{1 - kQ'(s)e^{-sT_1}} e^{sT_r} + 1 = 1 + G_{rip}^A \quad (2.23)$$

Il termine 1 deriva dalla scelta di configurazione effettuata; si è scelto di utilizzare architetture “plug in”, in quanto sono le più utilizzate dalla comunità scientifica e perché permettono di definire un anello di regolazione che esclude il regolatore – questo anello, chiamato $G(s)$ nel seguito – che agevola i passaggi matematici per la taratura del regolatore.

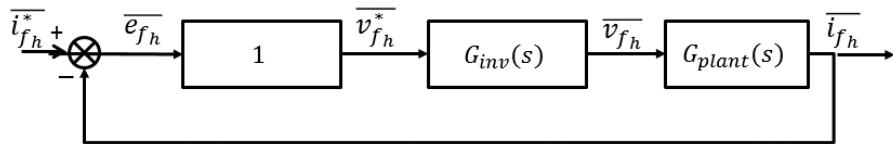


Figura 2.11: Anello G.

Trascurando i parametri k e $Q'(s)$, la cui importanza verrà discussa nel seguito, la FDT del regolatore presenta risonanze periodiche –frequenze alle quali il modulo del regolatore diventa idealmente infinito – a causa dell'esponenziale complesso. Le frequenze di risonanza vengono calcolate sfruttando le relazioni di Eulero dell'esponenziale, ottenendo:

$$1 - e^{-sT_1} = 1 - e^{-j\omega T_1} = 1 - \cos(\omega T_1) + j\sin(\omega T_1) = 0 \Rightarrow 2\pi f_{risonanza} T_1 = 2k\pi \\ \Rightarrow f_{risonanza} = kf_1 \quad k \in \mathbb{N} \quad (2.24)$$

Nel seguito viene riportato il diagramma di Bode dell'architettura, trascurando gli accorgimenti atti a migliorare la stabilità del sistema.

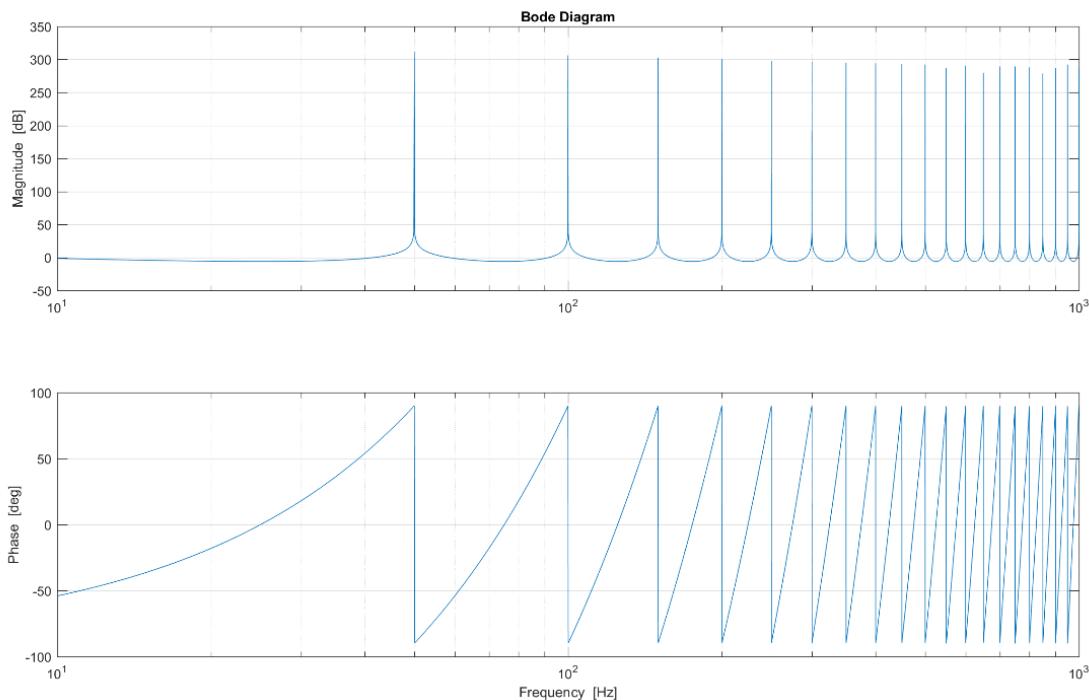


Figura 2.12: Diagramma di bode dell'architettura G_{rip}^A instabile.

Il blocco $Q(s)$ rappresenta un filtro passa basso a fase zero; l'espressione generale di questi filtri è data dalla equazione (2.15).

$$Q(s) = \sum_{n=1}^{n_{lim}} C_n e^{-s n \tau} + C_0 + \sum_{n=1}^{n_{lim}} C_n e^{s n \tau}. \quad (2.25)$$

Nella quale il vincolo sui pesi impone che:

$$C_0 + 2 \sum_{n=1}^{n_{lim}} C_{1n} = 1 \quad (2.26)$$

Senza perdere di generalità è possibile troncare la (2.26) al primo ordine, ottenendo la FDT effettivamente implementata nel filtro.

$$Q(s) = C_1 e^{-s\tau} + C_0 + C_1 e^{s\tau} = 2C_1 \frac{e^{-s\tau} + e^{s\tau}}{2} + C_0 = 2C_1 \cosh(s\tau) + C_0 \quad (2.27)$$

E' possibile analizzare il comportamento del filtro al variare della frequenza; l'espressione (2.27) contiene la somma di due numeri complessi coniugati, somma che, come è noto, fornisce come risultato un numero reale; ci si aspetta quindi che il filtro si comporti come un guadagno variabile con la frequenza. La verifica può essere effettuata attraverso l'identità $s = j\omega$, nella quale ω rappresenta una pulsazione generica. Attraverso le identità sul coseno iperbolico di un argomento complesso è possibile ricondursi alle funzioni trigonometriche, ottenendo:

$$Q(\omega) = 2C_1 \cosh(j\omega\tau) + C_0 = 2C_1 \cos(\omega\tau) + C_0. \quad (2.28)$$

Il modulo del filtro presenta un minimo, in corrispondenza del quale il coseno assume il valore -1: è quindi possibile calcolare la frequenza in corrispondenza di tale minimo, ottenendo:

$$f_{\min} = \frac{1}{2\tau}. \quad (2.29)$$

Scegliendo $\tau = T_C$ si fissa la frequenza di Shannon del sistema come la frequenza per la quale il filtro presenta un minimo, ottenendo un andamento decrescente in tutta la banda del sistema. Nel seguito si riporta l'andamento del guadagno del filtro al variare dei suoi coefficienti; la frequenza f_c è stata assunta pari a 10 kHz, quindi viene mostrato l'andamento del modulo fino a 5 kHz.

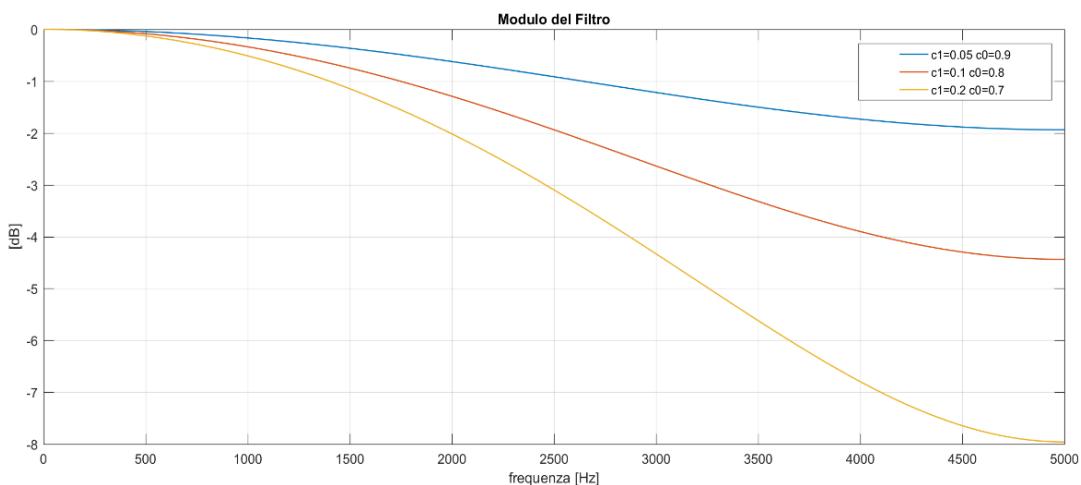


Figura 2.13: Andamento del guadagno del filtro a fase nulla al variare dei coefficienti; il filtro in giallo presenta una frequenza di taglio vicina a 2.5 kHz, quello in rosso vicino a 3 kHz mentre quello in blu non raggiunge mai un guadagno inferiore a -3 dB.

E' possibile notare che la frequenza di taglio diminuisce all'aumentare del parametro C_1 e che tutti i 3 filtri di Fig. 2.13 hanno una banda passante maggiore di 1 kHz. All'interno di questa banda sono contenute tutte le armoniche da abbattere, e quindi il filtro non interferisce sul funzionamento del regolatore e sulla sua capacità di abbattere le armoniche; il filtro però abbatte fortemente tutti i segnali in alta frequenza, che possono causare instabilità nel sistema – se un segnale di disturbo si concatena con i sensori di misura il regolatore cercherà di abbattere un'armonica che non è presente in rete, introducendola essa stessa, portando il sistema all'instabilità. Questa tipologia di filtro però non è fisicamente realizzabile, perché non è possibile realizzare un termine di anticipo; tuttavia sfruttando il ritardo implicitamente presente nella catena diretta del

regolatore risonante è però possibile realizzare un filtro passa basso a fase lineare, compensando il ciclo di riardo introdotto dal filtro con il ritardo della catena diretta.

Si ha:

$$\begin{aligned} Q'(s) &= e^{-sT_c}(C_1e^{-sT_c} + C_0 + C_1e^{sT_c}) = C_1e^{-s2T_c} + C_0e^{-sT_c} + C_1 \Rightarrow Q'(s)e^{-s(T-T_c)} \\ &= Q(s)e^{-sT} \quad (2.30) \end{aligned}$$

Che è l'espressione implementata nella (2.23).

Il calcolo dei riferimenti per la catena del regolatore ripetitivo dell'anello di corrente può essere effettuata partendo dalla legge di Kirchhoff delle correnti al punto di contatto; l'obiettivo del regolatore ripetitivo è generare un riferimento di tensione tale da annullare le componenti in alta frequenza della corrente di rete e quindi il segnale di errore in ingresso deve essere calcolato in maniera coerente. Si ha:

$$\overline{i_{r_h}^*} = \overline{i_{f_h}^*} + \overline{i_{l_h}} = 0 \Rightarrow \overline{i_{f_h}^*} = -\overline{i_{l_h}}. \quad (2.31)$$

Il sistema di controllo implementato in questo lavoro di tesi però misura le correnti di filtro e le correnti di rete, quindi il calcolo delle correnti di carico deve essere effettuato per via indiretta; si ottiene:

$$\overline{i_{f_h}^*} = -(\overline{i_{r_h}} - \overline{i_{f_h}}) \Rightarrow (\overline{i_{f_h}^*} - \overline{i_{f_h}}) = \overline{e_{f_h}} = 0 - \overline{i_{r_h}} = 0 - G_{notch}\overline{i_r}. \quad (2.32)$$

Il risultato ottenuto (2.32) dimostra che l'errore in ingresso al regolatore è esattamente il contenuto armonico in alta frequenza, cambiato di segno; si noti che i segni della (2.23) sono stati scritti tenendo in considerazione ciò che si è ricavato nella (2.32). Attraverso la (2.32) si è inoltre dimostrata la necessità del filtro di Notch per eliminare l'armonica fondamentale dalla banda della corrente di rete. Il filtro di Notch implementato all'interno del controllo digitale è centrato sul valore nominale della frequenza della fondamentale; purtroppo la frequenza della rete subisce delle fluttuazioni dovute a diverse configurazioni di carico della rete durante la giornata e questo diminuisce l'effetto del filtro nell'abbattimento della fondamentale. Se il regolatore vede una prima armonica esso genererà un segnale per abbattere questa armonica, in contrasto con la catena di regolazione risonante. I due controlli diventano concorrenti, generando riferimenti la cui

somma rimane costante, ma che hanno andamenti crescenti col tempo. Questo fenomeno diviene pericoloso una volta che si voglia spegnere il controllo ripetitivo, perché il riferimento di tensione rimanente causerebbe correnti enormi. Il fenomeno è stato provato in simulazione e, nelle prossime figure, verranno mostrate le forme d'onda dei riferimenti e della corrente di rete.

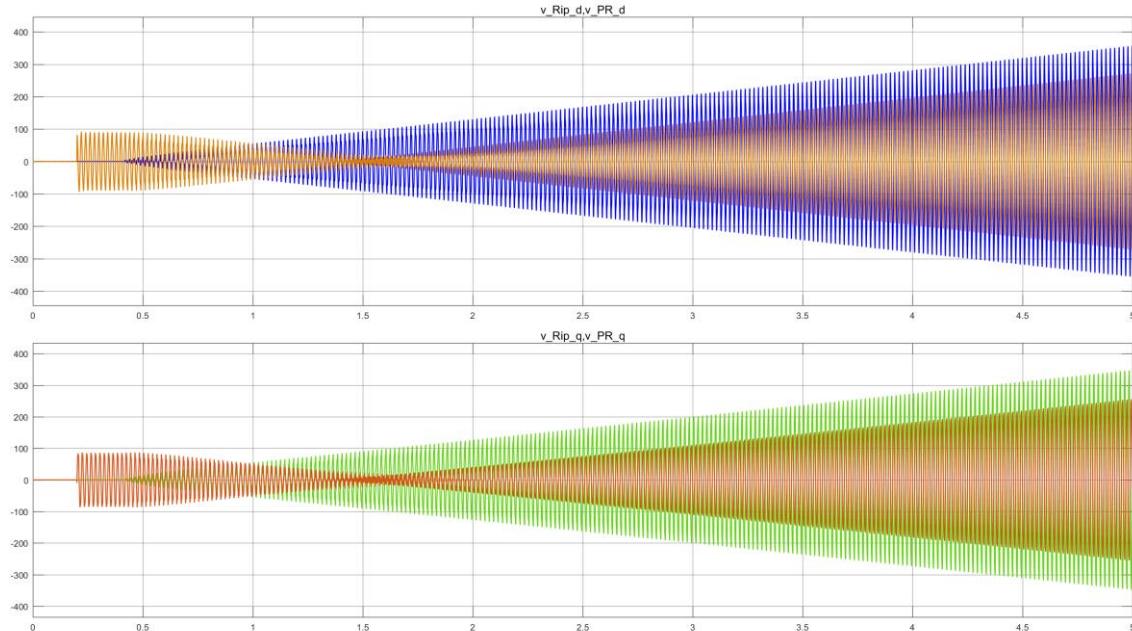


Figura 2.14: Andamento temporale dei riferimenti; nel primo grafico vengono mostrati in contrapposizione i riferimenti di asse d generati dai regolatori ripetitivo e risonante, mentre nel secondo vengono mostrati i riferimenti di asse q delle stesse grandezze.

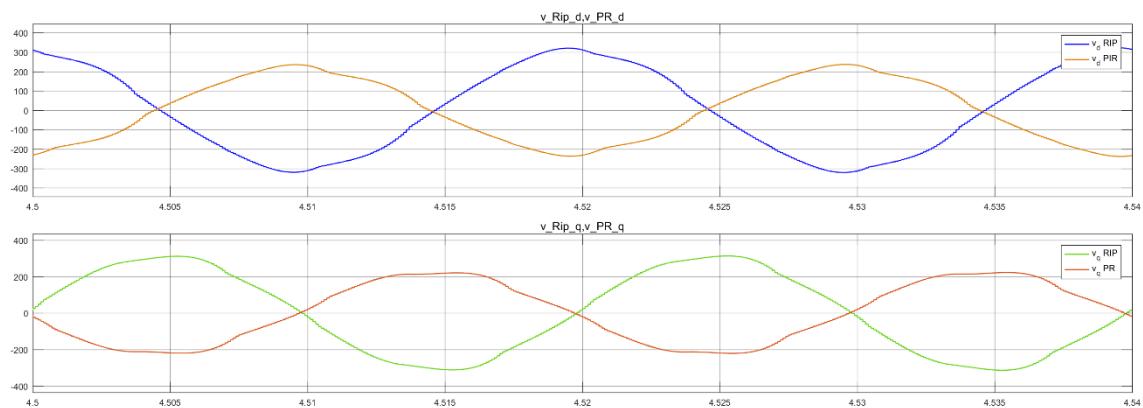


Figura 2.15: Dettaglio dei riferimenti di Fig. 2.14; è possibile vedere in modo molto evidente la prima armonica presente in tutti i riferimenti, inoltre i riferimenti di ogni componente sono sfasati di 180° , mostrando in modo evidente la concorrenza tra i controlli.

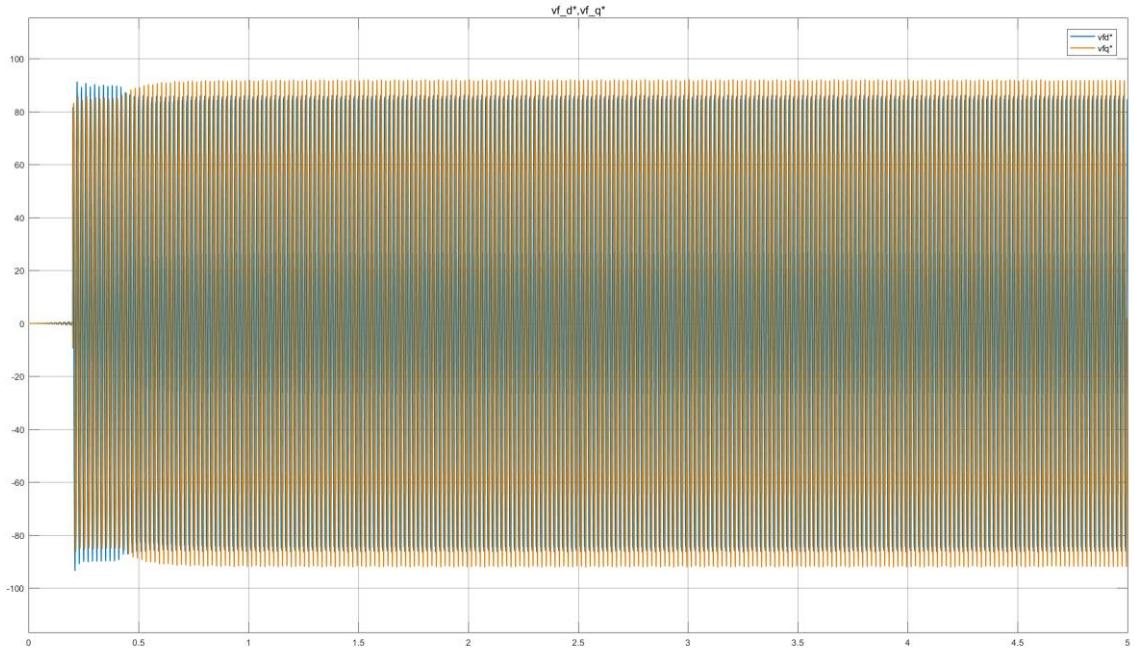


Figura 2.16: Andamento temporale delle tensioni di riferimento di asse d e asse q ; è possibile notare che i due riferimenti hanno andamento stabile.

Per mitigare l'effetto del regolatore sulla prima armonica è stato introdotto un fattore di deamplificazione k all'interno dell'anello in retroazione del regolatore, diminuendo il guadagno in tutta la banda del sistema. Un altro vantaggio di questa architettura è che permette di introdurre un anticipo di fase, utile a compensare il ritardo introdotto dall'inverter – l'inverter introduce un ritardo pari a un ciclo e mezzo di clock, a causa del sample and hold e della logica di controllo. Quello che viene effettuato nella pratica è anticipare il ritardo della catena diretta del regolatore, inserendo il restante ritardo nella catena di retroazione. L'anticipo di fase introdotto permette di aumentare il margine di fase della catena diretta del controllo ad ogni risonanza, dato che l'anticipo ha andamento lineare con la frequenza, come mostrato dalla seguente relazione:

$$\theta_{anticipo}(f) = 2\pi f T_r = 2\pi f m T_c. \quad (2.33)$$

L'effetto dell'anticipo di fase verrà descritto nel dettaglio nel seguito, ma intuitivamente si può affermare che esso permette, entro certi limiti, di aumentare il guadagno serie dell'architettura e quindi migliorare le prestazioni in termini di cancellazione armonica. Da qui in avanti verrà considerato un tempo di anticipo multiplo del periodo di campionamento vista la sua implementazione digitale. L'ultimo parametro

dell'architettura risulta essere appunto il guadagno serie; il suo effetto è quello di aumentare il guadagno dell'architettura in tutta la banda, ma permette una regolazione più fine a differenza del guadagno di deamplificazione. La taratura del guadagno serie viene effettuata studiando la stabilità dell'anello chiuso; la sua FDT vale:

$$G_{anello\ corrente} = \frac{(1 + G_{rip}^A(s))G_{inv}(s)G_{plant}(s)}{1 + (1 + G_{rip}^A(s))G_{inv}(s)G_{plant}(s)}. \quad (2.34)$$

L'anello di corrente è stabile se:

- la FDT senza regolatore ($G_{rip}^A = 0$) G sia stabile. Si assume quindi:

$$G(s) = \frac{G_{inv}(s)G_{plant}(s)}{1 + G_{inv}(s)G_{plant}(s)} \quad (2.35)$$

- sia rispettata la condizione:

$$|Q(s)(1 - k_s e^{sT_r} G(s))| \leq 1. \quad (2.36)$$

La seconda condizione rappresenta una condizione sul denominatore della (), che ne impedisce l'annullamento. Esprimendo il filtro e il sistema senza regolatore attraverso la notazione esponenziale si ha:

$$\left| N_Q(\omega) e^{j(\vartheta_Q(\omega))} (1 - k_s N_G(\omega) e^{j(\vartheta_G(\omega) + mT_c \omega)}) \right| \leq 1. \quad (2.37)$$

Essendo i moduli dei numeri complessi numeri positivi è possibile ottenere:

$$\left| 1 - k_s N_G(\omega) e^{j(\vartheta_G(\omega) + mT_c \omega)} \right| \leq \frac{1}{|N_Q(\omega)|}. \quad (2.38)$$

E' ora possibile estrarre la parte reale del numero complesso del membro sinistro dell'equazione; si ricava quindi l'espressione finale del guadagno del regolatore:

$$0 < k_{s_A} < \frac{1 - N_q(\omega)^2}{N_q(\omega)^2 k_s N_G^2(\omega)} + \frac{2\cos(\vartheta_G(\omega) + m\omega)}{N_G(\omega)} \quad (2.39)$$

La (2.39) appena ricavata può essere però approssimata, dato che il numeratore del primo termine al secondo membro tende a zero nella banda del regolatore. E' inoltre sempre positivo e quindi l'espressione (2.40) rimane vera anche se più conservativa. L'espressione del guadagno massimo al variare della frequenza vale quindi:

$$0 < k_s < \frac{2\cos(\vartheta_G(\omega) + m\omega)}{N_G(\omega)}. \quad (2.40)$$

Il vincolo sul segno positivo del guadagno è posto per ragioni matematiche – poter estrarre fuori dall'operatore modulo il guadagno – e rappresenta un vincolo importante per la stabilità del sistema. Aumentare i cicli di anticipo introdotti conduce ad un aumento dell'argomento del coseno che rende l'andamento del guadagno massimo oscillante; un anticipo troppo grande porterebbe il coseno ad oscillare troppo velocemente e il guadagno massimo diventerebbe negativo, negando l'ipotesi che ha permesso di scrivere la (2.39). La banda del regolatore è compresa tra la 5th e la 19th armonica e quindi è stato tarato tenendo in considerazione questo intervallo di frequenza.

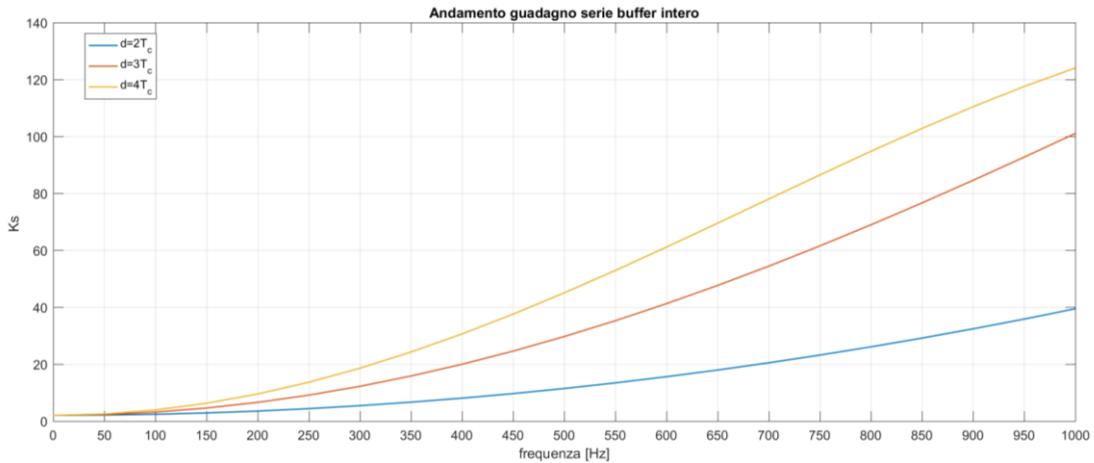


Figura 2.17: Andamento del guadagno serie per vari anticipi di fase.

Un importante risultato nello studio sui regolatori ripetitivi, riportato nell'articolo “Enhancing the Frequency Adaptability of Periodic Current Controllers With a Fixed

Sampling Rate for Grid-Connected Power Converters” di Yongheng Yang, Keliang Zhou and Frede Blaabjerg, permette di scrivere la funzione di trasferimento di un regolatore come la somma di infiniti termini risonanti, a frequenze multiple della fondamentale. Si ha infatti:

$$G_{rip}^A = k_s \frac{Q(s)e^{-sT}}{1 - kQ(s)e^{-sT}} = \left[-\frac{1}{2} + \frac{1}{T_1(s+a)} + \frac{2}{T_1} \sum_{n=1}^{+\infty} \frac{s+a}{(s+a)^2 + (n\omega_1)^2} \right] k_s \quad (2.41)$$

$$e^{-(s+a)T} = kQ(s)e^{-sT} \Rightarrow a(\omega) = -\frac{1}{T} \ln(kQ(\omega)). \quad (2.42)$$

La relazione (2.41) è di fondamentale importanza nella comprensione del funzionamento delle varie architetture di controllo ripetitivo. È possibile scrivere i riferimenti dell’anello di corrente attraverso la loro trasformata di Fourier – per non perdere di generalità la sommatoria verrà estesa tra meno infinito e più infinito, ma tale relazione vale anche nel nostro caso –:

$$\bar{i}_f(t) = \sum_{h=-\infty}^{h=+\infty} \bar{i}_{fh} e^{jh\omega_1 t} = \sum_{h=-\infty}^{h=+\infty} (i_{fd_h} + j i_{fq_h}) (\cos(h\omega_1 t) + j \sin(h\omega_1 t)) \quad (2.43)$$

E’ ora possibile notare che ogni termine della sommatoria è moltiplicato per un fattore della funzione seno o coseno; effettuando la trasformata di Laplace del generico termine della sommatoria è possibile scrivere:

$$i_{fd_h} \cos(h\omega_1 t) = i_{fd_h} \frac{s}{s^2 + (h\omega_1)^2} = \frac{N_{if}}{D_{if}} \quad (2.44)$$

E’ immediato verificare che la trasformata di Laplace della funzione seno e della funzione coseno differiscono esclusivamente per il numeratore, mentre mantengono il medesimo denominatore; questo fatto permette di sfruttare il principio del modello interno per spiegare perché le varie architetture ripetitive siano in grado di annullare l’errore a

regime. Il principio del modello interno afferma che condizione sufficiente per l'inseguimento asintotico del riferimento è che il polinomio al denominatore del regolatore contenga il polinomio al denominatore del riferimento. Trascurando l'effetto della deamplificazione, limitato nella banda del segnale, si nota che il denominatore della (2.41) coincide con il denominatore della (2.44), e che quindi i regolatori utilizzati sono in grado di annullare l'errore al loro ingresso. E' possibile estendere questo principio a tutte le architetture che verranno trattate nel seguito, osservando che il regolatore annullerà l'errore solo delle componenti per le quali avrà una risonanza. Viene ora mostrato il diagramma di Bode del regolatore ripetitivo tarato.

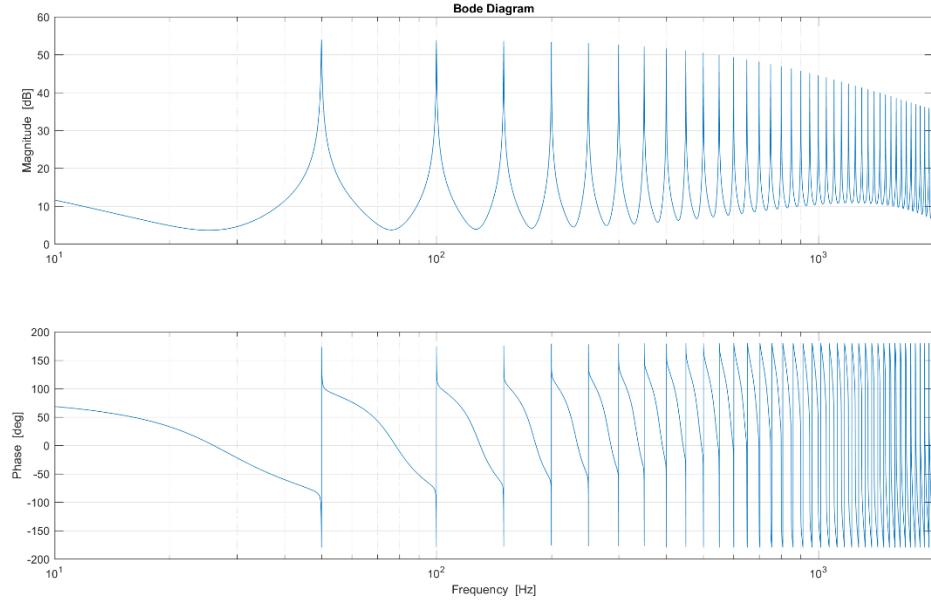


Figura 2.18: Diagramma di Bode dell'architettura G_{rip}^A implementata.

- Architettura B

Questa architettura rappresenta una evoluzione della architettura A; cambiando i segni della retroazione è possibile cambiare le frequenze di risonanza del sistema. La FDT implementata da questa architettura, mostrata in Fig. 2.18, viene riportata nel seguente:

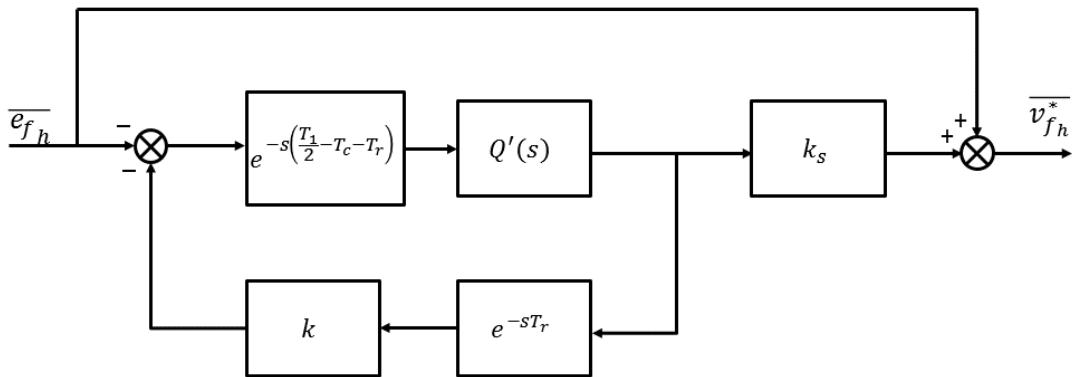


Figura 2.19: Schema architettura B

$$G_B = -k_s \frac{Q(s)e^{-\frac{sT_1}{2}}}{1 + kQ(s)e^{-\frac{sT_1}{2}}} e^{sT_r} + 1. \quad (2.45)$$

Per comprendere il vantaggio di questa architettura è necessario esplicitare l'equazione delle frequenze di risonanza:

$$\begin{aligned} 1 + e^{-\frac{sT_1}{2}} &= 1 + e^{-\frac{j\omega T_1}{2}} = 1 + \cos\left(\frac{\omega T_1}{2}\right) - j\sin\left(\frac{\omega T_1}{2}\right) = 0 \Rightarrow \pi f_{risonanza} T_1 \\ &= \pi + 2k\pi \Rightarrow f'_{risonanza} = (2k + 1)f_1 \quad k \in \mathbb{N}. \end{aligned} \quad (2.46)$$

La relazione (2.46) dimostra che questa architettura presenta risonanze ogni 100 Hz partendo dalla frequenza della fondamentale, come mostrato nel diagramma di Bode di Fig. 2.20.

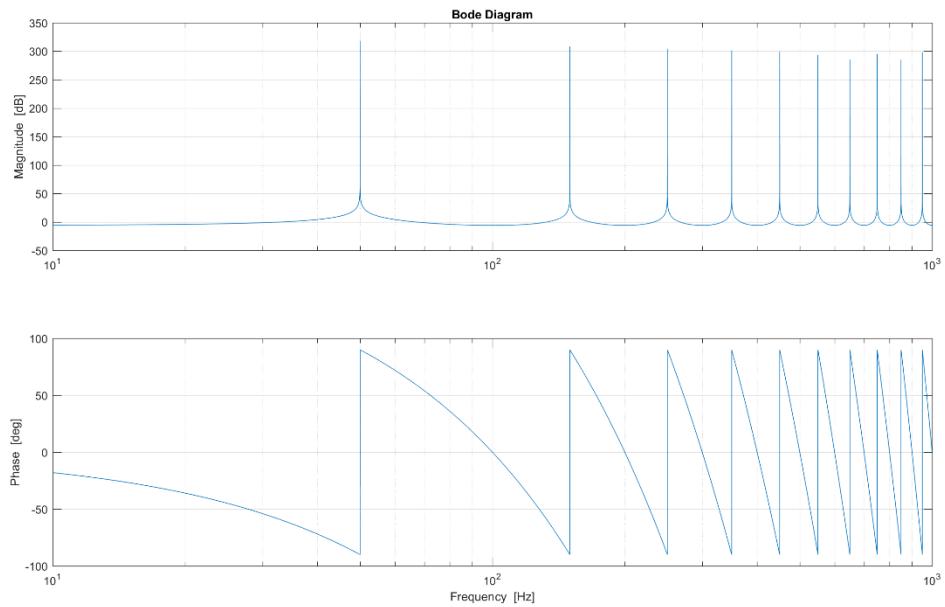


Figura 2.20: Diagramma di Bode dell'architettura G_{rip}^B instabile.

Come mostra la Fig. 2.20 questa architettura presenta risonanze alle frequenze corrispondenti alle armoniche di ordine dispari rispetto alla fondamentale; lo spettro armonico delle correnti di carico presenta esclusivamente queste armoniche, e quindi questa soluzione rappresenta il miglior compromesso tra qualità di abbattimento armonico e memoria necessaria nel sistema di controllo. E' possibile spiegare in maniera intuitiva i segni dei nodi sommatori di questa architettura; tutte le armoniche per le quali il regolatore presenta risonanze sono armoniche per le quali vale la simmetria a semionda, cioè:

$$f\left(t - \frac{T}{2}\right) = -f(t). \quad (2.47)$$

La retroazione diventa quindi negativa affinché si compensi il segno introdotto dalla simmetria. Per questa architettura valgono esattamente gli stessi accorgimenti presi per l'architettura A. Nel seguito verrà mostrato il diagramma di bode del regolatore compensato.

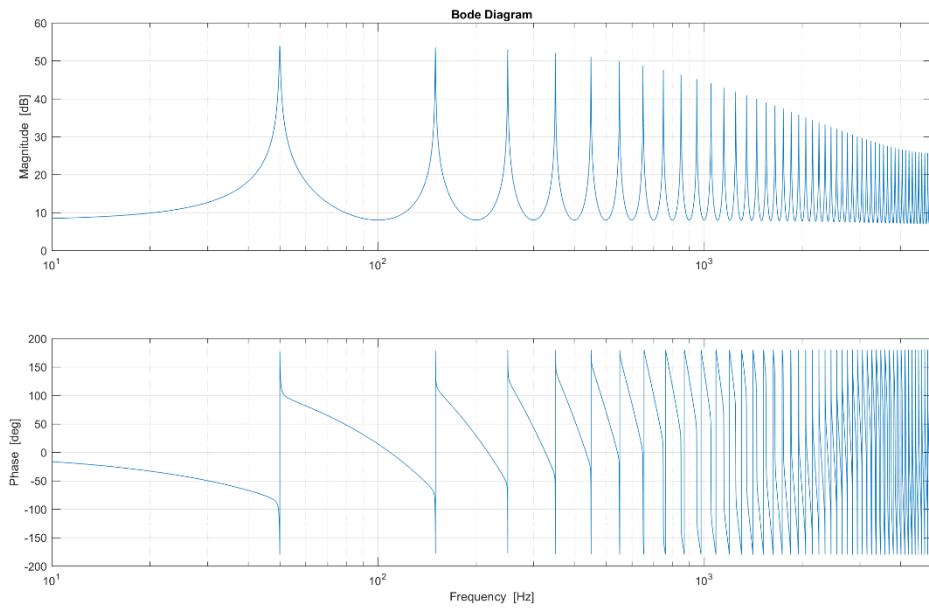


Figura 2.21: Diagramma di Bode dell'architettura G_{rip}^B implementata.

- Architettura C

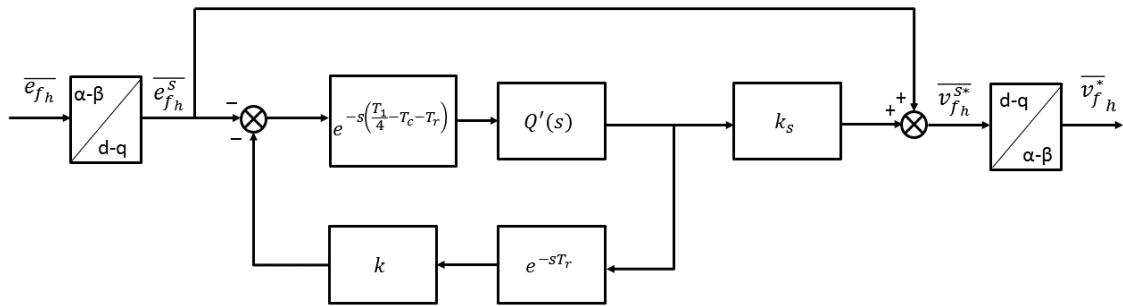


Figura 2.22: Schema architettura C.

Questa architettura rappresenta una ulteriore evoluzione dell'architettura di controllo B; la Fig. 2.22 mostra i blocchi costitutivi di questa soluzione. La FDT implementata è:

$$G_c = -k_s \frac{Q(s)e^{-\frac{sT}{4}}}{1 + kQ(s)e^{-\frac{sT}{4}}} e^{sT_r} + 1 = G_{rip}^c + 1. \quad (2.48)$$

Questa configurazione permette diminuire ulteriormente il buffer di memoria necessario per la sua implementazione pratica; la FDT della (2.48) presenta risonanze ogni 200 Hz; supponendo che la rete sia ideale, cioè che contenga solamente una prima armonica diretta, è possibile mostrare che:

- Lo spettro delle correnti assorbite dal carico presenta armoniche di ordine dispari.
- Le correnti di questo spettro sono di sequenza diretta e inversa in modo alternato.

Lo spettro sarà quindi composto dalle seguenti armoniche:

$$\text{ordine armonico staz} = +1, -5, +7, -11, +13 \dots \quad (2.49)$$

Implementando questa architettura di controllo nel sistema di riferimento sincrono si otterrebbe uno sfasamento dell'ordine armonico, ottenendo:

$$\overline{(\iota_{r_h}^*)^s} = \overline{\iota_{r_h}^*} e^{j\theta}. \quad (2.50)$$

$$ordine\ armonico\ staz = +1, -5, +7, -11, +13, \dots$$

$$\rightarrow ordine\ armonico\ sincrono = 0, -6, +6, -12, +12, \dots \quad (2.51)$$

In modo equivalente alle altre architetture, è possibile ricavare la periodicità delle risonanze, ottenendo:

$$f''_{risonanza} = (4k + 1)f_1 \quad (2.52)$$

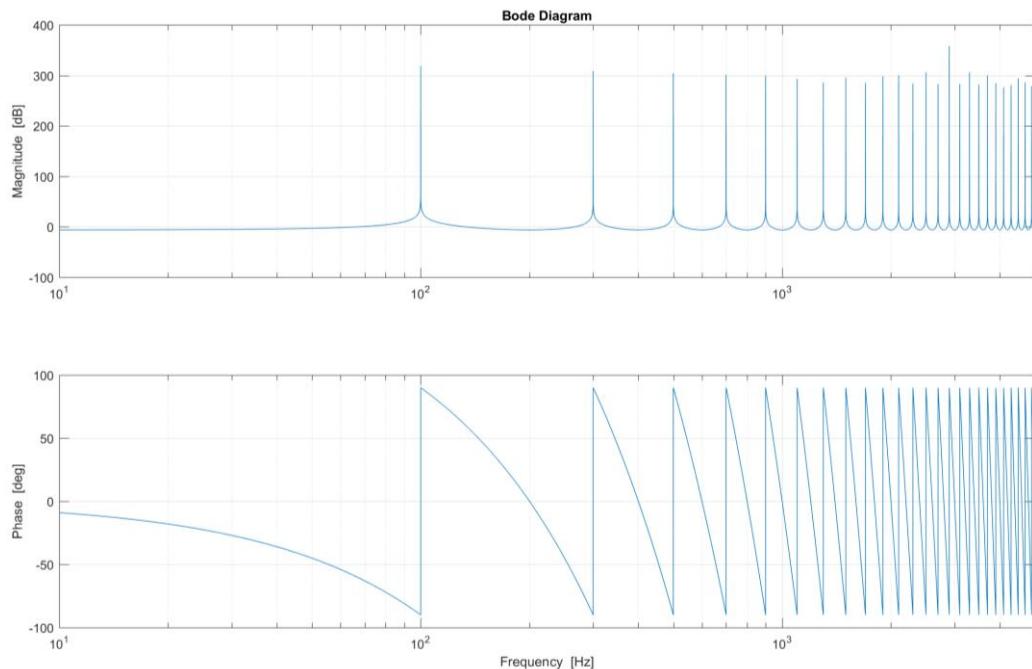


Figura 2.23: Diagramma di Bode dell'architettura G_{rip}^C instabile.

La rete però differisce dall'idealità; a causa degli inevitabili squilibri di carico tra le fasi della rete, dovuti principalmente ai carichi monofase connessi alla rete, compare al punto di contatto una prima armonica di sequenza inversa. Questa armonica, la cui ampiezza è comunque estremamente limitata, richiama nello spettro delle correnti di rete anche le armoniche:

$$\text{ordine armonico}' = -1, +5, -7, +11, -13, \dots \quad (2.53)$$

Il controllo non è in grado di eliminare queste armoniche – il regolatore non presenta risonanze a quelle frequenze – e quindi si ha un peggioramento nelle prestazioni del sistema. Anche per questa architettura è possibile capire in maniera intuitiva il motivo della retroazione negativa; questo controllo risulta efficace per tutte quelle armoniche, nel sistema di riferimento sincrono, per le quali vale la relazione:

$$f\left(t - \frac{T}{4}\right) = -f(t) \quad (2.54)$$

Viene infine mostrato il diagramma di Bode relativo alla configurazione del regolatore implementata.

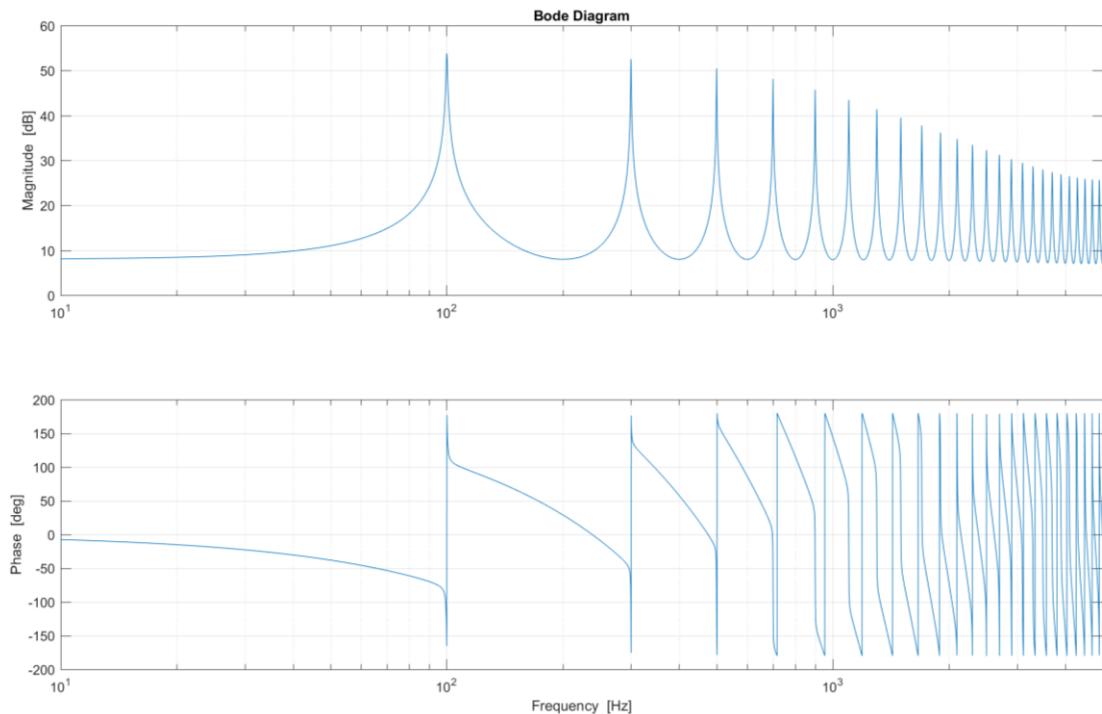


Figura 2.24: Diagramma di Bode dell'architettura G_{rip}^C implementata.

- Architettura D

Questa architettura di controllo trae spunto della soluzione proposta nell'articolo “Repetitive-Based Controller for a UPS Inverter to Compensate Unbalance and Harmonic Distortion”, di G. Escobar, A. A. Valdez, J. Leyva-Ramos e P. Mattavelli. La loro soluzione propone di integrare, a monte del controllo, una azione integrale; la soluzione però non fornisce risultati soddisfacenti, e, soprattutto, non permette di ottenere l'anticipo di fase necessario alla stabilità dell'anello di corrente. La soluzione adottata viene mostrata nella Fig. 2.25.

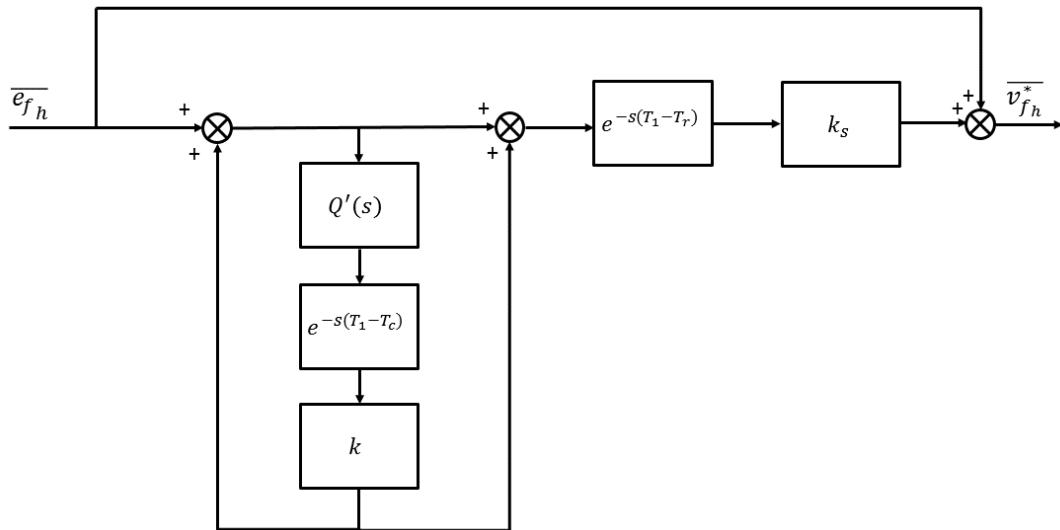


Figura 2.25: Schema architettura D.

La funzione di trasferimento dell'architettura di Fig. 2.24 è pari a:

$$\begin{aligned}
 G_D &= k_s \frac{1 + kQ(s)e^{-sT}}{1 - kQ(s)e^{-sT}} e^{-s(T-T_r)} + 1 = -\frac{1 + kQ(s)e^{-sT}}{1 - kQ(s)e^{-sT}} e^{-sT} e^{sT_r} + 1 \\
 &= 1 + G_{rip}^D. \quad (2.55)
 \end{aligned}$$

Come mostra la (2.55) si è ottenuto l'anticipo di fase cercato, al costo di introdurre un ulteriore ciclo di ritardo nell'inseguimento del riferimento. Dal punto di vista delle fasi l'introduzione del termine e^{-sT} introduce una fase pari a 360° , e quindi nulla, ad ogni

frequenza di risonanza. L'altro effetto di questo ritardo è ridurre la dinamica nell'inseguimento del riferimento, ma ciò è stato necessario per ottenere l'anticipo di fase. L'altra particolarità di questa architettura è l'azione in avanti; questa azione introduce una serie infinita di zeri, la cui risonanza produce dei "buchi" nella funzione di trasferimento. L'effetto di queste zone a guadagno nullo è bloccare tutti i disturbi che non si trovano alle frequenze di risonanza, rendendo il sistema più robusto, come verrà poi mostrato nel diagramma di anello chiuso. Ogni parametro, filtro passa basso, guadagno di deamplificazione, ha lo stesso scopo che aveva nelle precedenti architetture. Le frequenze di risonanza dei poli sono le stesse che per le architetture citate in precedenza, mentre la periodicità per gli zeri è data da:

$$f_{risonanza}^{zeri} = \left(k + \frac{1}{2} \right) f_1 \quad (2.56)$$

La Fig. 2.56 mostra il diagramma del regolatore senza l'introduzione di nessun accorgimento atto alla stabilità.

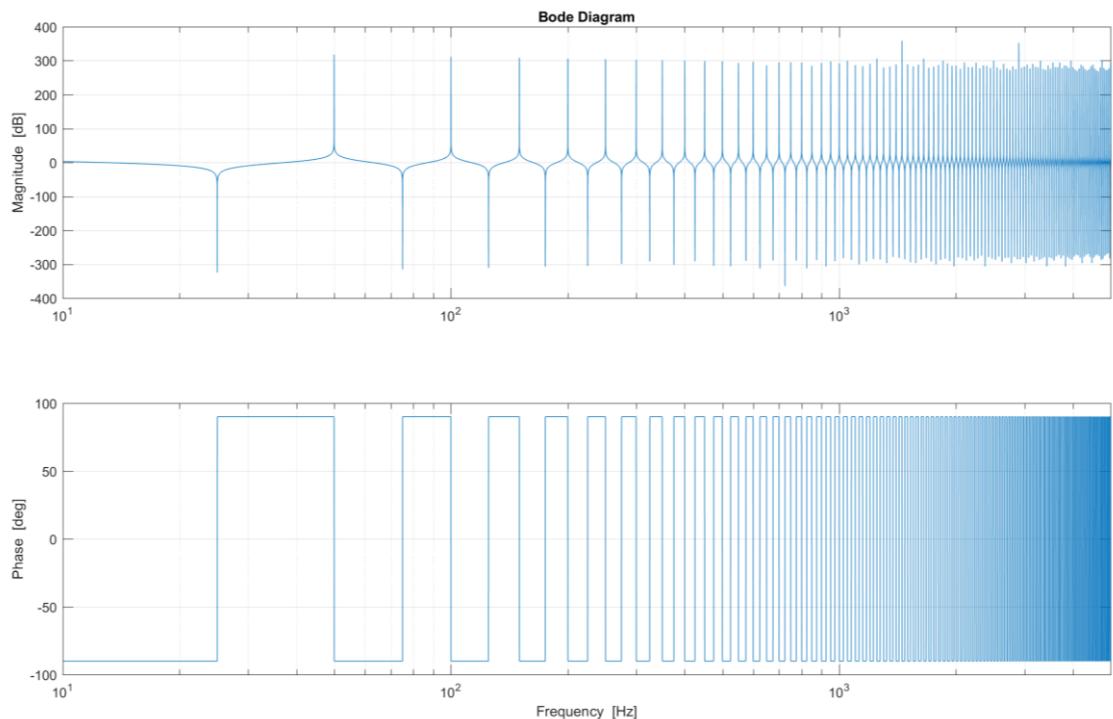


Figura 2.26: Diagramma di Bode dell'architettura G_{rip}^D instabile.

Utilizzando le trasformate di Fourier è possibile esprimere questa architettura come la somma di infiniti risonanti, ottenendo:

$$G_{rip}^D = \sum_{n=-\infty}^{n=+\infty} \frac{1}{(s+a) - jn\omega_1} \quad (2.57)$$

$$a = -\frac{1}{T} \ln[kQ(\omega)] \quad (2.58)$$

Similarmente a quanto calcolato per la architettura A, è possibile ricavare, in maniera molto più complessa, l'andamento del guadagno serie massimo in funzione della frequenza; il legame è espresso dalla seguente relazione.

$$0 < k_{SD} < \frac{1 - N_q(\omega)^2}{N_q(\omega)^2 k_{SD} N_G^2(\omega) k^*} + \frac{2 \cos(\vartheta_1(\omega))}{N_G(\omega) k^*} + \frac{2 \cos(\vartheta_2(\omega))}{N_G(\omega) k^* N_q(\omega)} \quad (2.59)$$

nella quale i parametri valgono:

$$k^* = \left[1 + \frac{1}{N_g(\omega)} + \cos[\vartheta_q(\omega)] \left(1 + \frac{1}{N_q(\omega)} \right) + \left(\frac{1}{N_q(\omega)} - 1 \right) \cos(\vartheta_3) \right] \quad (2.60)$$

$$\vartheta_1 = \vartheta_g + n\omega T_c \quad (2.61)$$

$$\vartheta_2 = \vartheta_g + n\omega T_c - \vartheta_q \quad (2.62)$$

$$\vartheta_3 = \vartheta_1 + \vartheta_2. \quad (2.63)$$

Viene ora mostrato il diagramma di bode relativo all'architettura effettivamente implementata.

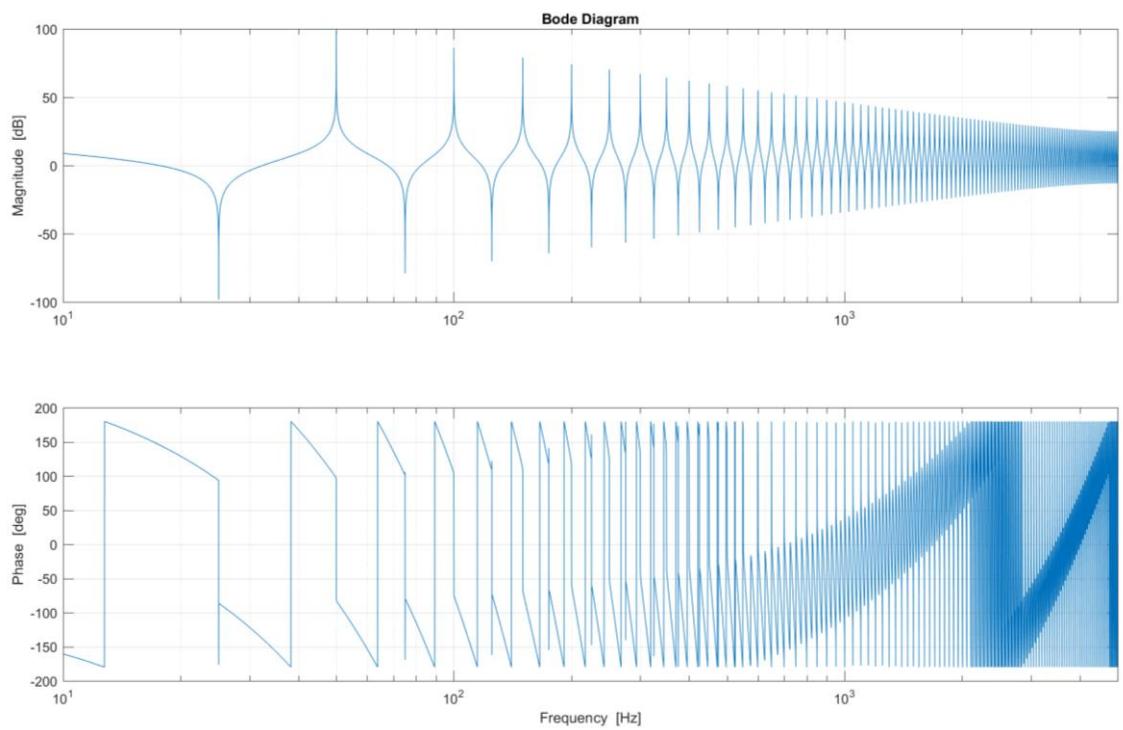


Figura 2.27: Diagramma di Bode dell'architettura G_{rip}^D implementata.

- Architettura E

Questa architettura rappresenta l'evoluzione dell'architettura D, utilizzando gli accorgimenti utilizzati nell'architettura B. In Fig. 2.28 è mostrato il diagramma relativo all'architettura.

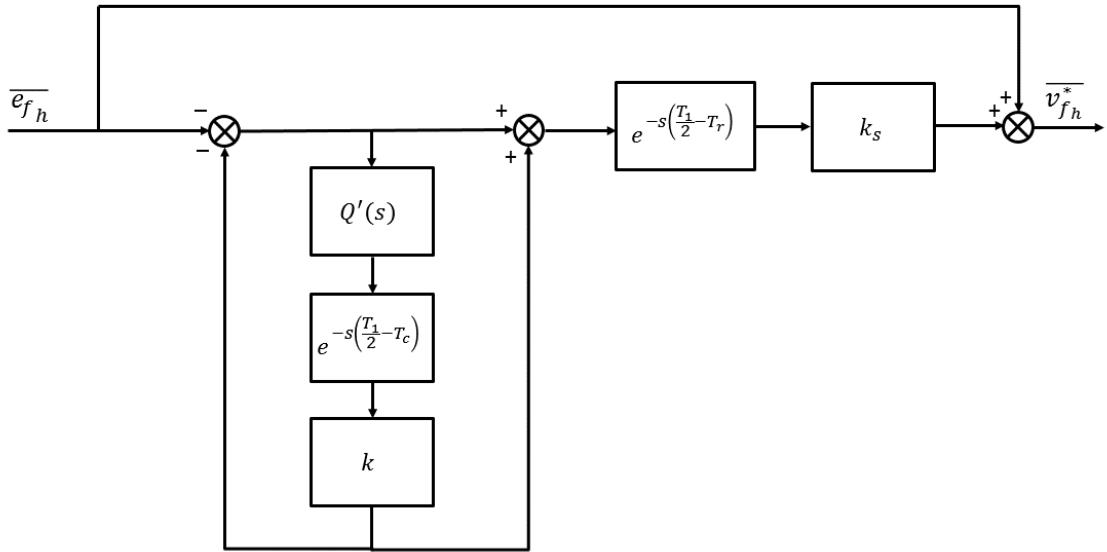


Figura 2.28: Schema architettura E.

La FDT implementata da questa architettura è:

$$G_E = -k_s \frac{1 - kQ(s)e^{-\frac{sT}{2}}}{1 + kQ(s)e^{-\frac{sT}{2}}} e^{-\frac{sT}{2}} e^{sT_r} + 1 = 1 + G_{rip}^E. \quad (2.64)$$

Le risonanze dovute agli zeri della FDT sono descritte dalla relazione:

$$f_{risonanza}^{zeri'} = \left(\frac{1}{2} + 2k \right) f_1. \quad (2.65)$$

Il diagramma di bode del regolatore è mostrato nella Fig. 2.29 e 2.30.

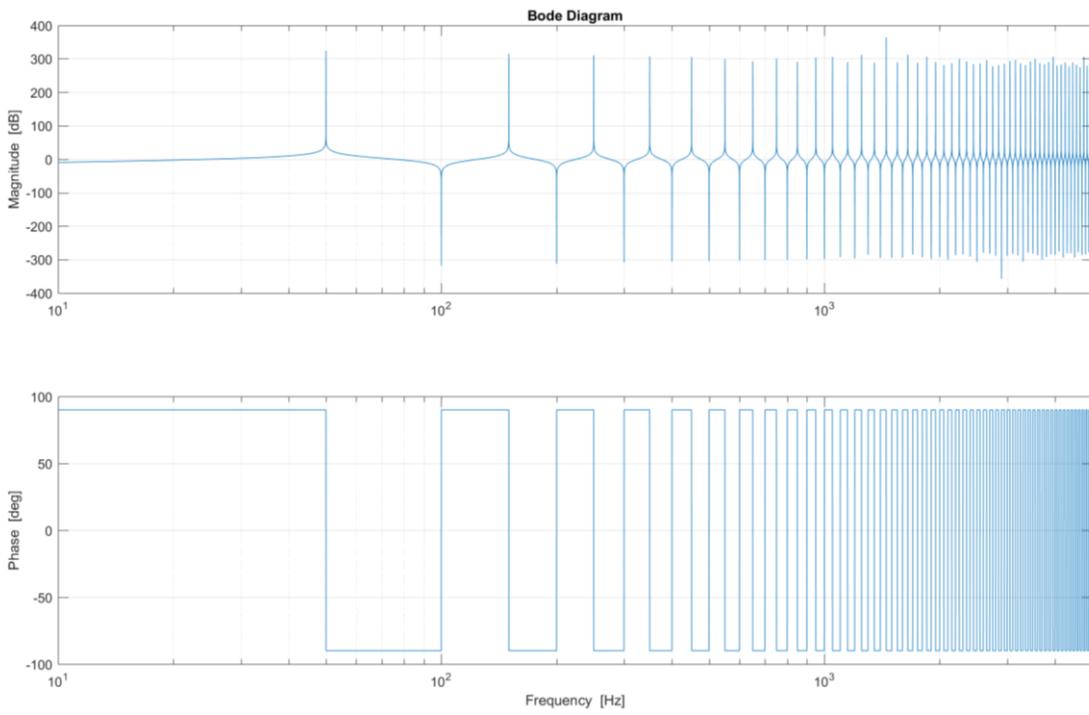


Figura 2.29: Diagramma di Bode dell'architettura G_{rip}^E instabile.

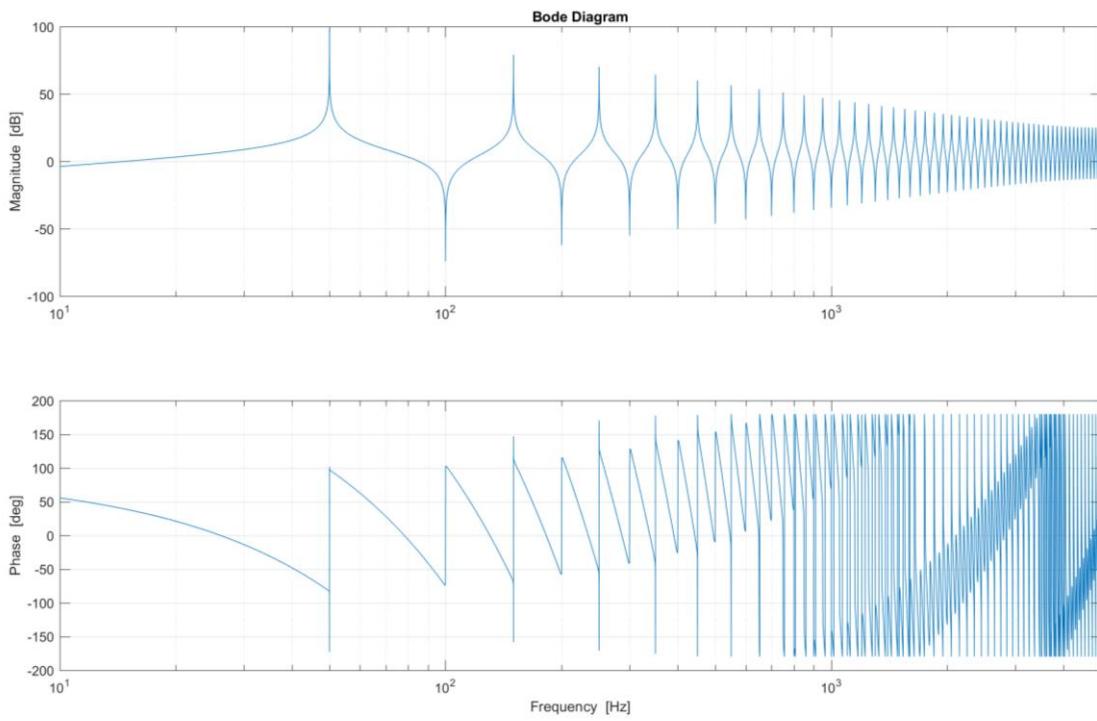


Figura 2.30: Diagramma di Bode dell'architettura G_{rip}^E implementata.

- Architettura F

Questa architettura rappresenta l'evoluzione dell'architettura E, implementata però nel sistema di riferimento sincrono; valgono perciò tutte le considerazioni fatte per l'architettura C. La Fig. 2.31 mostra lo schema relativo a questo regolatore, dal quale è possibile ricavare la FDT della (2.66).

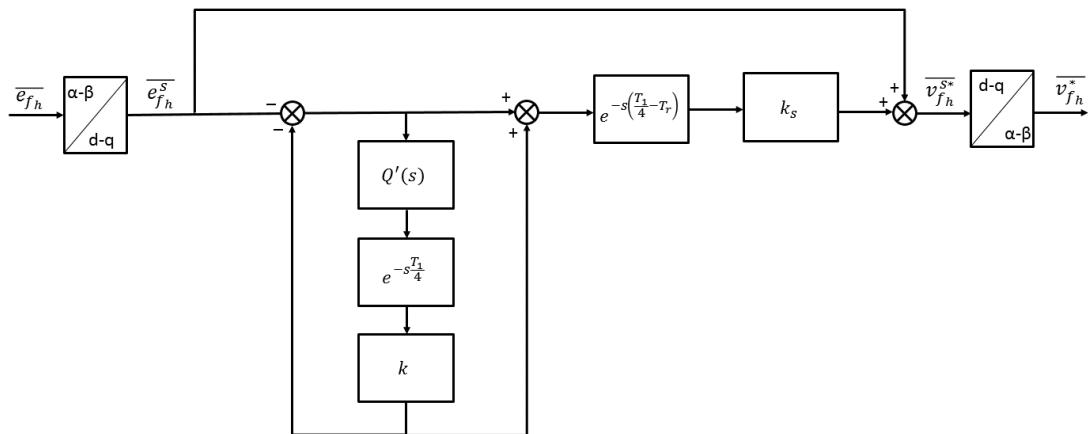


Figura 2.31: Schema architettura F

$$G_F = -k_s \frac{1 - kQ(s)e^{-\frac{sT}{4}}}{1 + kQ(s)e^{-\frac{sT}{4}}} e^{-\frac{sT}{4}} e^{sT_r} + 1 = 1 + G_{rip}^F. \quad (2.66)$$

Anche per questa architettura valgono tutte le considerazioni fatte per la architettura C e la architettura D. Le risonanze dovute agli zeri della (2.66) seguono la relazione (2.67).

$$f_{risonanza}^{zeri''} = \left(\frac{1}{2} + 4k \right) f_1. \quad (2.67)$$

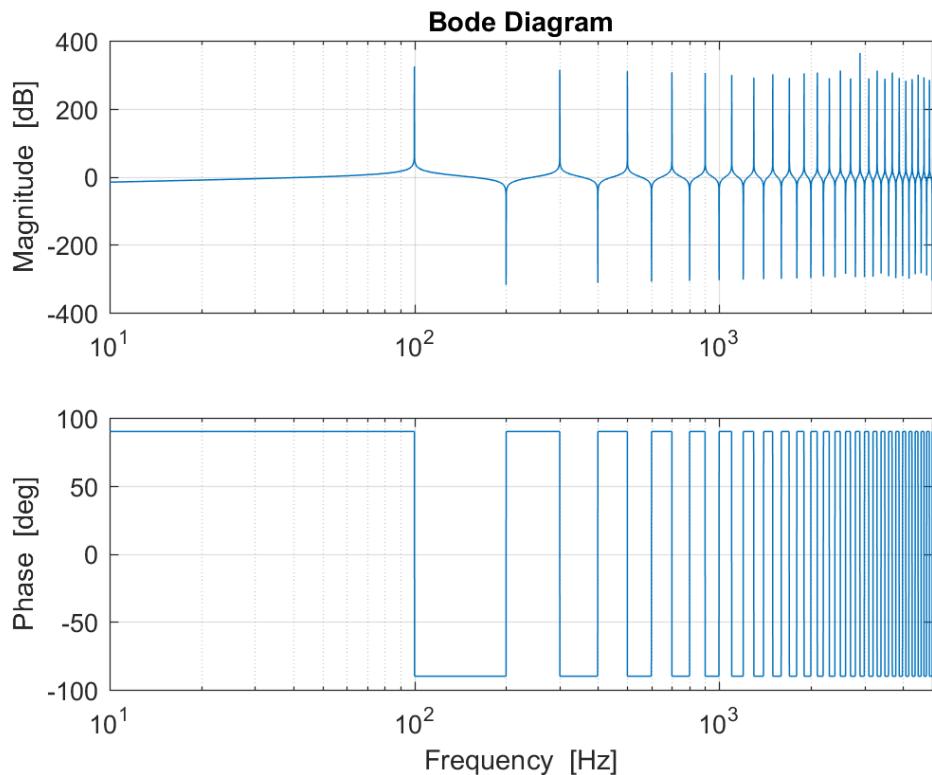


Figura 2.32: Diagramma di Bode dell'architettura G_{rip}^F instabile.

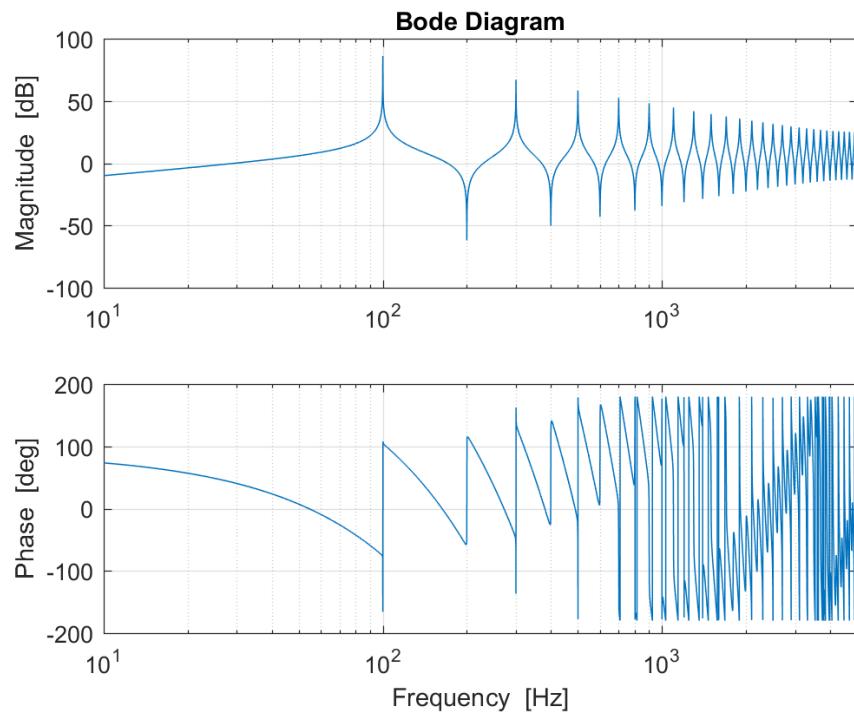


Figura 2.33: Diagramma di Bode dell'architettura G_{rip}^E implementata.

2.7 Regolatore Risonante

I regolatori risonanti possono essere considerati la naturale estensione dei regolatori PI. Facendo uso delle trasformate di Laplace possono essere descritti attraverso la funzione di trasferimento:

$$PIR = k_p + k_i \frac{s}{\omega_0^2 + s^2} = k_p + k_i R(s). \quad (2.68)$$

E' possibile dimostrare che questa funzione di trasferimento è equivalente a quella di due regolatori PI implementati in due sistemi di riferimento rotanti a $\pm \omega_0$, ma aventi però guadagno doppio; questo sarà utile in fase di taratura, in quanto sarà possibile tarare il PIR nello stesso modo dei PI, dimezzando però i valori dei guadagni.

I termini k_p e k_i rappresentano i guadagni proporzionale e integrale del regolatore, mentre il termine $R(s)$ rappresenta il termine risonante, che presenta due risonanze, a $\pm \omega_0$.

I regolatori risonanti sono in grado di inseguire riferimenti sinusoidali con errore nullo a regime, una volta chiusi in retroazione. Per questa ragione, implementandoli nel sistema di controllo, è possibile evitare di traslare i riferimenti nel sistema di riferimento sincrono; ciò costituisce un notevole vantaggio, in quanto si sgrava il DSP di tutti i calcoli matriciali descritti attraverso la equazione (1.11) o la sua inversa.

In Fig. 2.34 è mostrato il diagramma di Bode della funzione di trasferimento del regolatore, al variare dei suoi parametri: il guadagno proporzionale aumenta il guadagno su tutta la banda, mentre il guadagno integrale ha l'effetto di aumentare la banda attorno al picco di risonanza.

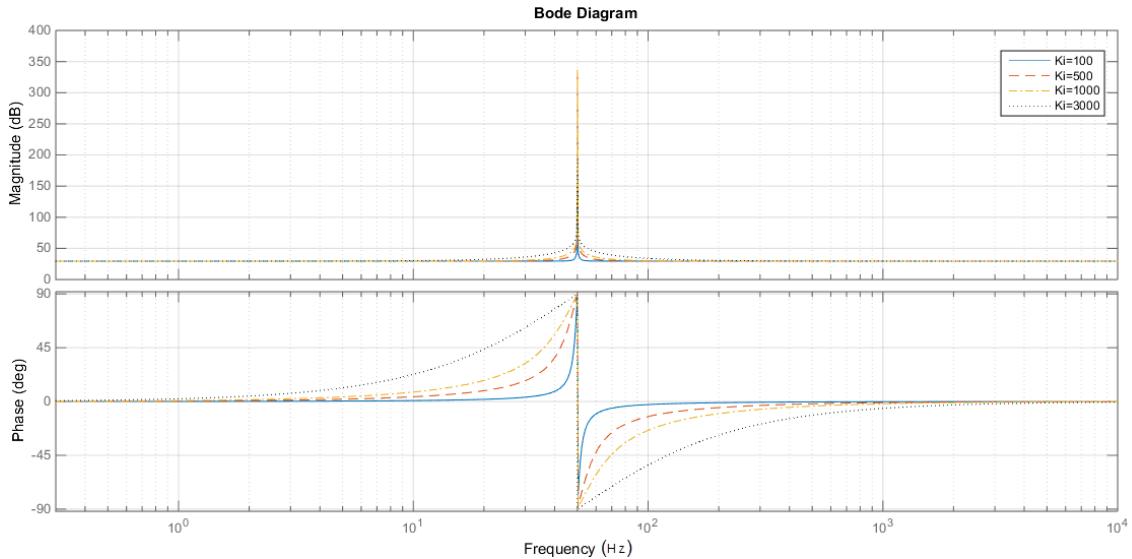


Figura 2.34: Effetto del guadagno integrale sul diagramma di bode della funzione di trasferimento.

La presenza di un picco di ampiezza infinita è però una caratteristica indesiderata. Nelle applicazioni pratiche infatti la presenza di un guadagno infinito è esagerata – anche perché discretizzando la funzione di trasferimento, per l’implementazione sul DSP, si perde automaticamente questa caratteristica. Inoltre una selettività così elevata può rappresentare una sorgente di instabilità, in quanto piccole variazioni della frequenza di rete possono portare il sistema a funzionare in zone nelle quali il guadagno è sostanzialmente nullo – praticamente solo quello proporzionale. Per tutte queste ragioni risulta conveniente l’inserimento nella funzione di trasferimento di un termine di smorzamento. La funzione di trasferimento risulta modificata in questo modo:

$$PIR(s) = k_p + k_i \frac{s}{s^2 + 2\delta\omega_0 + \omega_0^2} = k_p + k_i R'(s). \quad (2.69)$$

Porre il termine di smorzamento $\delta = 0$ significa ritrovare la (2.68). L’effetto di questo termine è diminuire il guadagno alle frequenze di risonanza, ma anche di aumentare la banda nella quale il regolatore presenta un guadagno elevato. In Fig. 2.35 è mostrato l’effetto della modifica del parametro δ .

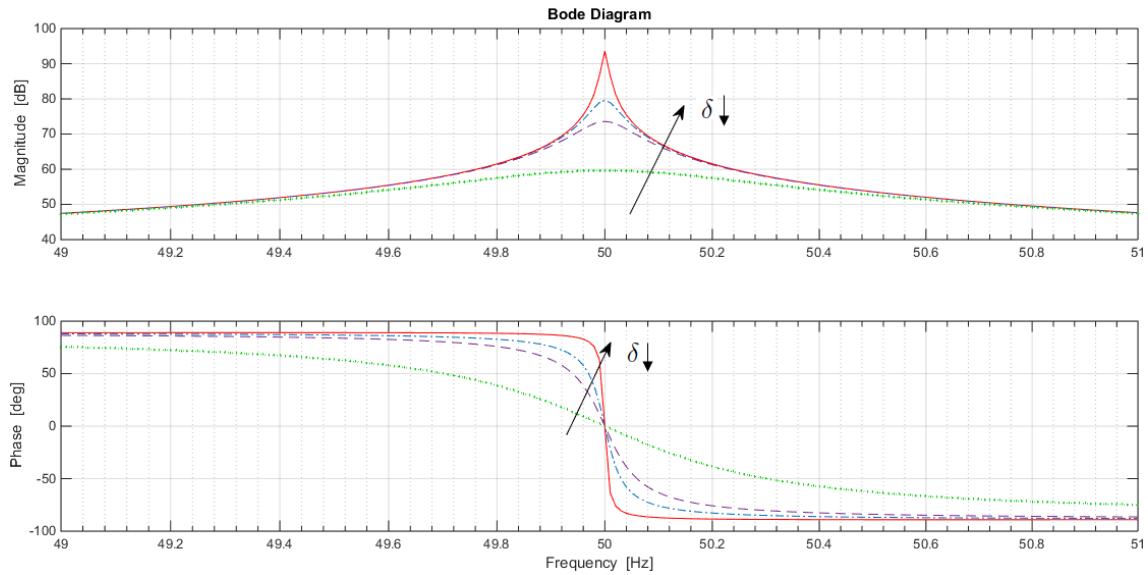


Figura 2.35: Effetto della modifica del parametro δ .

Le sonde di misura della corrente e l'inverter introducono dei ritardi di misura e di applicazione delle tensioni; questa tipologia di regolatore può essere tarata affinché riesca a compensare questi ritardi. Moltiplicando infatti il termine risonante della (2.69) per un anticipo di fase si ottiene:

$$R''(s) = \frac{s}{s^2 + 2\delta\omega_0 + \omega_0^2} e^{j\phi} = \frac{s \cos\phi + js \sin\phi}{s^2 + 2\delta\omega_0 + \omega_0^2} = \frac{s \cos\phi - \omega_0 \sin\phi}{s^2 + 2\delta\omega_0 + \omega_0^2}. \quad (2.70)$$

Il calcolo dell'anticipo di fase ϕ è immediato; basta infatti sommare i ritardi di fase introdotti da ogni sonda di corrente e dall'inverter; dato che però i poli delle sonde di misura e dell'inverter – schematizzato in prima approssimazione attraverso i suoi approssimanti di Padè – si trovano a una frequenza molto elevata, il loro ritardo, a 50 Hz, risulta trascurabile. Non è stato quindi ritenuto interessante complicare ulteriormente la formulazione del regolatore risonante.

2.8 Schema generale del controllo

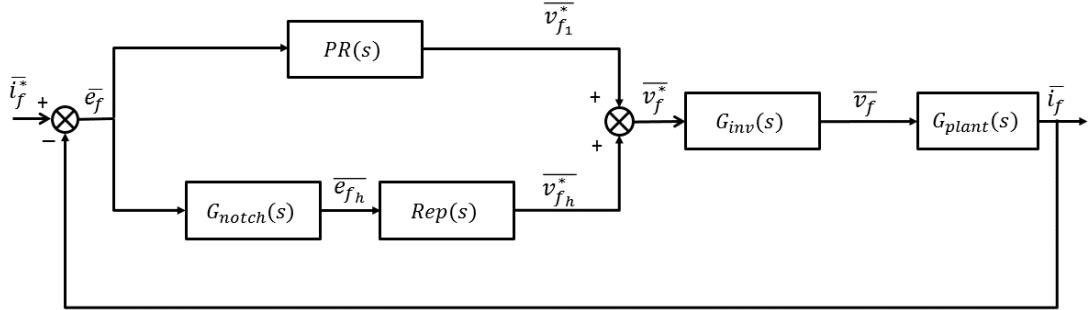


Figura 2.36: Schema generale del controllo.

Nello studio della funzione di trasferimento si è considerato il sistema puramente tempo continuo; ciò rappresenta una approssimazione, in quanto solo le funzioni di trasferimento del plant possono essere considerate continue, mentre tutto il sistema di controllo e l'inverter sono sistemi tempo discreti. Questa approssimazione si è resa necessaria, in quanto non è possibile studiare il comportamento della funzione di trasferimento di un sistema “misto”. Analizzando la Fig. 2.36 è possibile ricavare la funzione di trasferimento dell’anello di corrente, ottenendo:

$$G_{corrente} = \frac{[G_{PIR}(s) + G_{notch}(s)G_{Rep}(s)]e^{-sT_r}}{(R + sL) + [G_{peak}(s)G_{PIR}(s) + G_{notch}(s)G_{RIP}(s)]e^{-sT_r}} \quad (2.71)$$

Nella (2.71) G_{notch} è la funzione di trasferimento del notch di prima armonica e l’inverter è stato rappresentato da un ritardo T_r . Vengono ora mostrati i diagrammi di bode della FDT (2.71) al variare delle architetture.

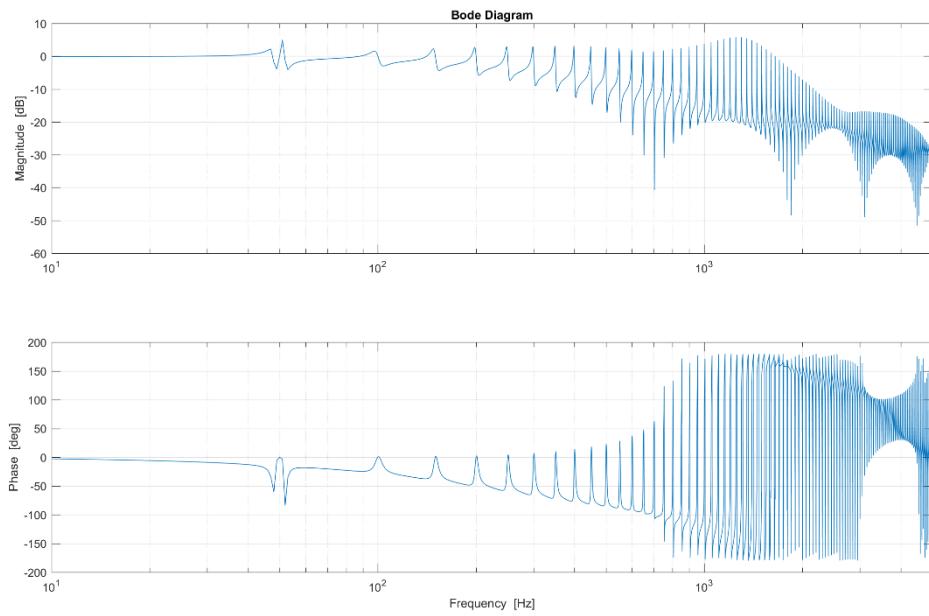


Figura 2.37: Diagramma di Bode dell'anello di corrente dell'architettura A.

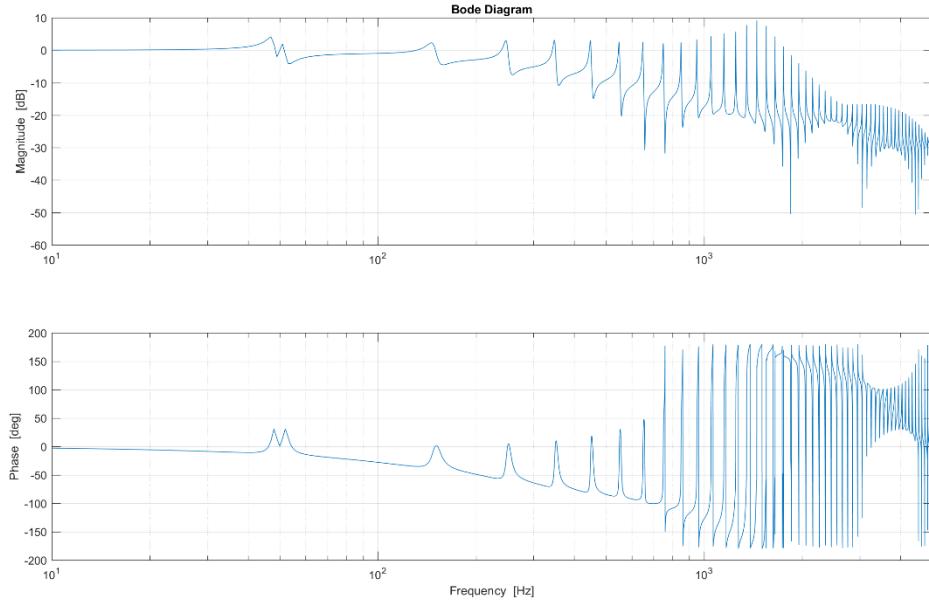


Figura 2.38: Diagramma di Bode dell'anello di corrente dell'architettura B.

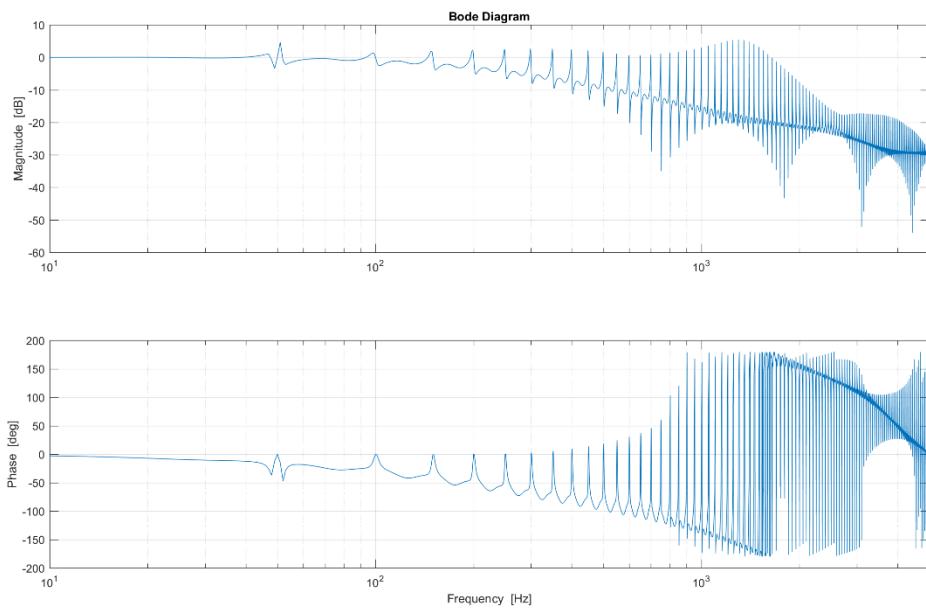


Figura 2.39: Diagramma di Bode dell'anello di corrente dell'architettura D.

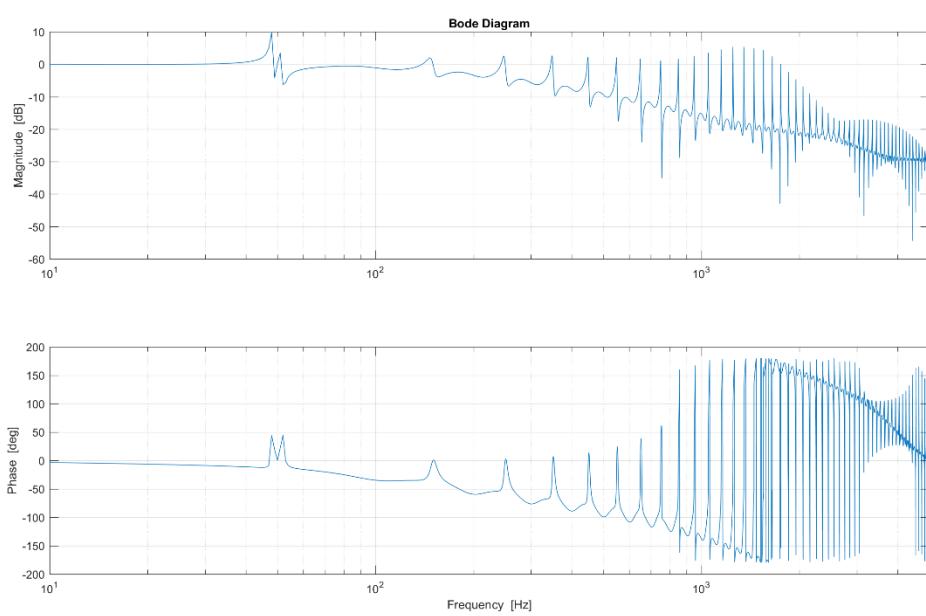


Figura 2.40: Diagramma di Bode dell'anello di corrente dell'architettura E.

In tutti i diagrammi mostrati è possibile notare che alle frequenze di risonanza il sistema presenta guadagno e fase nulli, in modo da inseguire in maniera ottimale il riferimento di corrente; aumentando il frequenza il filtro $Q(s)$ diminuisce progressivamente il guadagno del regolatore e quindi il sistema diminuisce la sua efficacia, sfasando e amplificando il riferimento – in modo comunque molto limitato. La necessità di limitare il guadagno per questioni di stabilità ha portato la FDT (2.71) ad avere il denominatore minimo nell'intorno di 1 kHz, causando le risonanze che si riscontrano in tutti i diagrammi. Come era possibile immaginarsi, ad elevata frequenza la FDT del carico – sostanzialmente un filtro passa basso – risulta essere dominante rispetto alle altre. Purtroppo non è stato possibile mostrare le FDT relative alle architetture C e F, in quanto implementate in due sistemi di riferimento differenti – sincrono e stazionario.

Capitolo 3

Simulazione del filtro attivo

Una parte importante del lavoro ha riguardato la realizzazione di un modello fedele alla realtà del sistema in esame. Questo si è dimostrato di fondamentale importanza per verificare in maniera preliminare le numerose idee avute nel corso dei lavori e per la taratura dei regolatori utilizzati. Per la realizzazione del modello si sono utilizzati i tool della suite Matlab, in particolare Simulink, per la simulazione del modello, e il tool Sisotool, che ha permesso di tarare in maniera ottimale i regolatori implementati. Un risultato importante ottenuto attraverso la simulazione è stata l'aderenza alla realtà del modello; il sistema simulato si è comportato infatti in modo fedele al sistema reale. Il modello, la cui immagine è mostrata in Fig. 3.1, presenta quattro blocchi fondamentali:

- Il blocco “Controllo tensione”, di colore rosso, al cui interno è simulato il sistema di controllo che genera i riferimenti di tensione per l'inverter.
- Il blocco “Inverter”, di colore azzurro, al cui interno è simulato l'inverter.
- Il blocco “Carico non lineare”, di colore verde, al cui interno è simulato il ponte raddrizzatore distorcente.
- Il blocco “Rete”, di colore arancione, al cui interno è presente uno script Matlab che genera tre sinusoidi, sfasate di 120 gradi e che simula il comportamento della rete.

Simulazione del Filtro Attivo

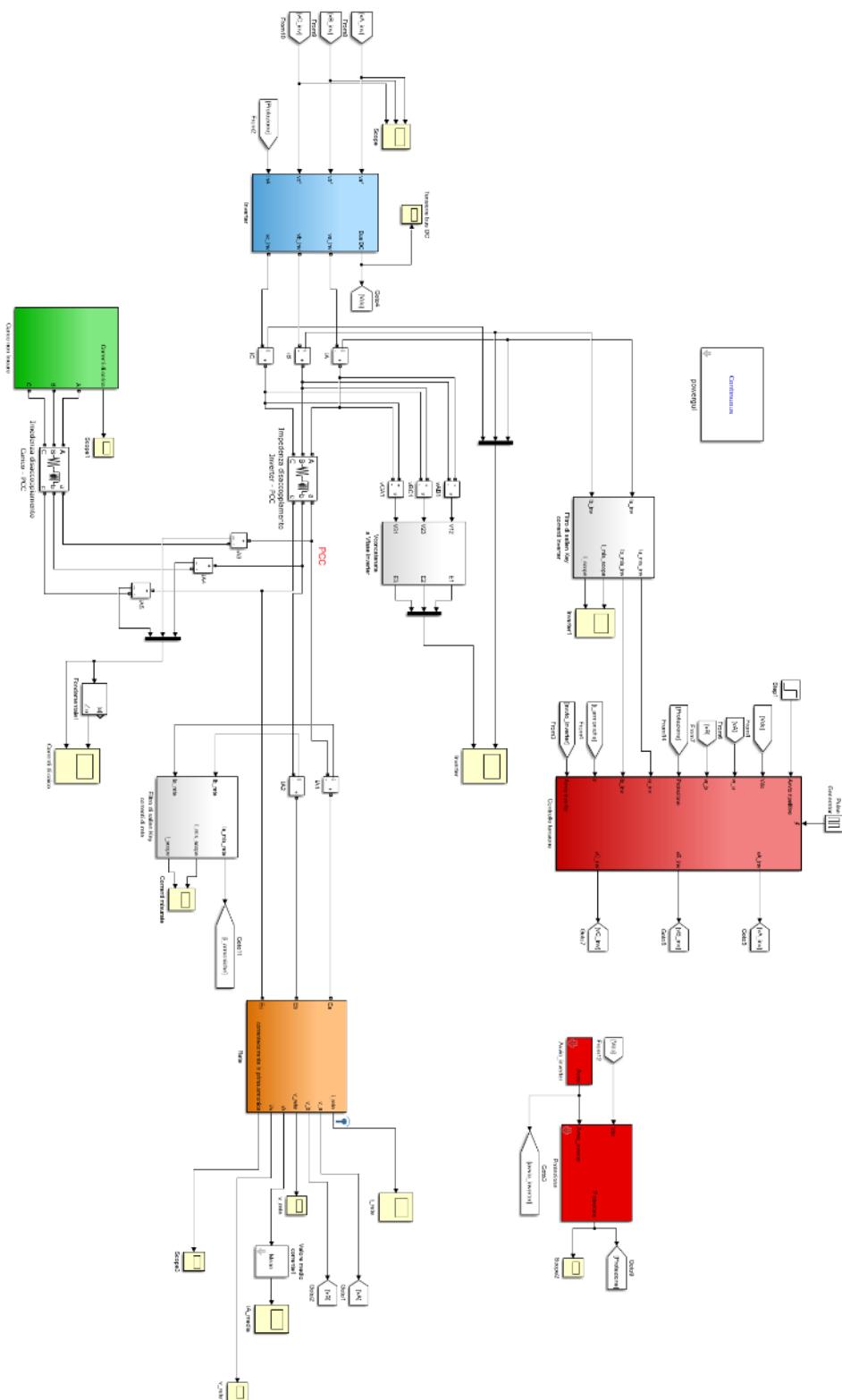


Figura 3.1: Modello Simulink del sistema.

Tra ogni blocco circuitale e il PCC è presente un'impedenza i cui valori saranno riportati nel seguito. Nello schema sono presenti numerosi "scope" che permettono la visualizzazione di varie grandezze; le più importanti sono le tensioni di rete, le correnti di rete, le correnti di filtro e le correnti di carico. Sono inoltre presenti dei blocchi per la misurazione delle grandezze, che simulano la funzione di trasferimento del sistema di misura e che quindi distorcono le grandezze misurate, come avviene nella realtà.

3.1 Controllo tensione

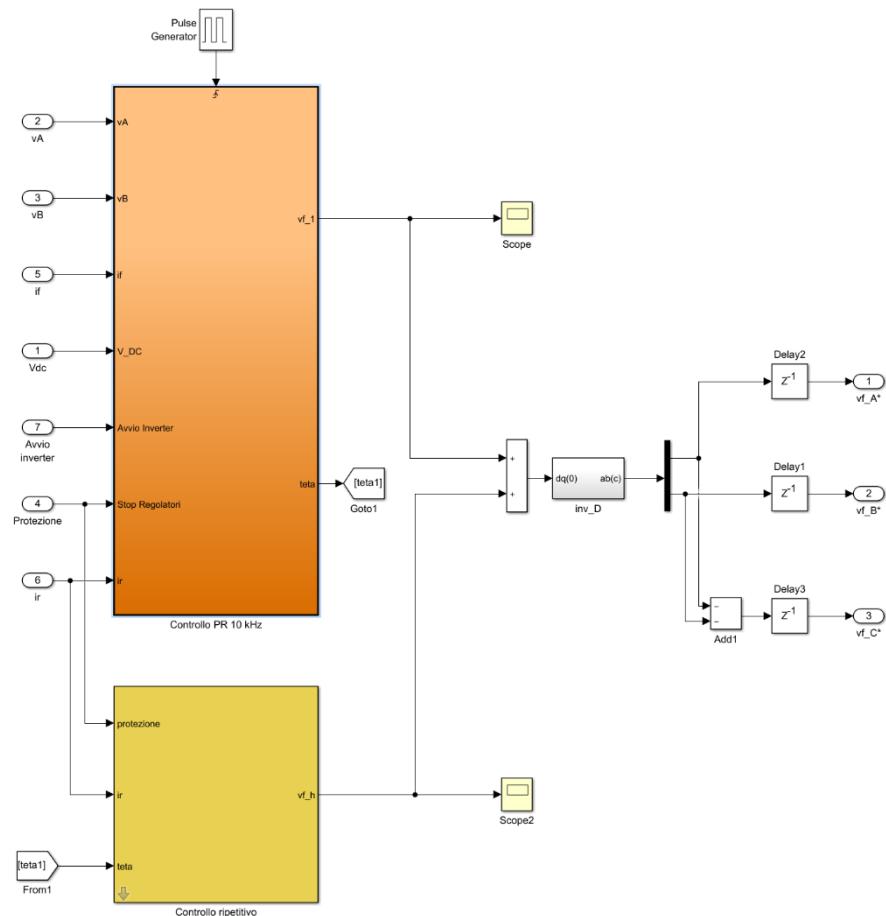


Figura 3.2: Controllo di tensione.

All'interno di questo blocco vengono effettuati i calcoli che permettono di ottenere i riferimenti per le tensioni di inverter. Il sistema acquisisce sette grandezze:

- Il segnale “Protezione”, che abilita o disabilita il controllo in base alle condizioni operative del sistema.
- Il segnale “Avvio Inverter”, che abilita il controllo della prima armonica della corrente del filtro.
- La tensione del bus DC.
- Le due tensioni stellate di rete v_{r_A} e v_{r_B} .
- Il vettore di spazio della corrente di filtro \bar{i}_f .
- Il vettore di spazio della corrente di rete \bar{i}_r .

Le misure di corrente dell'inverter sono effettuate tenendo in considerazione la non idealità della scheda di misura; nello schema di controllo le correnti passano per un sottosistema chiamato “Filtro di Sallen Key correnti”, mostrato in Fig. 3.1, che contiene al suo interno la funzione di trasferimento dello strumento di misura. La FDT risulta essere quella di un sistema del secondo ordine con due poli coincidenti a $f_{filtro} = 9 \text{ kHz}$, mostrata nella (3.1).

$$G_{\text{sallen key}} = \frac{1}{\left(\frac{s}{\omega_{\text{filtro}}} + 1\right)^2}. \quad (3.1)$$

Facendo riferimento alla Fig. 3.2 è possibile vedere che il sistema di controllo è diviso in due parti:

- Il sottosistema “Controllo PR 10 kHz” di colore arancione, nel quale viene calcolato il vettore di spazio di riferimento della prima armonica della tensione di polo del filtro attraverso un regolatore risonante.
- Il sottosistema “Controllo ripetitivo” di colore giallo, nel quale viene calcolato la parte del vettore di spazio della tensione di filtro per migliorare la qualità della corrente in rete.

Questa separazione fisica nasce da due esigenze. La prima, di tipo visivo, serve a enfatizzare il fatto che i due controlli sono indipendenti l'uno dall'altro. L'altra è di tipo funzionale, in quanto, per ridurre il buffer di memoria necessario al funzionamento del

regolatore ripetitivo, è possibile utilizzare due frequenze di campionamento diverse nei due sottosistemi. L'interno del blocco “Controllo PR 10 kHz” è mostrato in Fig. 3.3.

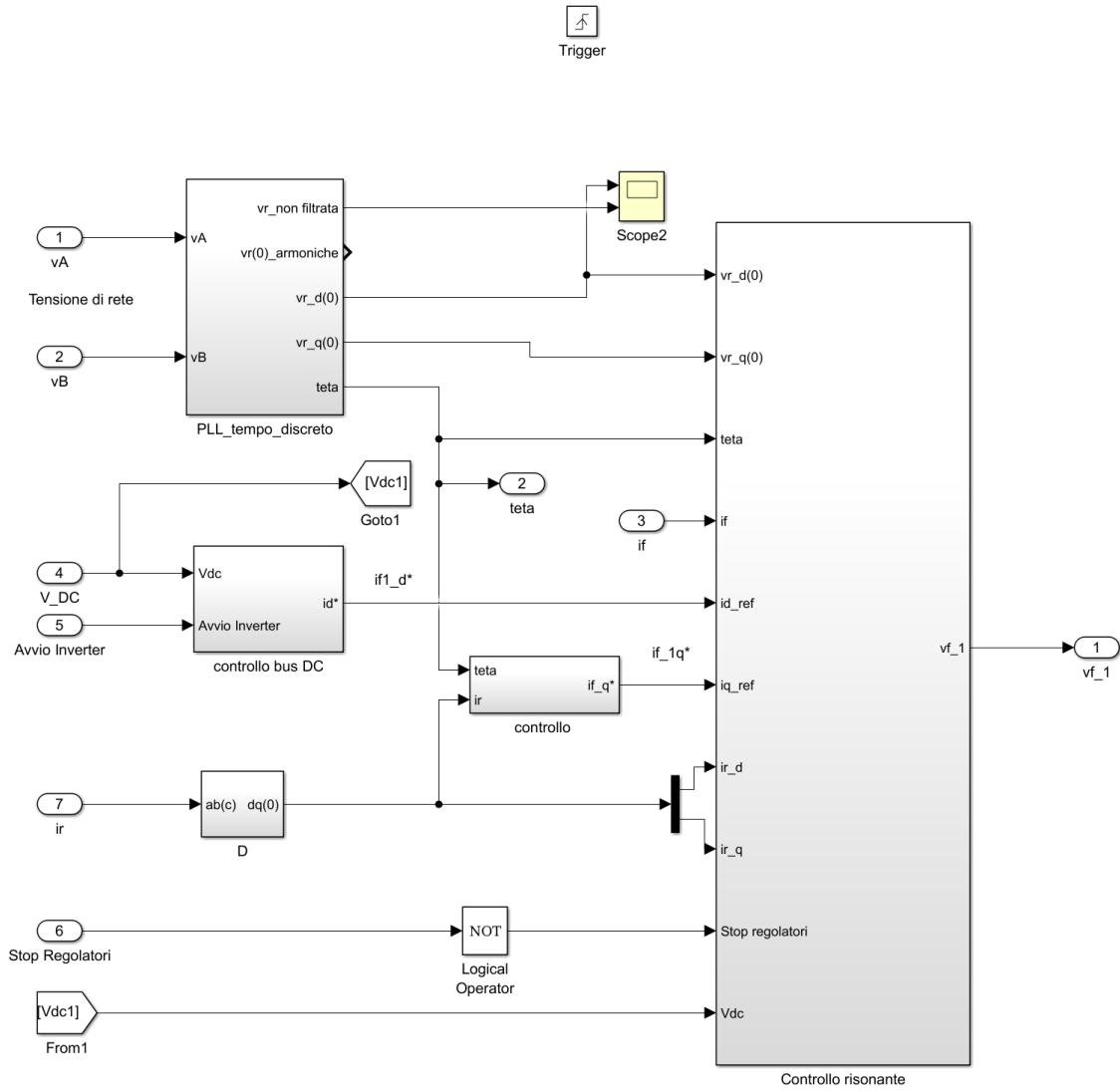


Figura 3.3: Controllo PR 10 kHz.

Il compito del blocco “PLL tempo discreto” è generare l’angolo tra il sistema di riferimento sincrono alla tensione di rete e il sistema di riferimento stazionario.

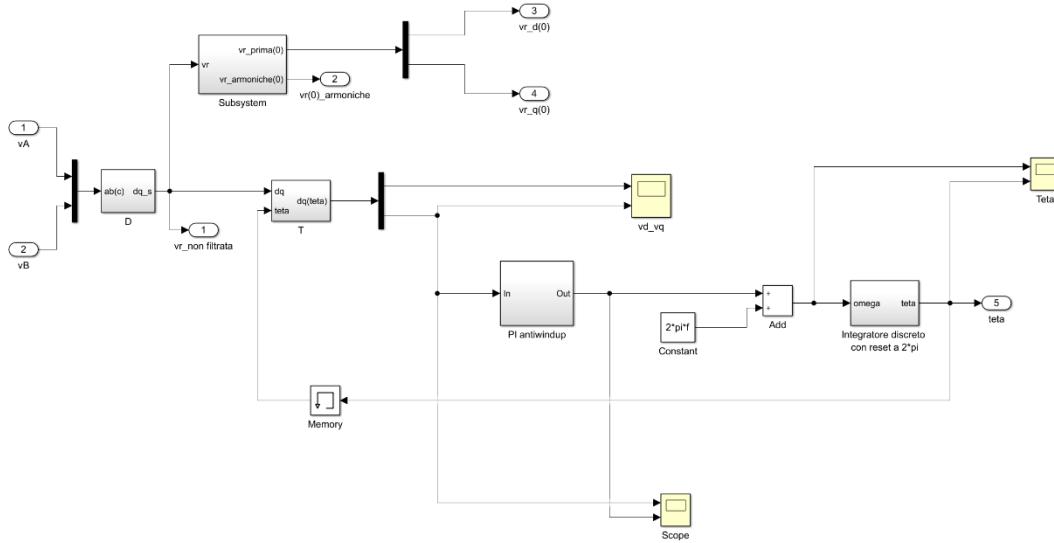


Figura 3.4: Pll.

In Fig. 3.4 è mostrato nel dettaglio il blocco PLL; il sistema acquisisce le due tensioni di rete v_{rA} e v_{rB} , ne calcola la loro trasformata D, passando dalla terza trifase al sistema bifase equivalente, nel sistema di riferimento stazionario. A questo punto calcola anche la trasformata T, portando il vettore di spazio della tensione di rete nel sistema di riferimento sincrono ad essa. La componente di asse q della tensione di rete, in questo nuovo sistema di riferimento è identicamente nullo e rappresenta quindi l’errore da annullare. Ciò si ottiene attraverso un regolatore PI che, avendo in ingresso la componente di asse q della tensione di rete nel sistema di riferimento sincrono, fornisce la velocità angolare necessaria ad annullare tale errore. La taratura di questo regolatore risulta molto importante per il funzionamento del sistema stesso; modellizzare e ricavare una funzione di trasferimento tra la tensione di rete e l’angolo teta risulta difficile, in quanto il sistema in questione non è di tipo SISO – single input, single output. Si è proceduto a una taratura per tentativi, che ha portato ai seguenti valori per i guadagni proporzionale e integrale:

$$K_{IPLL} = 100 \frac{\text{rad Hz}}{\text{V s}} \quad K_{PPLL} = 0.9 \frac{\text{rad}}{\text{V s}}$$

Tutti i regolatori PI utilizzati in questo modello sono realizzati attraverso uno script Matlab; è possibile scrivere le equazioni discrete che modellizzano il regolatore, e da esse ricavare la sua FDT discreta. Utilizzando la tecnica di discretizzazione “Eulero all’indietro” e indicando come u l’uscita del regolatore e e il suo ingresso, si può scrivere:

$$s = \frac{z - 1}{zT_c} \quad (3.2)$$

$$u = \frac{K_P(z - 1) + K_I z T_c}{z - 1} e. \quad (3.3)$$

Da cui discende l’espressione finale:

$$u_{(k)} = u_{(k-1)} + (K_P + K_I T_c) e_{(k)} - K_P e_{(k-1)}. \quad (3.4)$$

Nella (3.4) il pedice k indica il generico istante di campionamento, mentre $k-1$ l’istante precedente. Il regolatore prevede anche l’anti wind-up; una volta che l’uscita richiesta supera i valori consentiti il regolatore applica in uscita il massimo valore disponibile e ricalcola l’errore, in modo tale che esso non aumenti in modo progressivo e che il sistema sia pronto a reagire a diminuzioni repentine dell’errore. L’espressione dell’errore, nel caso in cui la richiesta sia maggiore al limite positivo si ricava dalla (3.4), esplicitando l’errore all’istante k . La sua espressione diventa:

$$e_{(k)} = \frac{u_{max(k)} - u_{(k-1)} + -K_P e_{(k-1)}}{(K_P + K_I T_c)}. \quad (3.5)$$

Il caso in cui essa sia inferiore al limite minimo è speculare.

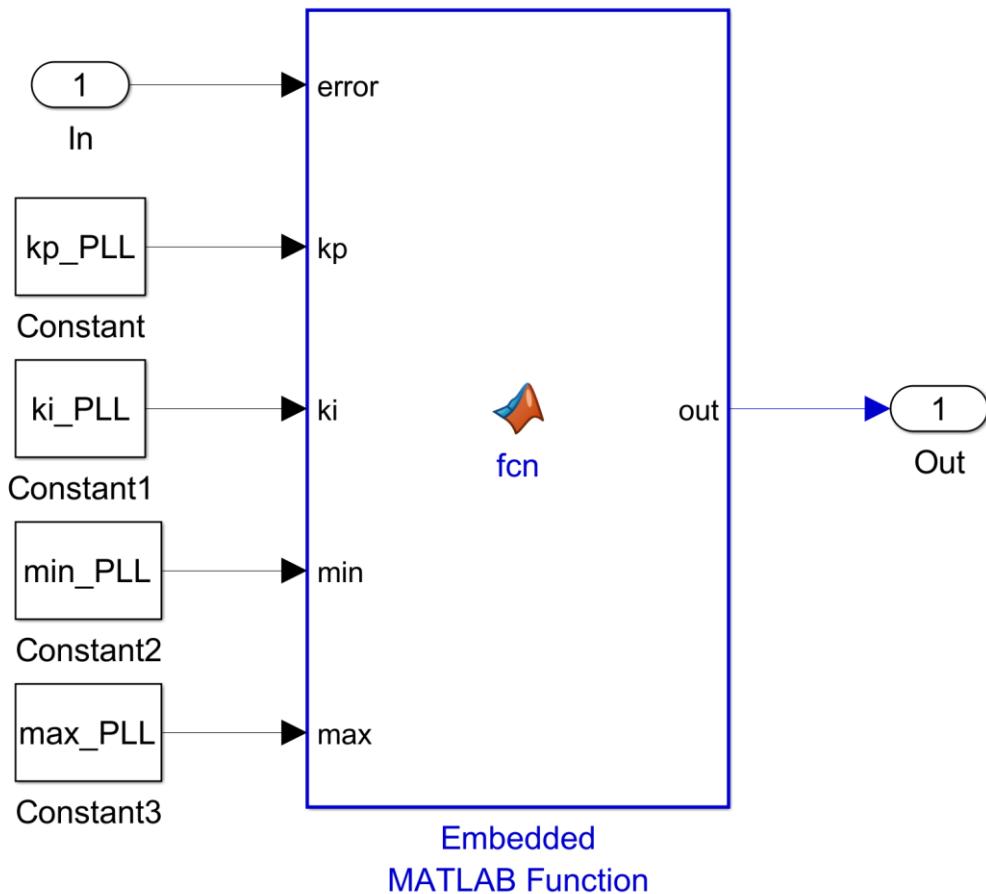


Figura 3.5: Regolatore PI discreto realizzato attraverso un blocco *fcn*.

L'integrazione della velocità angolare viene effettuata attraverso il blocco “Integratore discreto con reset a 2π ”. Il blocco utilizza, come metodo di integrazione, il metodo di Eulero in avanti. Il blocco integratore prevede un reset esterno, quando l'angolo supera 2π o diventa inferiore a -2π . Lo stato iniziale viene forzato esternamente, attraverso una comparazione con zero: se lo stato iniziale è maggiore a zero – velocità angolare positiva – l'uscita viene forzata a $2\pi-$ e quindi resettata nel verso positivo – mentre in caso contrario l'uscita viene forzata a meno $2\pi-$ e quindi resettata nel verso negativo.

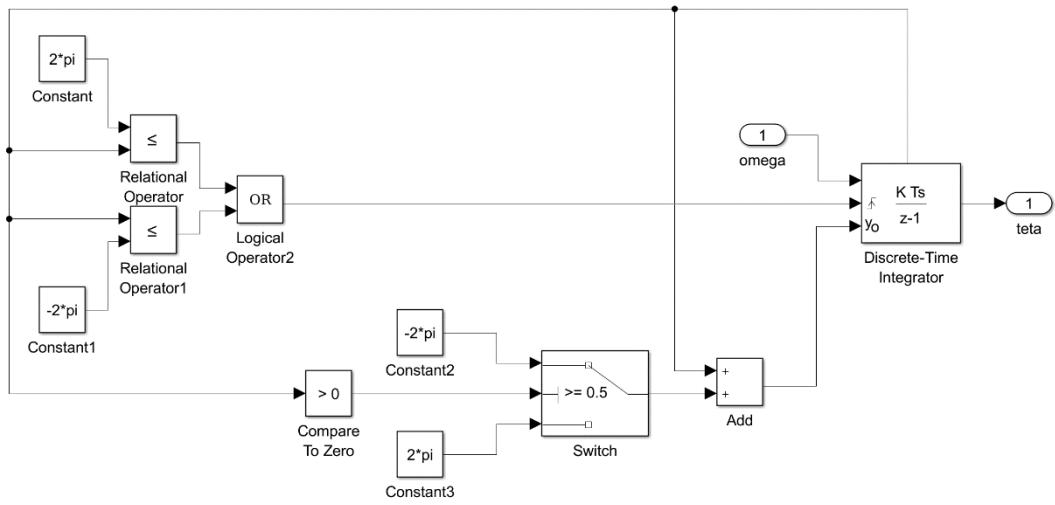


Figura 3.6: Integratore discreto.

L’angolo istantaneo viene poi retroazionato e utilizzato per ricalcolare il vettore di spazio della tensione di rete nel sistema di riferimento sincrono.

Consideriamo nuovamente il blocco “Controllo tensione”. I riferimenti di prima armonica per la corrente di filtro vengono calcolati da 2 blocchi: il blocco “controllo bus DC” e il blocco “Potenza reattiva”. Il sistema di controllo del bus DC acquisisce la V_{DC} e un segnale di avvio dell’inverter e fornisce in uscita la corrente di riferimento di asse d di prima armonica necessaria per caricare il condensatore.

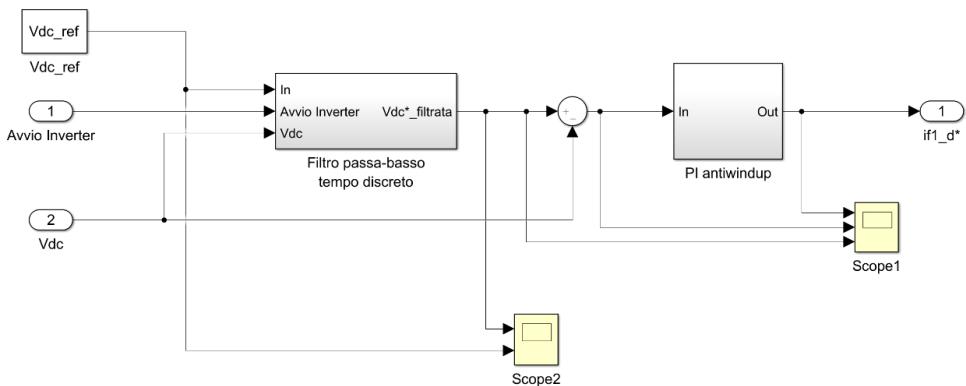


Figura 3.7: Controllo bus DC.

La tensione di riferimento viene filtrata attraverso un filtro passa basso, in modo da diminuire la dinamica del riferimento e quindi della tensione stessa. L'espressione della funzione di trasferimento del filtro e la sua discretizzazione, contenuta all'interno del sottosistema "Filtro passa-basso tempo discreto" è mostrata nel seguito:

$$G_{filtro} = \frac{1}{1 + \tau s} \quad (3.6)$$

$$out(k) = \frac{\tau}{\tau + T_c} out(k - 1). \quad (3.7)$$

Il segnale di errore viene elaborato da un regolatore PI, che fornisce in uscita il riferimento richiesto.

Il calcolo del riferimento di prima armonica per la corrente di asse q è affidato al blocco "controllo". All'interno di questo blocco viene estratta la componente di prima armonica del vettore di spazio della corrente di rete, nel sistema di riferimento sincrono, e lo si scomponete nelle sue componenti d e q. Se si vuole rifasare completamente il carico reattivo è necessario impostare un riferimento nullo per la corrente di asse q; l'errore viene quindi elaborato da un regolatore PI che fornisce in uscita la corrente di riferimento di asse q per il regolatore risonante. L'avvio della compensazione della potenza reattiva di prima armonica non avviene in contemporanea all'avvio del controllo del bus DC, in quanto il condensatore deve essere caricato per evitare sovraetensioni. La taratura di questo regolatore è stata effettuata per tentativi e ha portato ai seguenti valori dei guadagni:

$$k_{p_{i_q}} = 0.05$$

$$k_{i_{i_q}} = 5 s^{-1}.$$

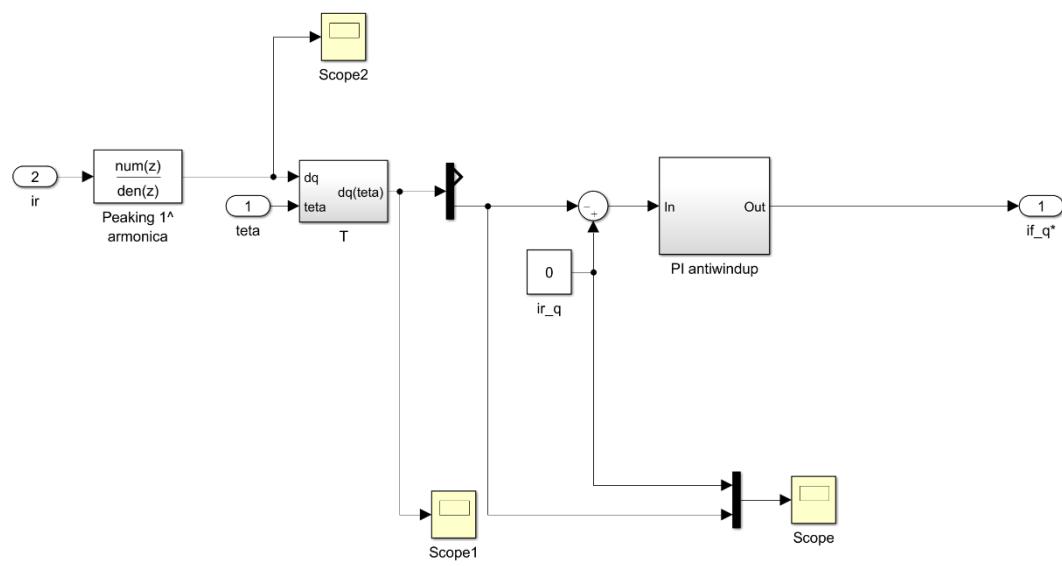


Figura 3.8: Controllo corrente di filtro di asse q.

Le trasformazioni delle grandezze trifase alle grandezze bifase equivalenti sono effettuate dal blocco “D”, che implementa una matrice di cambiamento di base – la base delle grandezze trifase non è formata da vettori linearmente indipendenti, mentre la base del sistema di riferimento stazionario sì.

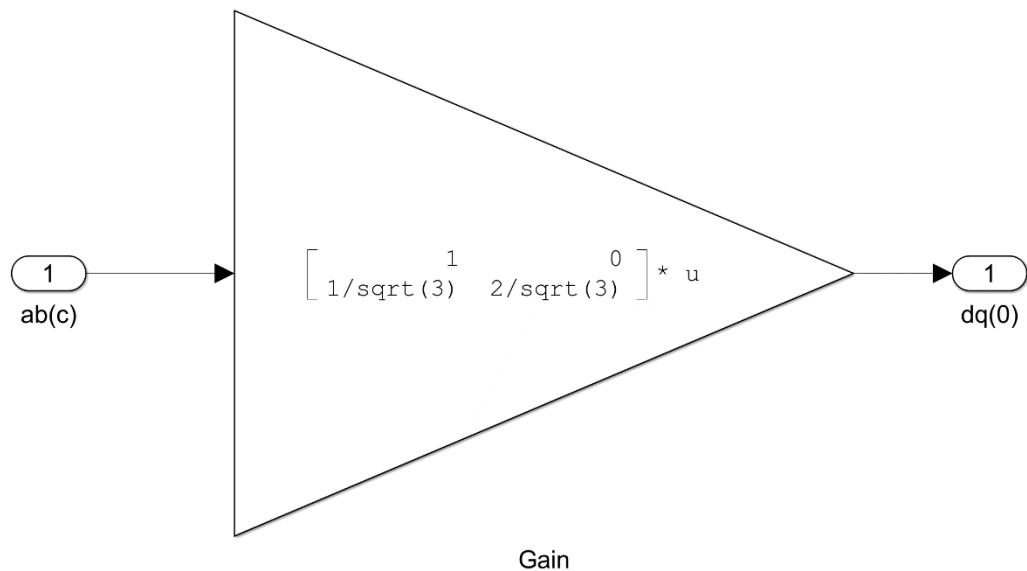


Figura 3.9: Matrice di cambiamento di base.

La trasformazione delle grandezze nel sistema di riferimento sincrono al sistema di riferimento stazionario è effettuata dalla matrice T , attraverso l'angolo ϑ calcolato dal blocco “PLL_tempo_discreto”. Per riportare le grandezze dal sistema di riferimento sincrono al sistema di riferimento stazionario è possibile utilizzare l'angolo $-\vartheta$ per effettuare le trasformazioni.

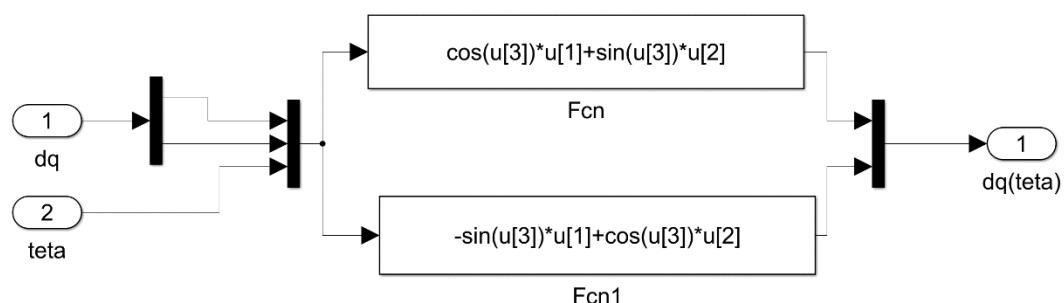


Figura 3.10: Matrice di passaggio dal sistema di riferimento stazionario al sistema di riferimento sincrono.

All'interno del blocco “Controllo risonante” avviene il calcolo del vettore di spazio delle tensioni di riferimento di prima armonica per l'inverter; per simulare il ritardo di un ciclo introdotto dal calcolo delle grandezze da parte del sistema di controllo sono stati inseriti

3 blocchi di ritardo a valle del sistema di controllo – Matlab infatti simula tutti i calcoli come instantanei e, senza l'introduzione di questi ritardi, si otterrebbero dei risultati non aderenti alla realtà.

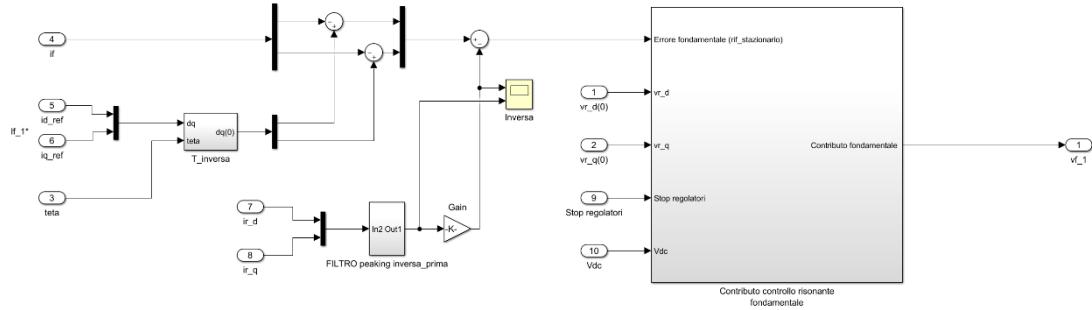


Figura 3.11: Controllo risonante.

All'interno del sistema è presente un blocco di compensazione della corrente inversa; il blocco “FILTRO peaking inversa_prima” seleziona la prima armonica inversa della corrente di rete e lo sottrae all’errore della componente fondamentale – in quanto il riferimento della corrente inversa è nullo se si vuole compensare la distorsione della corrente di rete. Il sottosistema “Contributo controllo risonante fondamentale” contiene al proprio interno un regolatore risonante discreto. Il sottosistema ha in ingresso il segnale “stop”, oltre al vettore di spazio della tensione di rete, utilizzato per la compensazione in avanti del contributo della diretta e dell’inverse.

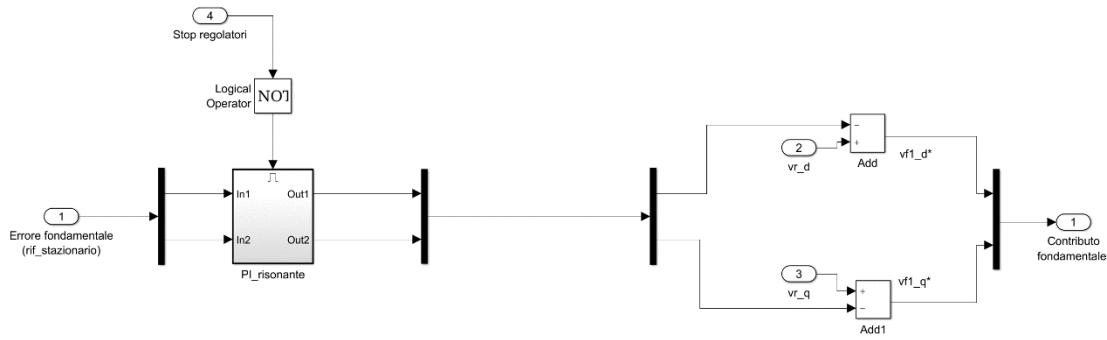


Figura 3.12: Contributo controllo risonante fondamentale.

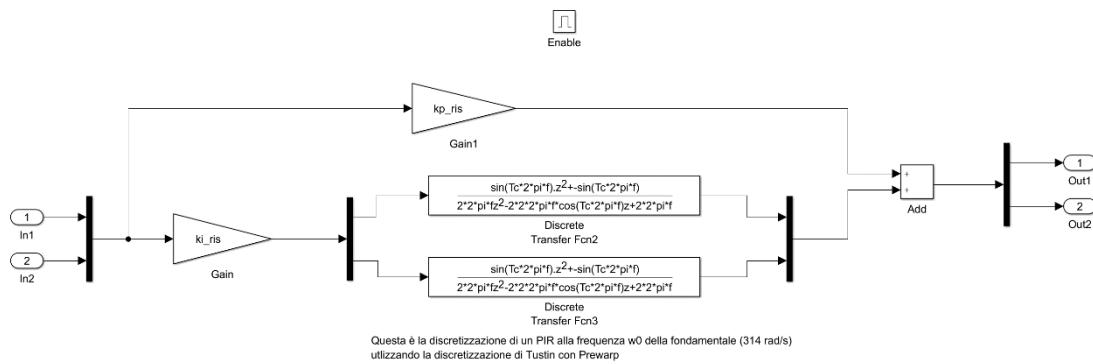


Figura 3.13: PI_risonante.

Torniamo a fare riferimento alla Fig. 3.2. Il sottosistema “Controllo ripetitivo”, di colore giallo, simula il comportamento del regolatore ripetitivo. Il controllo è diviso in due parti: il sottosistema “Controllo ripetitivo” e il sottosistema “Controllo ripetitivo con downsampling”. Entrambi i sistemi utilizzano le medesime architetture di controllo e l’unica differenza tra i due risiede nel criterio di decimazione dei campioni, che porta a frequenze di campionamento diverse tra i due sistemi. Ogni architettura di controllo ripetitivo necessita la memorizzazione di periodi del segnale; in base alla frequenza di campionamento si ha quindi un grado di libertà sul numero di campioni effettivamente memorizzati dal sistema di controllo.

L’interno del sottosistema “Controllo ripetitivo” è mostrato in Fig. 3.14.

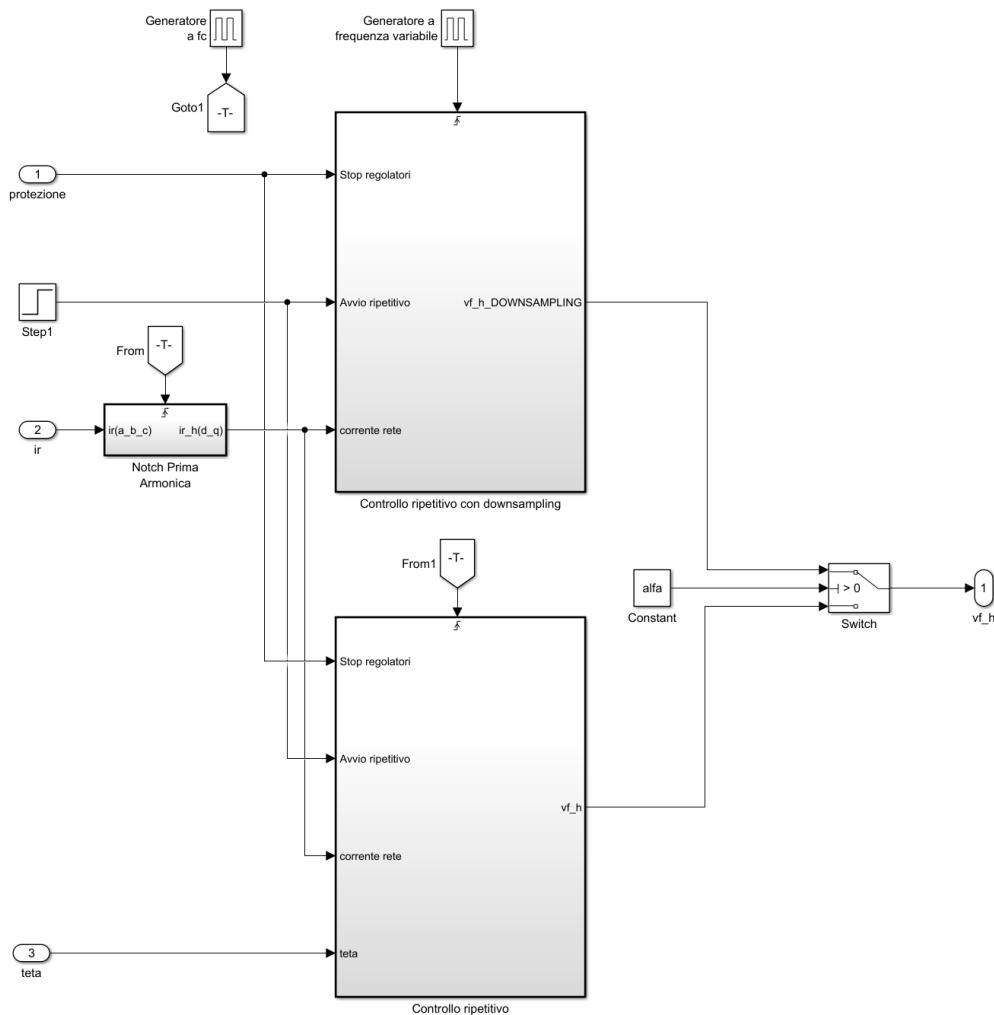


Figura 3.14: Controllo ripetitivo.

Analizziamo ora il sottosistema “Controllo ripetitivo con downsampling”. Questo sottosistema presenta in ingresso il vettore di spazio della corrente di rete, filtrata dalla prima armonica attraverso il blocco “Notch Prima Armonica”, che risulta necessario per due motivazioni.

- Dato che il controllo misura le correnti di rete, e non le correnti di carico, l’unico modo per ottenere le componenti armoniche da annullare è filtrando la corrente di rete, nella quale sono presenti tutte le armoniche. Questa scelta complica il controllo dal punto di vista computazionale, ma permette una maggiore flessibilità nella compensazione, dato che è sostanzialmente indipendente dal numero di carichi connessi alla rete.

- Dato che si è deciso che, per questioni di stabilità e di dinamica, il controllo della prima armonica, e quindi del bus DC, è gestito da un regolatore risonante, si vuole che i due sistemi non siano in competizione e che siano “invisibili” l’uno all’altro.

Gli altri segnali in ingresso sono il solito “Stop” che abilita o disabilita il controllo e il segnale di avvio, che decide l’istante temporale dell’avvio del controllo ripetitivo, oltre che l’angolo ϑ tra il sistema di riferimento stazionario e il sistema di riferimento sincrono. La frequenza di campionamento del sottosistema è fissa, e pari a 10 kHz. L’interno del sistema è mostrato in Fig. 3.15 (a) e 3.15 (b).

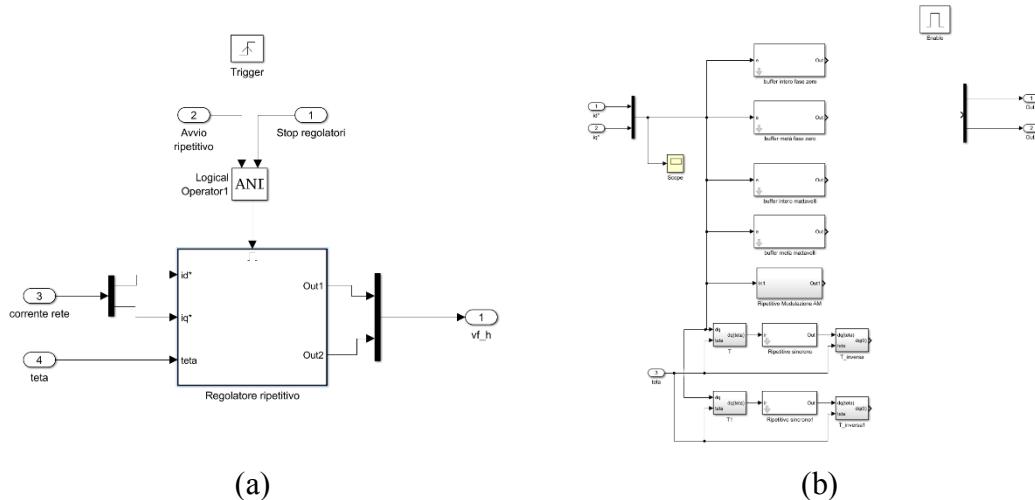


Figura 3.15 (a) e (b): Controllo ripetitivo.

Nella Fig. 3.15 (b) sono mostrate le varie architetture di controllo; esse sono divise sostanzialmente in 2 categorie, già approfondite dal punto di vista teorico nel capitolo 2:

- Schemi che utilizzano la sola retroazione, positiva o negativa. Questa tipologia di schema, utilizza un numero di campioni variabile a seconda dell'efficacia nell'abbattimento armonico – nel seguito ci si riferirà a queste architetture come A, B, C.
- Schemi che utilizzano una retroazione, positiva o negativa, e una azione in avanti; questa tipologia di schema utilizza un numero molto elevato di campioni per il suo funzionamento e quindi la loro implementazione pratica risulta molto complicata a causa di questa criticità. La simulazione di tali architetture risulta quindi una soluzione molto utile, soprattutto nel caso di un modello di elevata precisione – nel seguito ci si riferirà a queste architetture come D, E, F.

Ogni sottosistema presenta una maschera come quella mostrata in Fig. 3.16, attraverso la quale è possibile modificare, anche durante la simulazione, il guadagno serie dell'architettura considerata e il ritardo di inverter compensato.

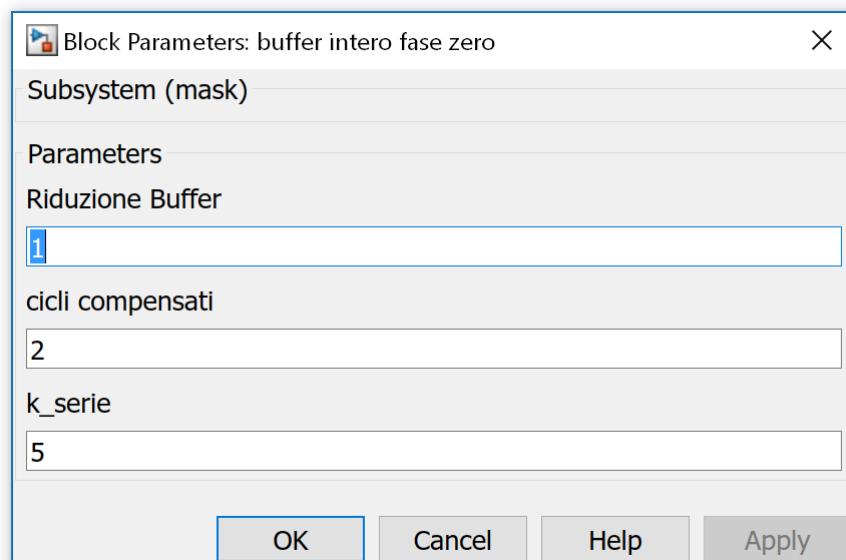


Figura 3.16: Maschera di controllo.

In seguito sono mostrate le varie architetture di controllo in retroazione.

In Fig. 3.17 è mostrata l'architettura in retroazione A, contenuta all'interno del blocco “buffer intero fase zero”.

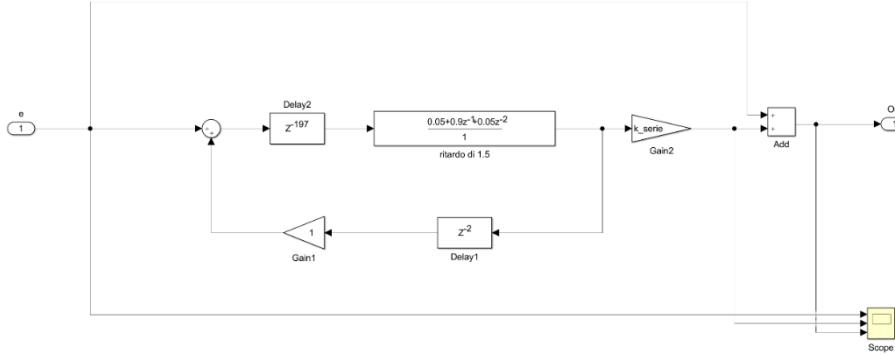


Figura 3.17: Architettura A.

Il numero di campioni necessari per l'implementazione di questa architettura è dato dalla relazione:

$$M_{intero} = \frac{f_c}{f} = 200. \quad (3.8)$$

Il filtro passa basso a fase nulla non è fisicamente realizzabile; è possibile però realizzare un filtro con un ritardo intrinseco di un tempo di ciclo, che viene recuperato attraverso la diminuzione del buffer di memoria di un elemento. La funzione di trasferimento del filtro è:

$$Q(z) = z^{-1}(c_1 z^{-1} + c_0 + c_1 z^1) = c_1 z^{-2} + c_0 z^{-1} + c_1 \quad (3.9)$$

con

$$c_1 = 0.05 \quad c_0 = 0.9.$$

La funzione di trasferimento discreta realizzata da questa configurazione è data da:

$$G_{intero}(z) = K_s \frac{(0.05 + 0.9z^{-1} + 0.05z^{-2})z^{-M_{intero}+1}}{1 - (0.05 + 0.9z^{-1} + 0.05z^{-2})K_i z^{-M_{intero}+1}} z^{Rit}. \quad (3.10)$$

La taratura dei guadagni e dei ritardi ha portato ai seguenti valori:

$$K_s = 5\Omega \quad K_i = 0.99 \quad Rit = 4.$$

Il numero di campioni totali memorizzati dal sistema di controllo può essere ricavato sviluppando il numeratore e il denominatore della (3.10) e valutandone il massimo ritardo. Da questo risulta che il numero di campioni totali è:

$$d_{implementato} = M_{intero} + 1 = 201. \quad (3.11)$$

L'introduzione del filtro comporta quindi l'aumento del buffer necessario.

In Fig. 3.18 è mostrata l'architettura B, contenuta all'interno del blocco "buffer metà fase zero".

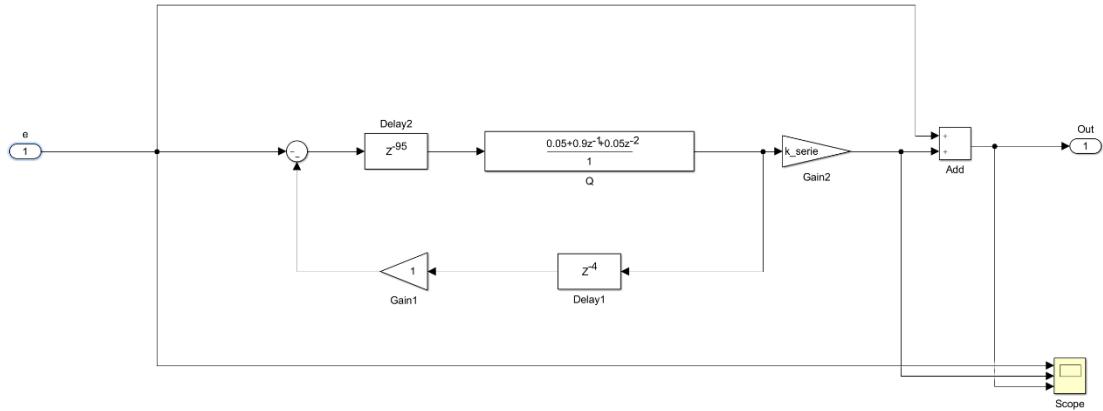


Figura 3.18: Architettura B.

Il numero di campioni necessari per l'implementazione della configurazione di figura (3.18) sono la metà rispetto alla configurazione precedente, pari a:

$$M' = 100.$$

La funzione di trasferimento discreta realizzata da questa configurazione è data da:

$$G_{metà} = -K'_s \frac{(0.05 + 0.9z^{-1} + 0.05z^{-2})z^{-M'+1}}{1 + (0.05 + 0.9z^{-1} + 0.05z^{-2})K'_i z^{-M'+1}} z^{Rit}. \quad (3.12)$$

La taratura dei guadagni e del ritardo ha portato ai seguenti valori:

$$K'_s = 5\Omega \quad K'_i = 0.99 \quad Rit = 4.$$

Il numero di campioni effettivamente memorizzato dal sistema può essere calcolato utilizzando lo stesso criterio, ottenendo:

$$d'_{implementato} = M' + 1 = 101. \quad (3.13)$$

L'ultima architettura in retroazione è la C, mostrata in Fig. 3.19, contenuta all'interno del sottosistema “ripetitivo sincrono”; questo sottosistema necessita che le correnti entrino nel sistema di riferimento sincrono al vettore di spazio della tensione di rete, dato che il sistema utilizza un quarto dei campioni della configurazione intera.

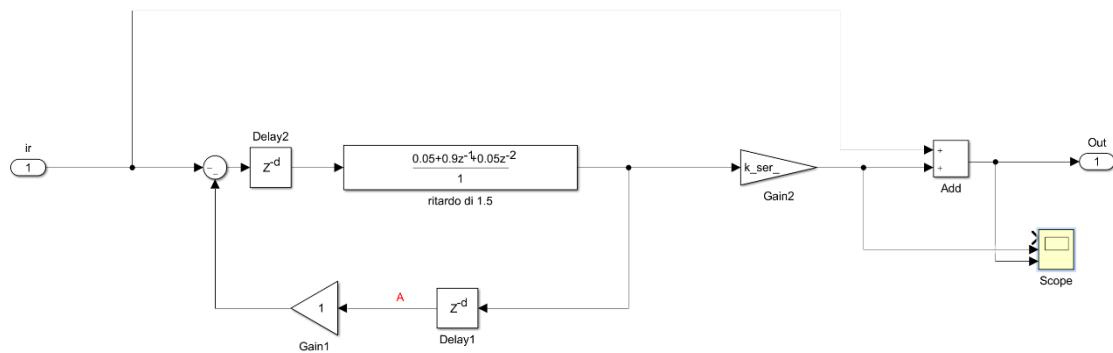


Figura 3.19: Architettura C

Il numero di campioni necessari per l'implementazione dalla configurazione di Fig. 3.19 è la metà rispetto alla configurazione precedente, pari a:

$$M'' = 50.$$

La funzione di trasferimento discreta realizzata da questa configurazione è data da:

$$G_{quarti} = -K_s'' \frac{(0.05 + 0.9z^{-1} + 0.05z^{-2})z^{-M''+1}}{1 + (0.05 + 0.9z^{-1} + 0.05z^{-2})K_i''z^{-M''+1}} z^{Rit}. \quad (3.14)$$

La taratura dei guadagni e del ritardo ha portato ai seguenti valori:

$$K_s'' = 5\Omega \quad K_i'' = 0.99 \quad Rit = 4.$$

Il numero di campioni effettivamente memorizzato vale:

$$d''_{implementato} = M'' + 1 = 51. \quad (3.15)$$

L'uscita del regolatore viene poi portata nel sistema di riferimento stazionario attraverso una matrice di rotazione T che utilizza un angolo $-\theta$.

Facciamo ora riferimento alle architetture di controllo con azione in avanti; l'architettura di controllo contenuta nel sottosistema “buffer intero feedforward” è mostrata in Fig. 3.20.

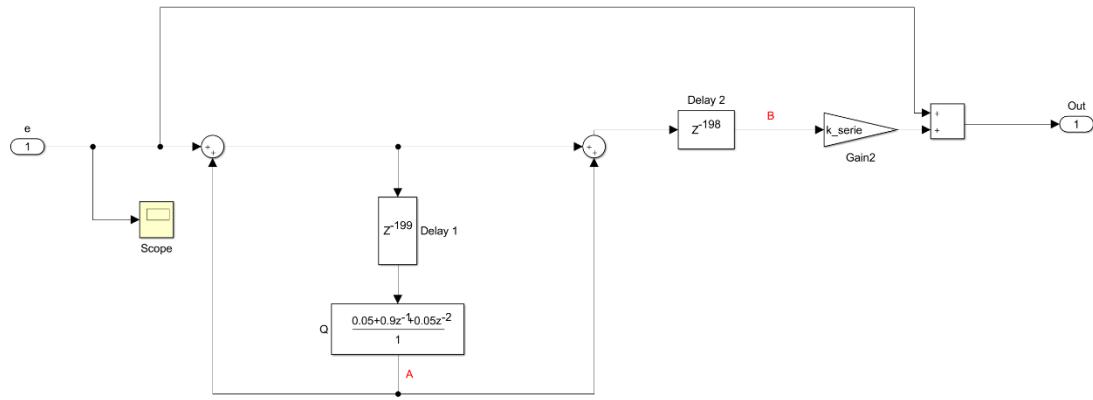


Figura 3.20: Architettura di controllo D.

Questa tipologia di controllo utilizza un doppio buffer di memoria; si avranno quindi un numero di campioni memorizzato molto elevato. Il secondo ritardo, contenuto nel blocco “Delay 2” ha lo scopo di stabilizzare il sistema, introducendo però un ritardo di un tempo intero di ciclo. L’azione del regolatore risulterà quindi più lenta, ma la funzione di trasferimento del sistema ad anello chiuso, ottenuta attraverso questo sistema, permette di ottenere zone a guadagno molto basso tra le risonanze, utili a bloccare eventuali disturbi che si concatenano col segnale di misura.

Il numero di campioni per realizzare il ritardo del segnale di un periodo è pari a:

$$M = 200$$

mentre il numero di campioni memorizzati all’uscita del regolatore è:

$$D = M - \text{Rit.} \quad (3.16)$$

A seconda di quanti cicli di ritardo di inverter si vogliano recuperare è possibile quindi ricavare il valore del ritardo D, attraverso la (3.16).

La funzione di trasferimento dell’architettura di Fig. 3.20 è dalla da:

$$G_{feedforward} = K_s''' \frac{1 + (0.05 + 0.9z^{-1} + 0.05z^{-2})z^{-M+1}}{1 - (0.05 + 0.9z^{-1} + 0.05z^{-2})z^{-M+1}} z^{-D}. \quad (3.17)$$

Analizzando la (3.17) è possibile osservare l'assenza del guadagno di deamplificazione interno; questa configurazione infatti, durante le simulazioni, non ha interferito con il regolatore risonante di prima armonica. La taratura del regolatore ha portato a valori dei guadagni pari a:

$$K_s''' = 2\Omega \quad Rit = 4.$$

I guadagni di questa configurazione sono più bassi rispetto a quelli della configurazione con semplice retroazione, in quanto l'azione in avanti positiva tende a destabilizzare il sistema, come è stato dimostrato nel capitolo 2.

Sviluppando il numeratore della (3.17) è possibile calcolare il numero massimo di campioni necessari per realizzare questa architettura, ottenendo:

$$d'''_{implementato} = M + D + 1 = 399 \quad (3.18)$$

L'architettura di controllo che utilizza un numero di campioni dimezzato rispetto alla configurazione base, contenuta all'interno del sottosistema “buffer metà feedforward” è mostrata in Fig. 3.21.

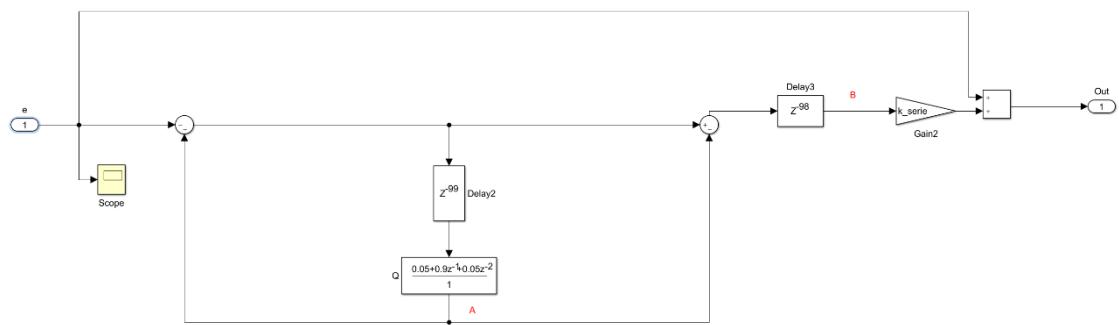


Figura 3.21: Architettura di controllo E.

Per realizzare il ritardo necessario per realizzare la funzione di trasferimento del sistema è necessario memorizzare un numero di punti pari a:

$$M' = 100$$

mentre il numero di campioni memorizzati all'uscita del regolatore e la funzione di trasferimento sono date:

$$D' = M' - Rit = 98. \quad (3.19)$$

$$G_{feedforward} = -K_s''' \frac{1 - (0.05 + 0.9z^{-1} + 0.05z^{-2})z^{-M'+1}}{1 + (0.05 + 0.9z^{-1} + 0.05z^{-2})z^{-M'+1}} z^{-D'}. \quad (3.20)$$

La taratura del regolatore ha portato ai seguenti valori di ritardo e guadagno:

$$K_s'''' = 2\Omega \quad Rit = 4.$$

Il numero di campioni effettivamente memorizzato si può ricavare allo stesso modo, ottenendo:

$$d_{implementato}'''' = M' + D' + 1 = 199. \quad (3.21)$$

L'ultima architettura con feedforward, mostrata in Fig. 3.22, utilizzando un buffer di memoria di grandezza un quarto, rispetto all'architettura D, necessita in ingresso le componenti armoniche della corrente di rete nel sistema di riferimento sincrono alla tensione di rete.

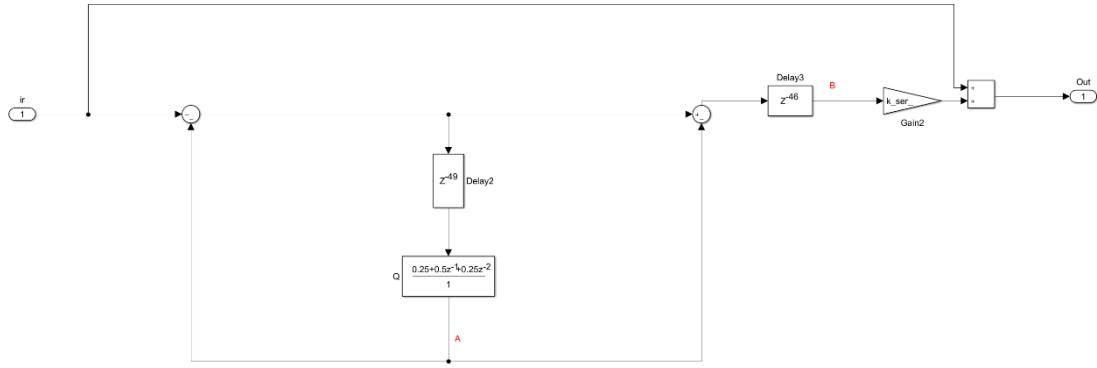


Figura 3.22: Architettura di controllo F.

Il numero di campioni per realizzare il ritardo necessario è pari:

$$M'' = 50$$

Il numero di campioni memorizzati all'uscita del regolatore e la funzione di trasferimento del sistema sono date da:

$$D'' = M'' - Rit = 98. \quad (3.22)$$

$$G_{feedforward} = -K_s'''' \frac{1 - (0.05 + 0.9z^{-1} + 0.05z^{-2})z^{-M''+1}}{1 + (0.05 + 0.9z^{-1} + 0.05z^{-2})z^{-M''+1}} z^{-D''} \quad (3.23)$$

mentre i guadagni e il numero di campioni effettivamente memorizzato dal sistema valgono:

$$K_s'''' = 2\Omega \quad Rit = 2$$

$$d_{implementato}'''' = M'' + D'' + 1 = 99.$$

3.2 Rete

Il modello che simula il comportamento della rete è contenuto all'interno del blocco “Rete” di colore arancio, ben visibile in Fig. 3.1. Il suo contenuto è mostrato in Fig. 3.14.

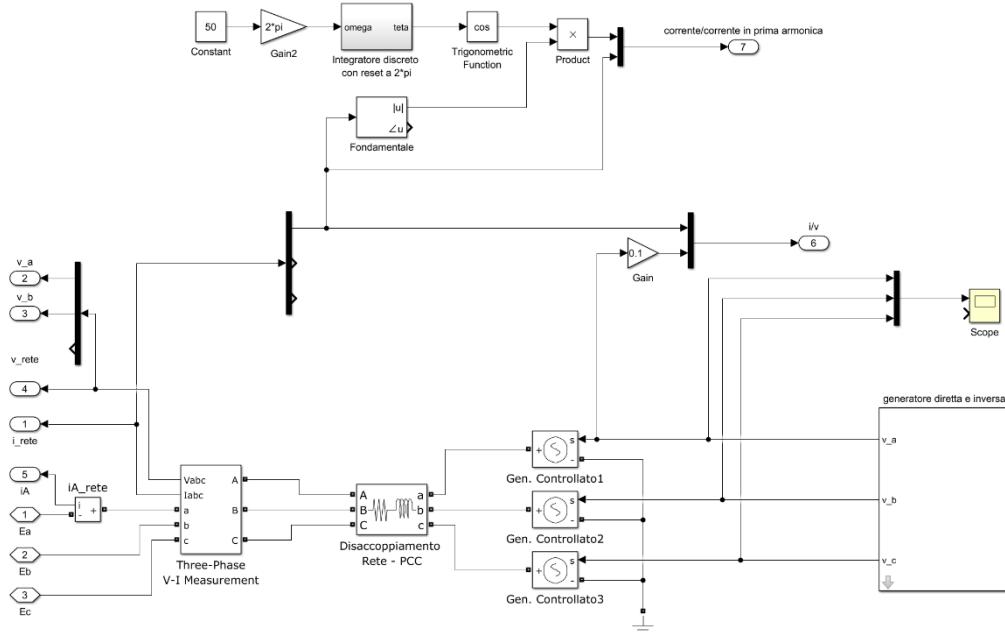


Figura 3.23: Sottosistema Rete.

La generazione delle tensioni di rete è effettuata da uno script Matlab contenuto all'interno del sottosistema “generatore diretta e inversa”. Il sottosistema genera una terna di tensioni, la cui componente fondamentale ha valore di picco pari a 150V linea-linea. Per simulare l'effetto del Variac, il valore massimo della tensione sale attraverso una rampa, raggiungendo il valore finale in 0,1s. Attraverso una maschera è possibile modificare il valore della componente inversa della tensione; il suo valore, a seguito di misure sperimentali, è stato fissato allo 0,1% della fondamentale. L'impedenza di corto circuito della rete – di valore molto elevato per simulare una rete debole – è rappresentata dal blocco “Disaccoppiamento Rete – PCC”.

I valori dell'induttanza e della resistenza sono:

$$L_r = 4 \text{ mH}$$

$$R_r = 100 \text{ m}\Omega .$$

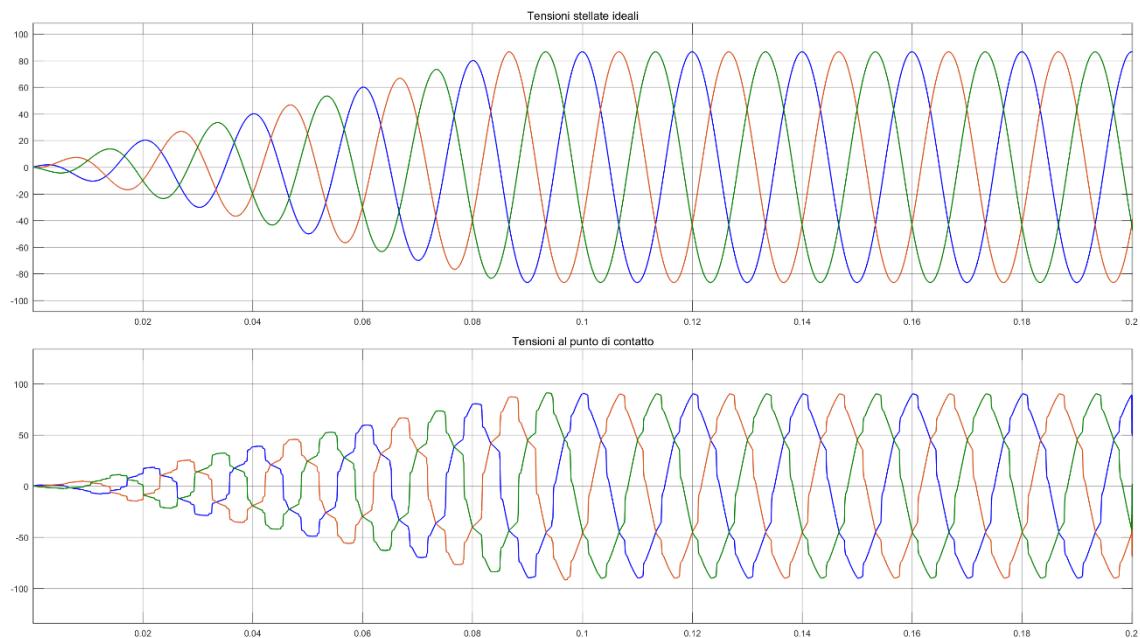


Figura 3.24: Andamento temporale della tensione ideale di rete e della tensione al punto di consegna.

In Fig. 3.24 è mostrato l'andamento temporale nei primi 0.2 secondi di due grandezze: la prima è la terna trifase generata dal sottosistema “generatore diretta inversa”, mentre la seconda è la tensione al punto di consegna, misurata attraverso il blocco “Three-Phase V-I Measurement”. Da questi grafici è facile vedere l'effetto del carico distorcente sulle tensioni al punto di consegna: le componenti armoniche, prodotte dal carico, producono cadute che, concatenandosi con l'impedenza di rete, distorcono la tensione.

3.3 Carico non Lineare

Il carico distorcente è rappresentato in Fig. 3.1 attraverso il sottosistema “Carico non lineare” di colore verde; esso è collegato al PCC attraverso una impedenza di disaccoppiamento di valore:

$$L_l = 2,36 \text{ mH}$$

$$R_l = 26 \text{ m}\Omega$$

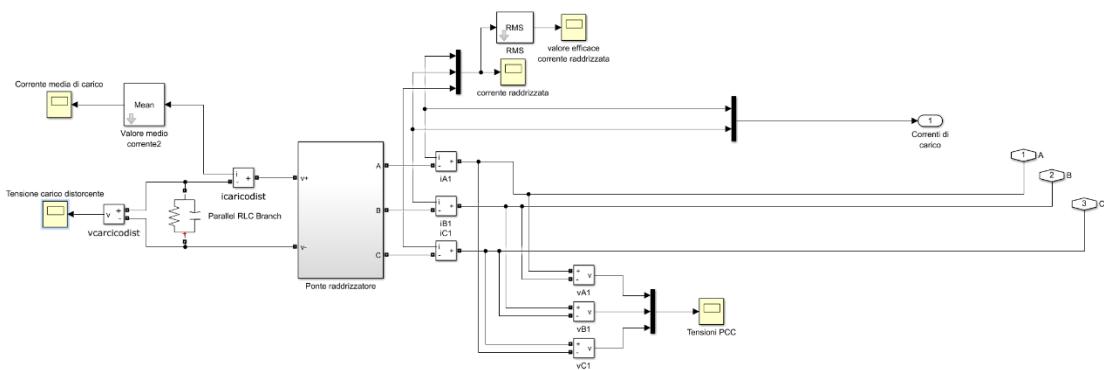


Figura 3.25: Carico non lineare.

La Fig. 3.25 mostra l’interno del carico non lineare; il raddrizzatore trifase a ponte intero è implementato attraverso il blocco “Ponte raddrizzatore”, rappresentato in Fig. 3.26, ed alimenta un carico ohmico capacitivo.

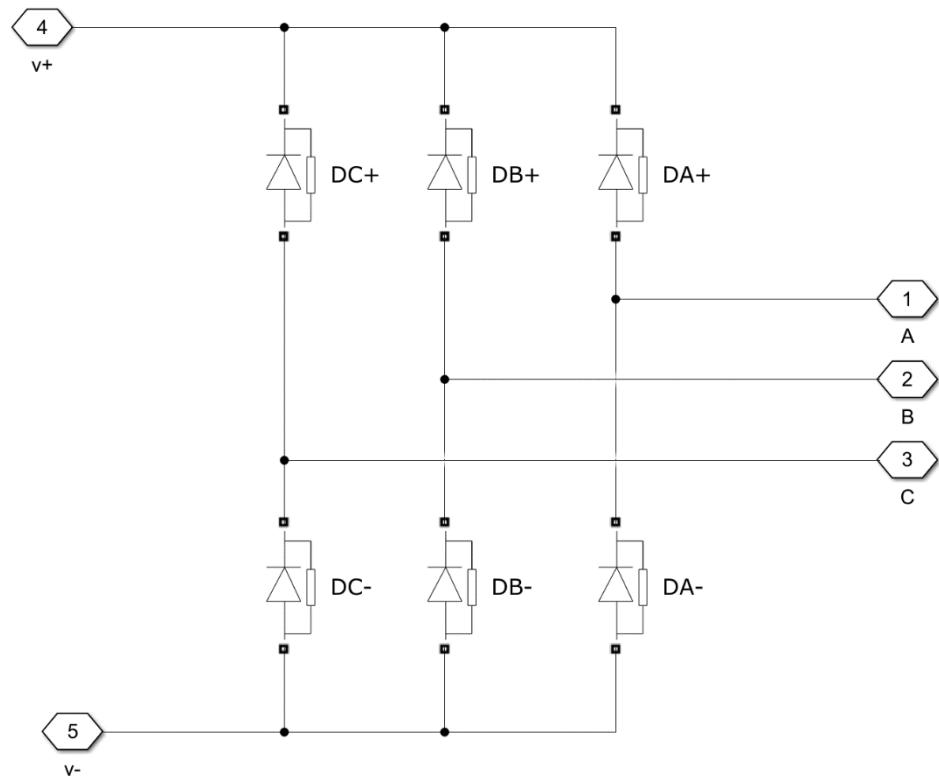


Figura 3.26: Ponte raddrizzatore.

La tensione in uscita dal ponte può essere ricavata, in modo approssimato, attraverso la relazione:

$$V_{DC} = \frac{3\sqrt{2}}{\pi} V_{LL_eff} \approx 143 V \quad (3.24)$$

Questa relazione però non tiene conto delle cadute sui diodi e quindi il valore ottenuto in simulazione risulta inferiore.

3.4 Inverter

Torniamo allo schema di Fig. 3.1; il blocco di colore azzurro “Inverter” simula il comportamento del convertitore.

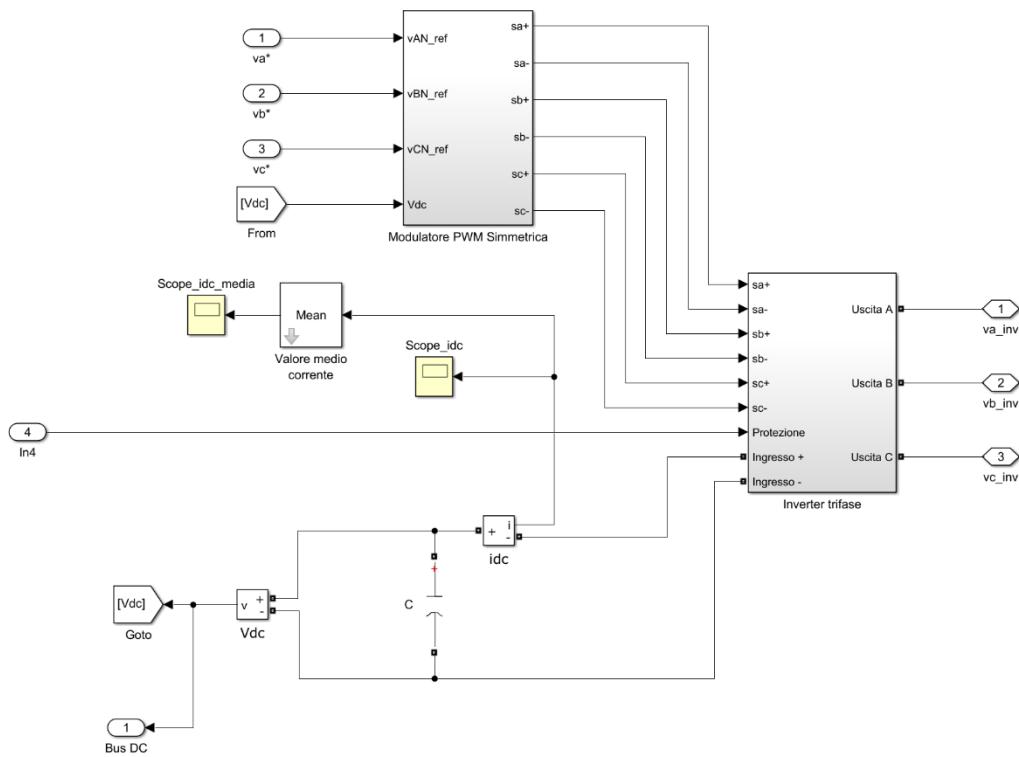


Figura 3.27: Blocco inverter.

Il blocco riceve in ingresso 4 segnali:

- Le 3 tensioni di polo di riferimento.
- Il segnale indicato con l’etichetta “Protezione” che proviene da un blocco esterno. Il segnale è gestito in modo tale che esso assuma valore alto – corrispondente all’abilitazione degli IGBT – quando la tensione del bus DC rimane compresa tra 70V e 250V (condizione sempre soddisfatta nel caso di sistema di controllo stabile) e dopo 0.2s, in modo tale da permettere

al condensatore di caricarsi alla tensione di riferimento. Lo schema che genera il segnale protezione è indicato in Fig. 3.20.

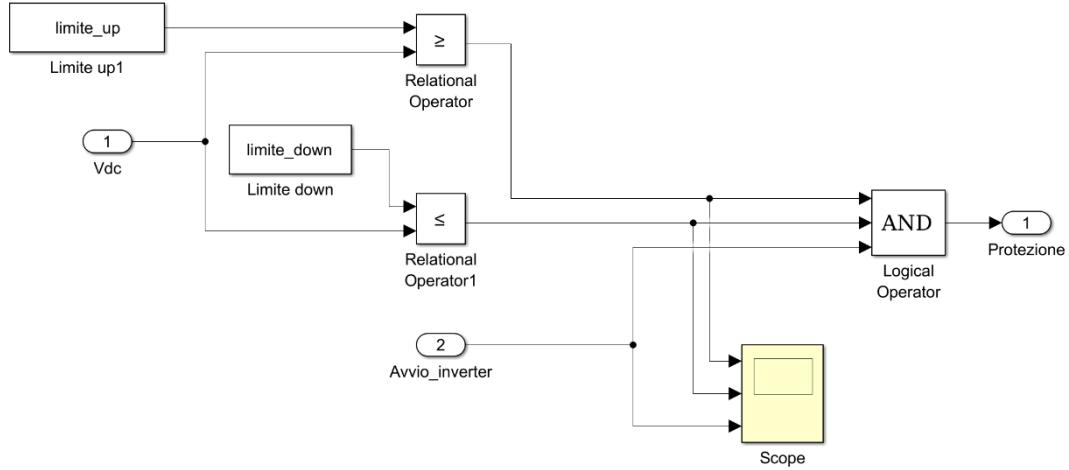


Figura 3.28: Blocco “Protezione”.

Il calcolo dei segnali di gate, partendo dai segnali di riferimento, viene effettuato all’interno del blocco “Modulatore PWM simmetrica”. Il calcolo delle modulanti è eseguito, nel blocco di Fig. 3.20, partendo dalle relazioni indicate di seguito:

$$m_a = m_0 + \frac{1}{V_{DC}} v_{AN,ref} \quad (3.25a)$$

$$m_b = m_0 + \frac{1}{V_{DC}} v_{BN,ref} \quad (3.25b)$$

$$m_c = m_0 + \frac{1}{V_{DC}} v_{CN,ref} \quad (3.25c)$$

In queste relazioni $v_{AN,ref}$, $v_{BN,ref}$, $v_{CN,ref}$ rappresentano le tensioni di polo di riferimento calcolate dal sistema di controllo, mentre il valore costante m_0 rappresenta un grado di libertà che varia in base alla tecnica di modulazione. L’effetto di questa componente omopolare è traslare in modo solidale il valore di tutte e 3 le modulanti. Nella

modulazione PWM simmetrica a 7 intervalli m_0 è calcolato attraverso la relazione seguente:

$$m_0 = \frac{1}{2} \left[1 - \min \left(\frac{1}{V_{DC}} v_{AN,ref}, \frac{1}{V_{DC}} v_{BN,ref}, \frac{1}{V_{DC}} v_{CN,ref} \right) \right. \\ \left. - \max \left(\frac{1}{V_{DC}} v_{AN,ref}, \frac{1}{V_{DC}} v_{BN,ref}, \frac{1}{V_{DC}} v_{CN,ref} \right) \right]. \quad (3.26)$$

Questa tecnica di modulazione permette di alimentare un carico trifase attraverso un vettore di spazio il cui valor medio coincide, nel periodo di commutazione, con quello desiderato. Una volta calcolate le tre modulanti, esse vengono confrontate con la portante triangolare, generata attraverso l'integrazione del segnale generato dal blocco "repeating sequence stairs". Le differenze tra le modulanti, mantenute costanti in ogni ciclo T_c attraverso i blocchi "Zero-Order Hold" e le portanti vengono valutate nel loro segno: se sono positive il segnale di gate della rispettiva fase assume valore alto, altrimenti assume valore basso.

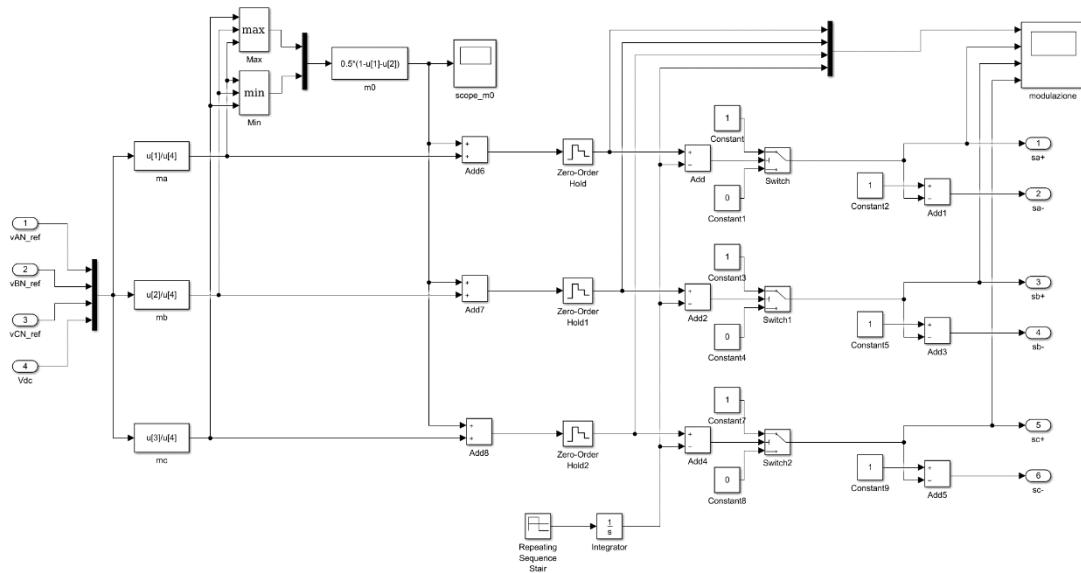


Figura 3.29: Modulatore PWM a sette intervalli.

I segnali di gate appena generati, e i loro coniugati, vengono quindi utilizzati per pilotare le tre tensioni di polo in uscita dal blocco "Inverter trifase". La tensione dello stadio in

continua del convertitore influenza in modo significativo il funzionamento del sistema. Il modulo massimo del vettore di spazio della tensione, utilizzando una modulazione di tipo PWM, è legato alla tensione del bus DC attraverso la relazione:

$$|\bar{v}_0|_{max} = \frac{V_{dc}}{\sqrt{3}}. \quad (3.27)$$

Il comportamento di questa tensione dipende fortemente dalla taratura del regolatore che verrà quindi approfondita nel seguito.

3.5 Taratura dei regolatori

Si affronta ora la taratura del regolatore di prima armonica, diretta e inversa, che determina la componente della tensione atta a rifasare il carico e controllare la tensione del bus DC.

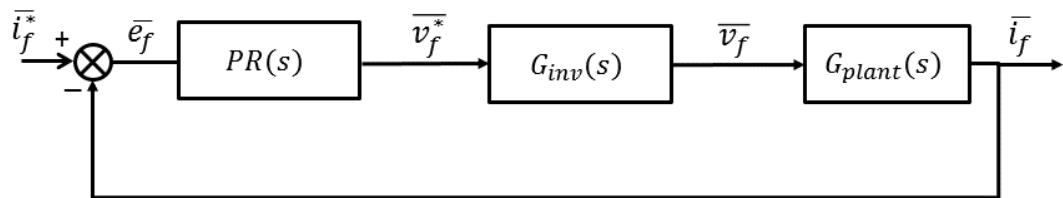


Figura 3.30: Schema a blocchi dell'anello di corrente.

Come descritto nel capitolo 2, è possibile tarare il regolatore risonante come un semplice regolatore PI, ricordando che un regolatore risonante è equivalente a 2 regolatori PI nel sistema di riferimento stazionario e che quindi ha guadagni doppi rispetto a quelli ricavati. Per la taratura si è utilizzato il tool di Matlab “Sisotool”, che permette, attraverso una interfaccia grafica, di verificare l’effetto della modifica dei parametri del regolatore sulla funzione di trasferimento ad anello chiuso ed anello aperto e la risposta al gradino.

La funzione di trasferimento della catena diretta dell'anello di corrente è data dalla relazione:

$$G_{corrente} = \left(2k_p + 2k_i \frac{s}{s^2 + \omega_0^2} \right) \frac{1}{1 + \frac{3}{2} T_c s} \frac{1}{R_{dis} + sL_{dis}} \quad (3.28)$$

Come già descritto nel capitolo due, l'implementazione dello smorzamento nella funzione di trasferimento del regolatore risonante diventa importante con l'aumentare della frequenza di risonanza; in questa schematizzazione si è quindi considerato un risonante “puro”, mentre si è approssimato il ritardo dell'inverter attraverso la sua approssimante di Padé del primo ordine, considerando l'inverter come un ritardo di un ciclo e mezzo. L'obiettivo della taratura è ottenere un sistema che presenti le seguenti caratteristiche:

- La corrente deve avere sovraelongazione trascurabile ed avere una dinamica sufficientemente veloce.
- L'errore a regime deve essere nullo.

La Fig. 3.31 mostra il comportamento della funzione di trasferimento $G_{corrente}$.

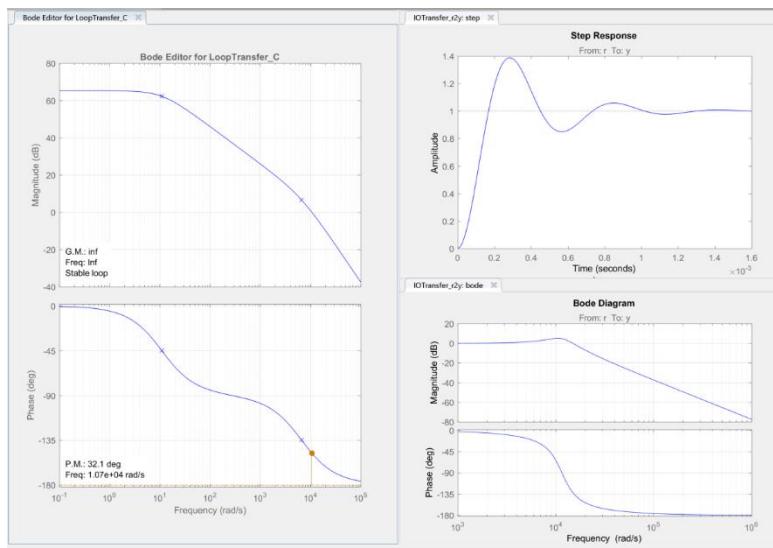


Figura 3.31: Diagrammi di bode e risposta al gradino del sistema senza regolatore.

Per fini pratici è possibile manipolare la funzione di trasferimento del regolatore in modo tale da facilitare la regolazione del sistema. Si ottiene:

$$G_{PI} = k_P + \frac{k_I}{s} = \frac{k_I}{s} \left(1 + \frac{k_P}{k_I} s \right) = \frac{k_I}{s} (1 + \tau_{PI}s). \quad (3.29)$$

Inizialmente si suppone il regolatore come un guadagno puro, di valore unitario, ottenendo i diagrammi di Fig. 3.31. Attraverso l'interfaccia grafica del software è possibile modificare la FDT del regolatore a piacimento, vedendo gli effetti delle modifiche sul comportamento del sistema ad anello chiuso e ad anello aperto – tasto destro del mouse, Edit Compensator, Add Pole/Zero. Inizialmente si aggiunge un polo nell'origine, in modo da garantire che l'errore a regime nella risposta a regime sia nullo, poi si inserisce uno zero, in cancellazione del polo fisico del sistema. A questo punto rimane da decidere il valore del guadagno integrale, che viene alzato fino ad ottenere un margine di fase di circa 75° .

In Fig. 3.32 si mostra il comportamento della funzione di trasferimento $G_{corrente}$ chiusa in retroazione con il regolatore progettato, mentre in Fig. 3.33 si mostra la risposta dello stesso sistema al gradino unitario.

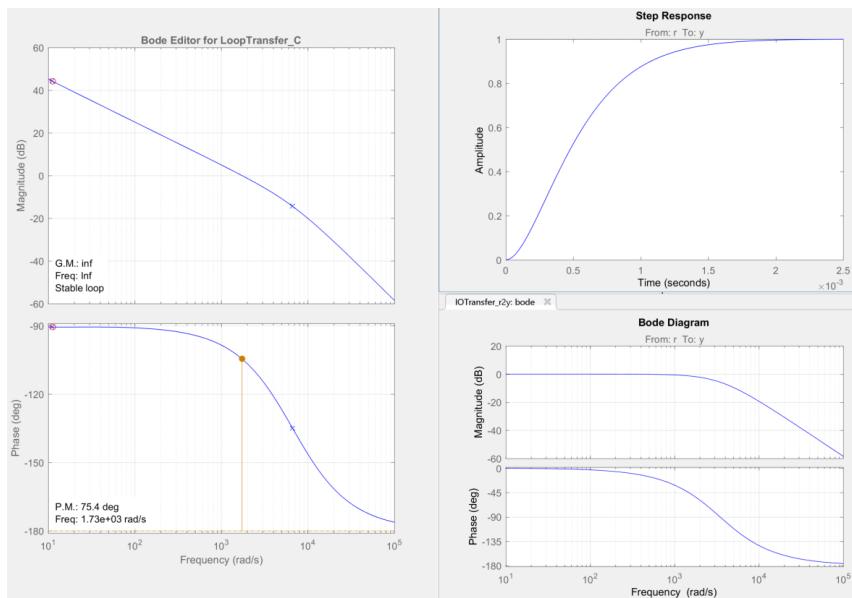


Figura 3.32: Diagrammi di bode e risposta al gradino del sistema con regolatore.

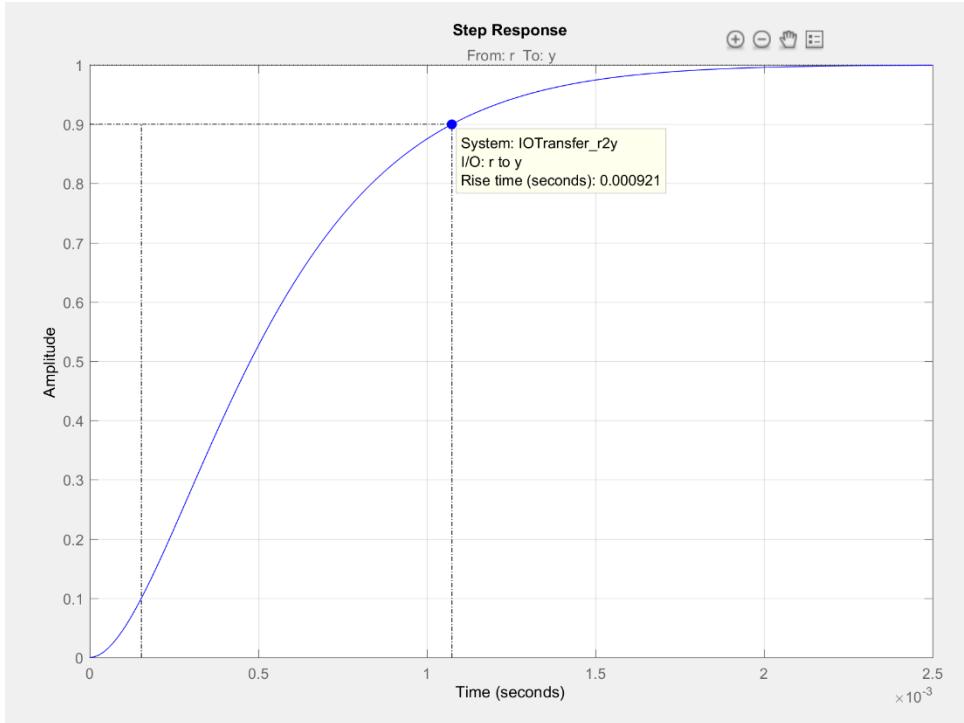


Figura 3.33: Risposta al gradino del sistema ad anello chiuso; nel dettaglio si riporta il tempo di salita del sistema, pari a 0.921ms.

L’anello di corrente, tarato in questo modo, presenta una frequenza critica pari a 1730 rad/s.

Si analizza ora la taratura dell’anello di controllo della tensione del bus DC, mostrato in figura (3.34).

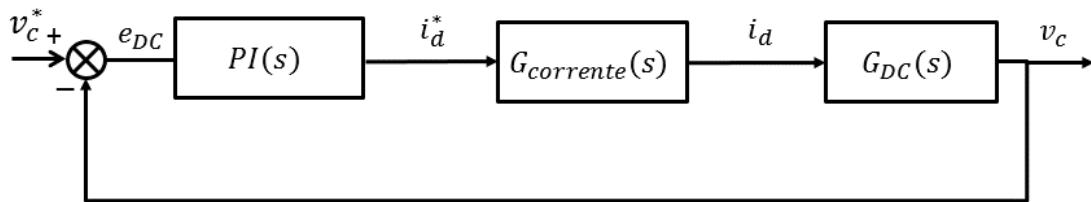


Figura 3.34: Schema di controllo dell’anello di tensione.

Per la taratura del regolatore è necessario conoscere la funzione di trasferimento tra la corrente di asse d e la tensione di bus DC. Scrivendo il bilancio di potenza tra l’inverter e la rete, si ricava:

$$\frac{3}{2}v_r i_{fd} - \frac{3}{2}R i_{fd}^2 = cv_c \frac{dv_c}{dt}. \quad (3.30)$$

Si può sviluppare l'equazione utilizzando l'approssimazione alle piccole variazioni del sistema; le grandezze diventano:

$$i_{fd} = i_{fd,nom} + \Delta i_{fd} \quad (3.31)$$

$$v_c = v_{c,nom} + \Delta v_c \quad (3.32)$$

$$v_r = v_{r,nom}. \quad (3.33)$$

Le grandezze diventano la somma del loro valore nominale e la loro variazione, ad eccezione della tensione di rete, che viene considerata costante in questa analisi; inserendo le (3.9), (3.10), (3.11) all'interno della (3.8) si ottiene:

$$\begin{aligned} \frac{3}{2}v_{r,nom}(i_{fd,nom} + \Delta i_{fd}) - \frac{3}{2}R(i_{fd,nom}^2 + \Delta i_{fd}^2 + 2\Delta i_{fd}i_{fd,nom}) \\ = c(v_{c,nom} + \Delta v_c) \frac{d\Delta v_c}{dt}. \end{aligned} \quad (3.34)$$

Attraverso la relazione di equilibrio (3.14) e trascurando le variazioni di secondo ordine è possibile ottenere:

$$\frac{3}{2}v_{r,nom} - \frac{3}{2}R i_{fd,nom}^2 = 0 \quad (3.35)$$

$$\frac{3}{2}v_{r,nom}\Delta i_{fd} - 3R\Delta i_{fd}i_{fd,nom} = cv_{c,nom} \frac{d\Delta v_c}{dt}. \quad (3.36)$$

Dalla (3.14) è possibile ricavare la funzione di trasferimento cercata:

$$G_{DC} = \frac{\Delta V_c(s)}{\Delta I_{fd}(s)} = \frac{3}{2} \frac{v_{r,nom}}{cv_{c,nom}s} \quad (3.37)$$

Sia ω_c la pulsazione critica dell'anello di corrente appena tarato; è possibile approssimare la catena diretta dell'anello di tensione come:

$$G_{anello_{DC}} = \frac{1}{1 + \frac{s}{\omega_c}} \frac{1}{1 + \frac{3}{2} T_c s} \frac{3}{2} c v_{c,nom} s \quad (3.38)$$

Per assicurare errore al gradino nullo a regime per un sistema come quello appena descritto sarebbe sufficiente un regolatore di tipo proporzionale, ma le perdite sui componenti di disaccoppiamento e sui transistor dell'inverter non permetterebbero di raggiungere tale obiettivo. Allo scopo di ottenere il risultato voluto si aggiunge quindi un polo nell'origine, con un guadagno comunque molto basso data la dimensione limitata delle perdite trascurate – non trascurare le perdite significa che il polo della funzione di trasferimento G_{DC} presenta un polo non più nell'origine.

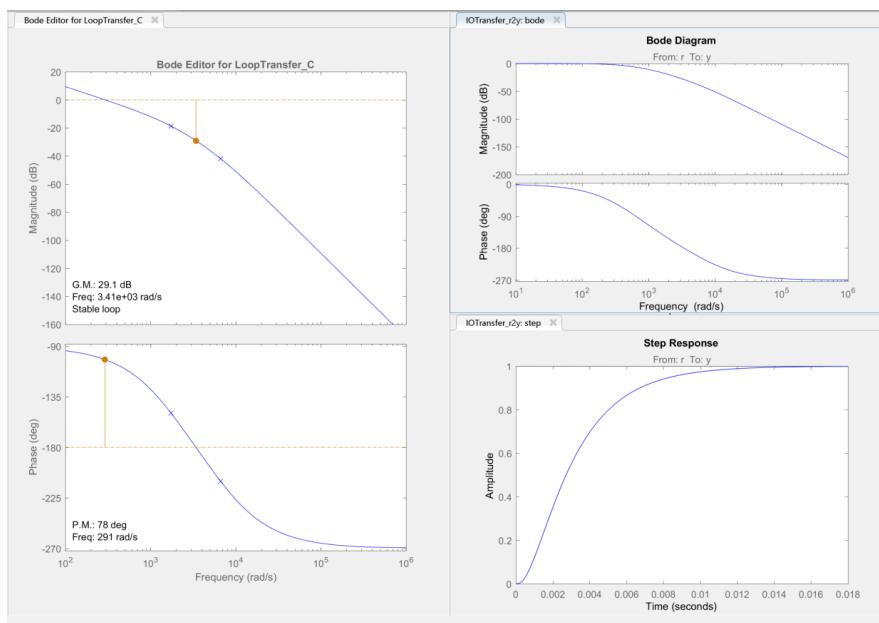


Figura 3.35: Diagrammi di Bode relativi all'anello di tensione prima della regolazione.

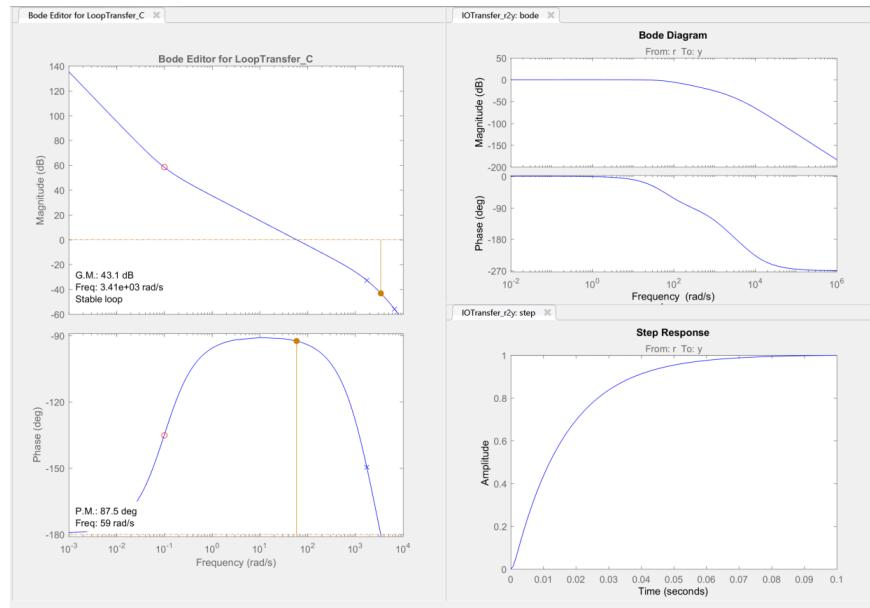


Figura 3.36: Anello di tensione regolato.

La taratura del regolatore ha portato ai seguenti valori per i guadagni:

$$k_{P_{DC}} = 0.2 \Omega^{-1}$$

$$k_{I_{DC}} = 0.02 \Omega^{-1}/s$$

Passiamo ora alla taratura delle architetture del regolatore ripetitivo. Come descritto precedentemente, le architetture sono divise in due categorie, in base alla presenza o meno dell’azione in avanti.

I parametri sui quali è possibile agire sono due:

- Il numero di cicli di anticipo introdotti.
- Il valore del guadagno serie del regolatore.

In linea di principio, introdurre cicli di anticipo ha un effetto positivo sul funzionamento del regolatore, in quanto, oltre a compensare il ciclo e mezzo di ritardo introdotto dall’inverter, introducono un anticipo di fase, di cui è possibile calcolare il valore attraverso la (3.39), che migliora il margine di fase dell’architettura ad ogni frequenza di risonanza.

$$\alpha_{anticipo} = nT_c h \omega_1 \quad (3.39)$$

Nella (3.39) nT_c sono i cicli di anticipo scelti, h rappresenta l'ordine armonico e ω_1 rappresenta la pulsazione fondamentale a 50 Hz. L'effetto di tale anticipo è quindi linearmente crescente con l'ordine armonico. Un valore troppo elevato di cicli di compensazione porta però a valori del guadagno serie oscillanti, dato che la (2.40) e la (2.59) sono proporzionali a funzioni trigonometriche che hanno per argomento il numero di cicli di compensazione. Ciò complica la taratura del regolatore. Le varie architetture hanno una banda compresa tra 250 Hz e 950 Hz – dalla quinta alla diciannovesima armonica – e quindi tutti gli andamenti del guadagno serie vengono mostrati in questa banda. Gli andamenti, per quattro cicli di compensazione, sono stati ricavati attraverso l'analisi teorica affrontata nel capitolo 2 e in particolare facendo riferimento alle (2.40) e (2.59).

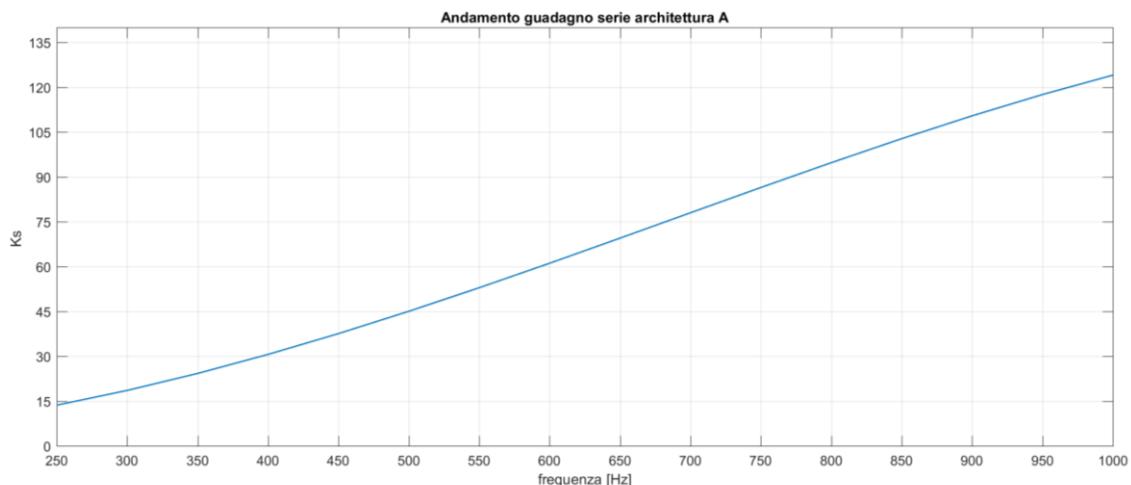


Figura 3.37: Andamento del guadagno serie nelle architetture in retroazione.

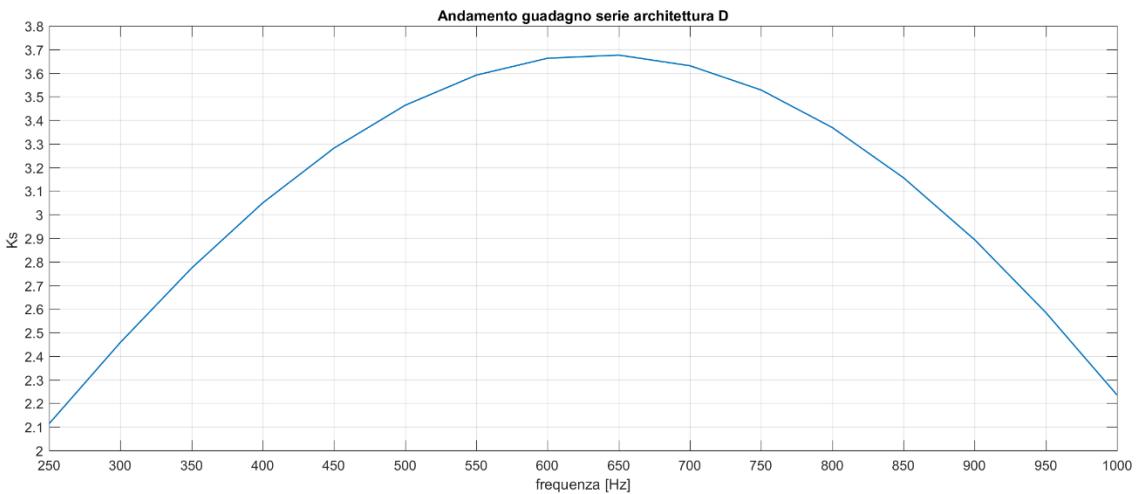


Figura 3.38: Andamento del guadagno serie nelle architetture in con feedforward.

Per la taratura delle architetture A, B, C si è scelto di utilizzare valori inferiori, dato che il sistema riusciva comunque ad abbattere efficacemente le armoniche di corrente, mentre per le architetture D, E, F, si è scelto di utilizzare valori inferiori a quelli mostrati nella 3.38. La scelta dei parametri ha portato a:

$$K_{s_{retroaz}} = 5\Omega$$

$$n_{retroaz} = 4$$

$$K_{s_{feedforward}} = 2\Omega$$

$$n_{feedforward} = 4$$

che sono i valori riportati precedentemente.

3.6 Risultati delle simulazioni

Nel seguito vengono riportati i risultati delle simulazioni effettuate col software Simulink. La durata delle simulazioni è stata impostata a 2 secondi, più che sufficienti affinché il sistema di porti in condizioni di regime. In Fig. 3.39 viene mostrato l'andamento delle correnti assorbite dal ponte raddrizzatore assieme a una delle tensioni stellate di rete. Nelle immagini nelle quali vi è una sovrapposizione della tensione di una fase della prima armonica della tensione di rete e delle 3 correnti di fase si utilizza una scala diversa tra le grandezze; le correnti sono riportate in scala 1:1 mentre la tensione è riportata in scala 1:20.

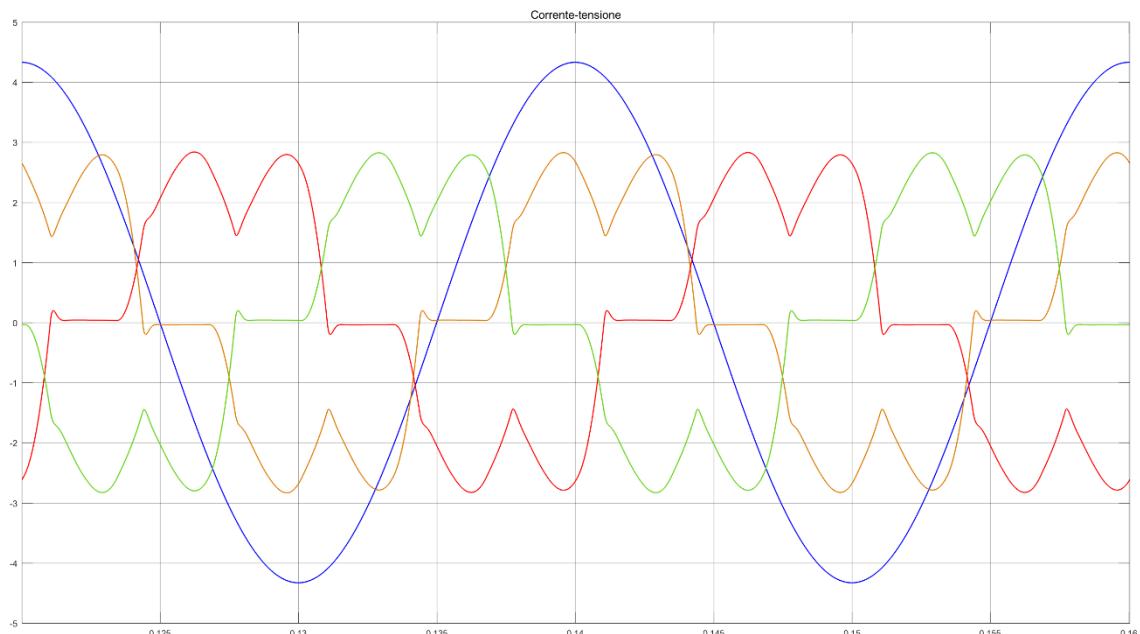


Figura 3.39: Correnti di carico e tensione stellata di rete quando l'inverter non è attivo.

E' possibile notare che l'andamento delle correnti di carico, quando nessun controllo è attivo, è quello tipico di un ponte raddrizzatore. La corrente in questione presenta uno spettro fortemente inquinato, come mostrato in Fig. 3.40.

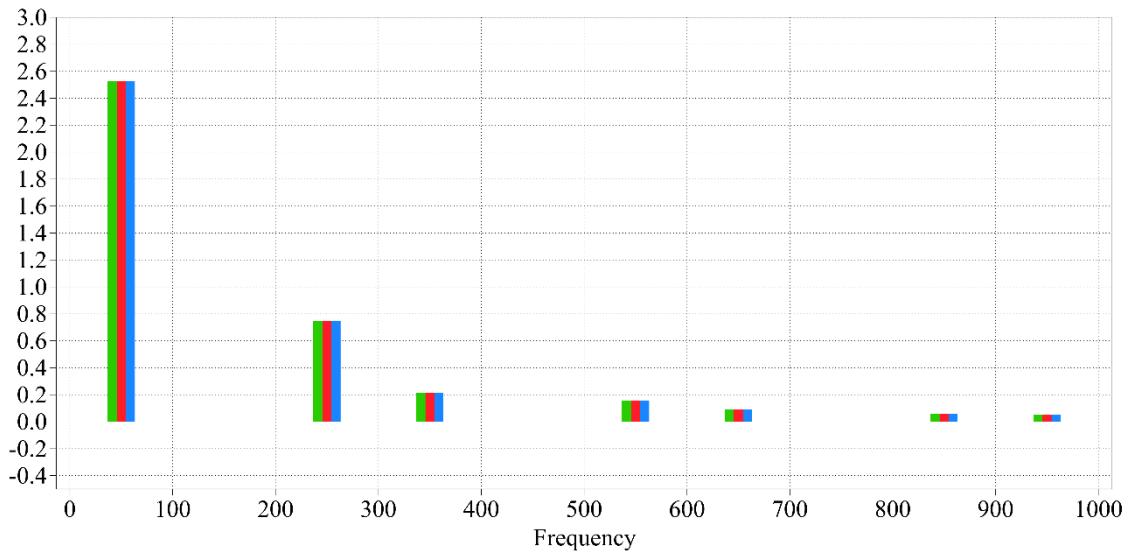


Figura 3.40: Spettro delle correnti di rete prima dell'avvio dell'inverter.

Come mostra la Fig. 3.40 lo spettro delle correnti di rete, acquisito attraverso il software PLECS – Fourier spectrum, File, Export, as Bitmap –, prima dell'avvio dell'inverter, presenta numerose armoniche, tutte di ordine dispari, coerentemente con le ipotesi teoriche. In tutti i diagrammi vengono mostrati i contenuti armonici fino al 19° ordine; oltre tale armonica l'ampiezza risulta trascurabile rispetto alla fondamentale. L'obiettivo del controllo sarà eliminare tutte le componenti armoniche, ad eccezione della prima. In Fig. 3.41 viene mostrato il transitorio che subiscono le correnti di rete non appena entra in azione il controllo della tensione del bus DC.

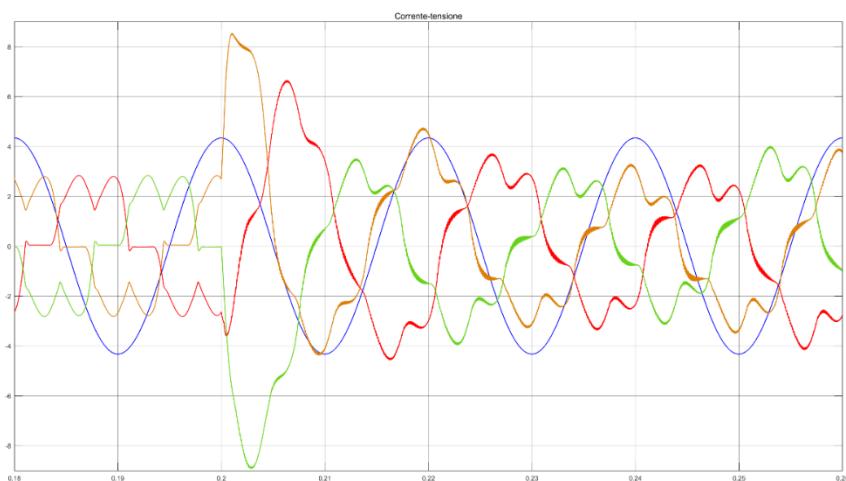


Figura 3.41: Transitorio avvio controllo risonante.

Attraverso la Fig. 3.42 è possibile notare come la forma d'onda delle correnti di rete, dopo l'avvio del controllo ripetitivo, non abbia subito un miglioramento. Nel seguito vengono mostrate le forme d'onda di una fase della corrente di rete, di inverter e di carico e l'andamento della tensione del bus DC.

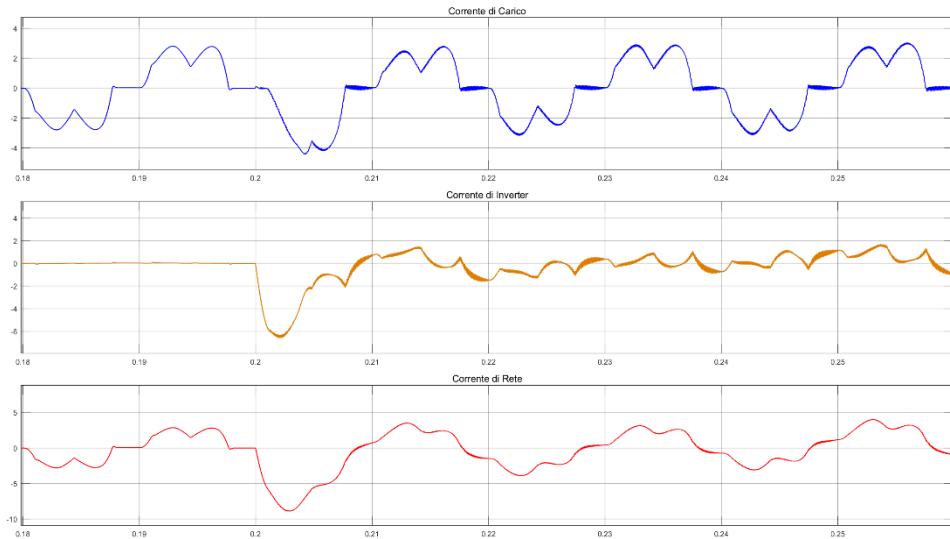


Figura 3.42: Fase A delle correnti durante il transitorio.

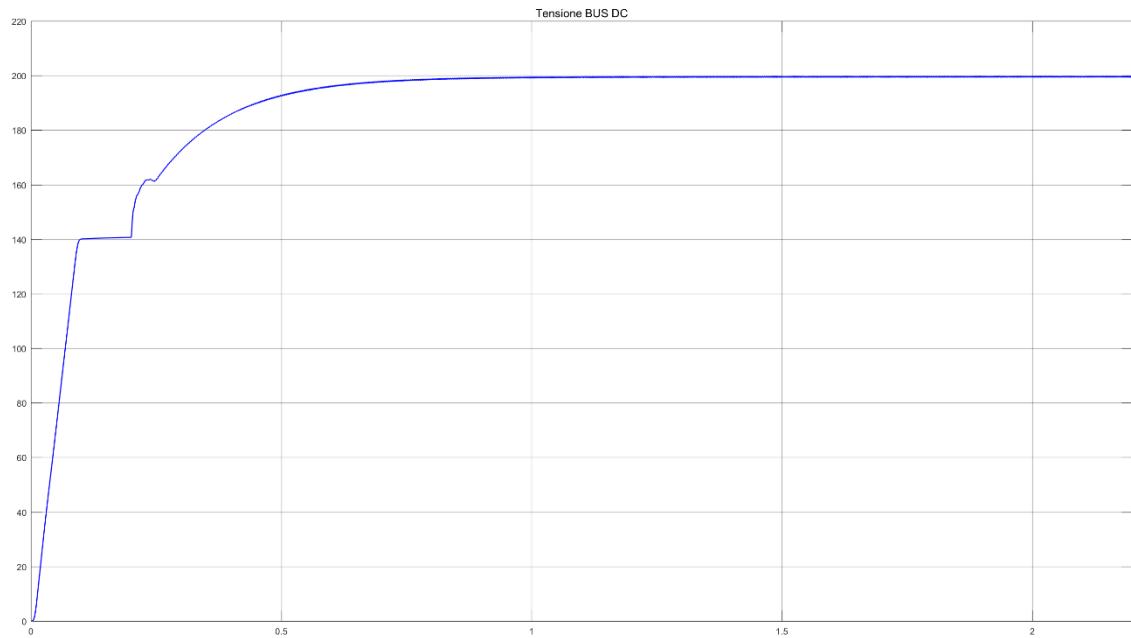


Figura 3.43: Tensione del BUS DC.

Vengono ora confrontati i risultati ottenuti da ogni architettura, con i relativi spettri e THD. E' bene specificare che ogni immagine è stata acquisita con la stessa scala e la medesima finestra temporale, grandezze che verranno descritte nella trattazione della architettura A.

- Architettura A

In Fig. 3.44 viene mostrato il transitorio di accensione del controllo ripetitivo.

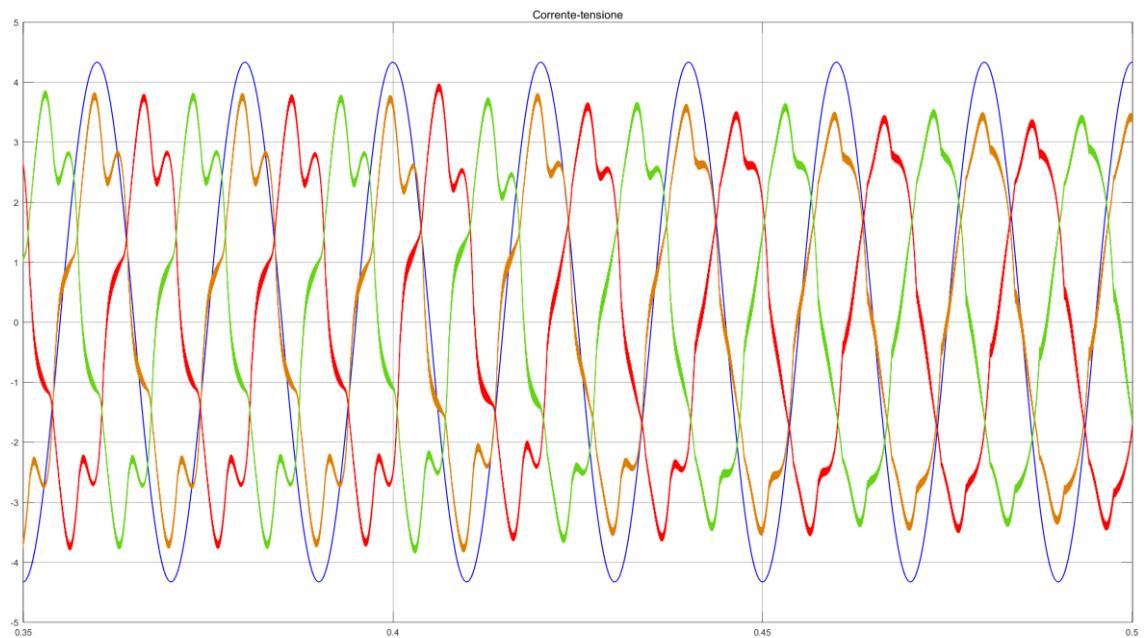


Figura 3.44: Transitorio di avvio dell'architettura A di controllo ripetitivo.

Vengono in seguito riportati l'andamento temporale delle 3 correnti di rete e i relativi spettri e THD. Tutti i grafici sono stati acquisiti 2 secondi dopo l'avvio della simulazione, e quindi 1.6 secondi dopo l'avvio del controllo ripetitivo, tempo oltre il quale è possibile ritenere estinto il transitorio.

Simulazione del Filtro Attivo

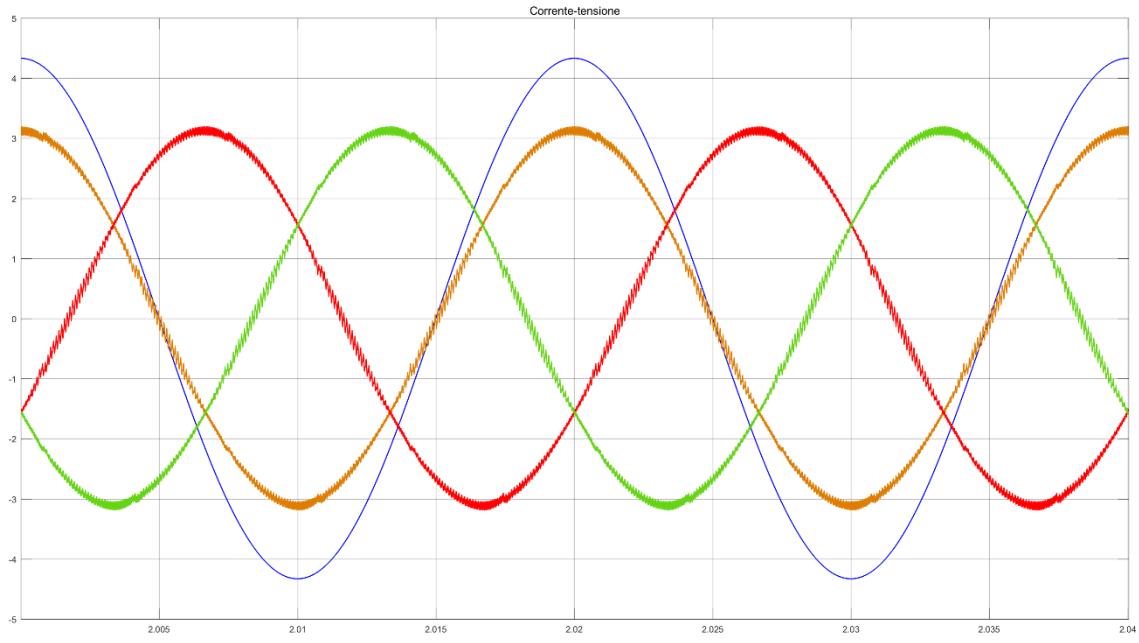


Figura 3.45: Andamento temporale delle 3 correnti di rete e della fase A della tensione utilizzando l'architettura di controllo ripetitivo A a transitorio esaurito.

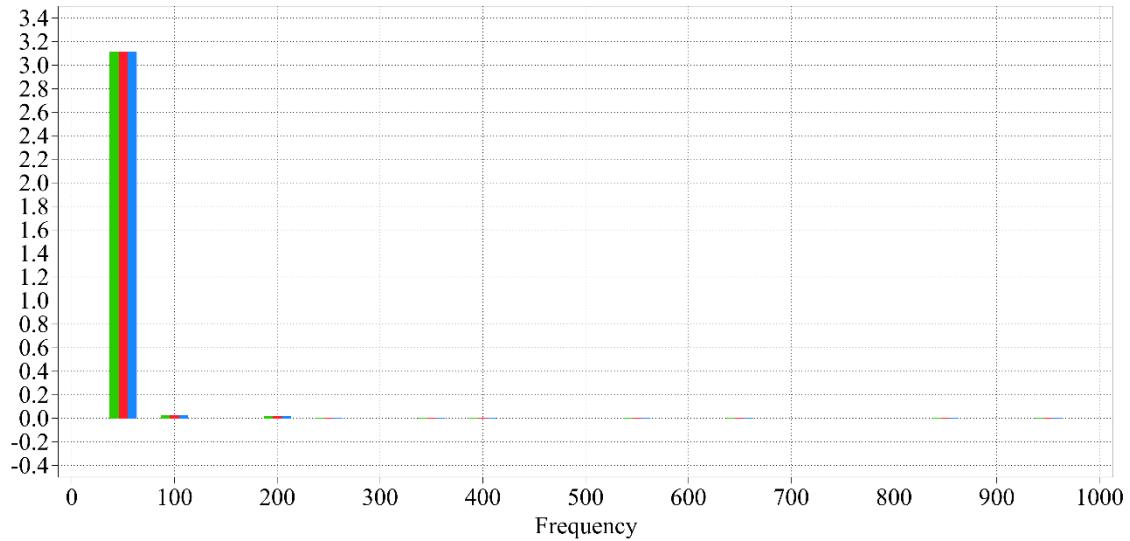


Figura 3.46: Spettro delle correnti di rete di Fig. 3.45.

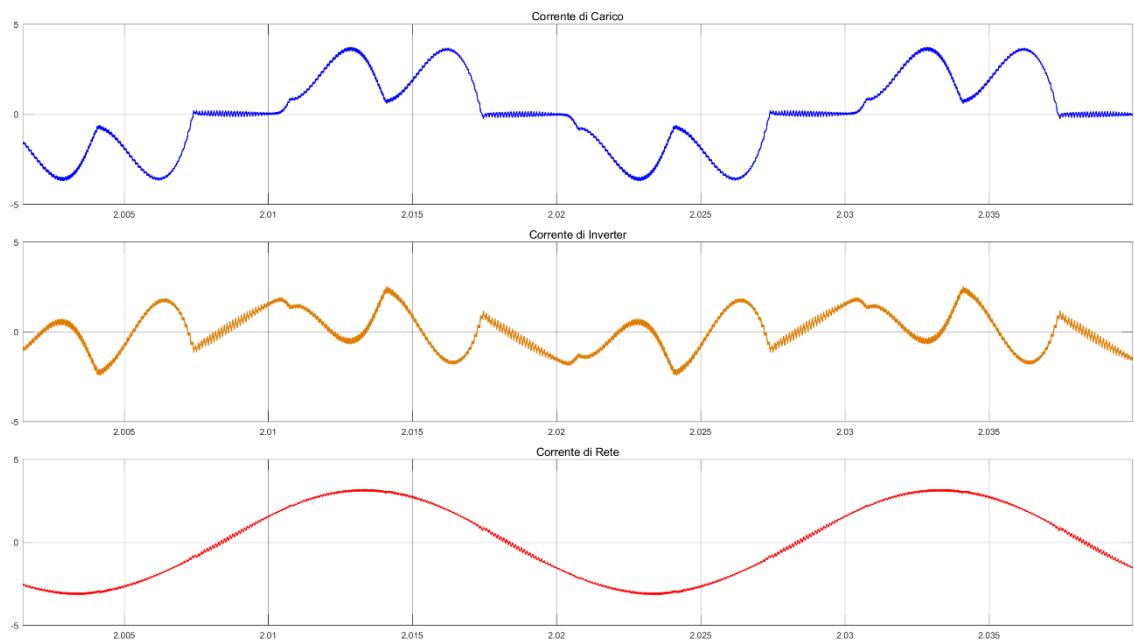


Figura 3.47: Andamento temporale di una fase delle correnti di carico, di inverter e di rete a transitorio esaurito, utilizzando l'architettura A di controllo.

- Architettura B

Nel seguito vengono riportati i risultati ottenuti da queste architetture di controllo.

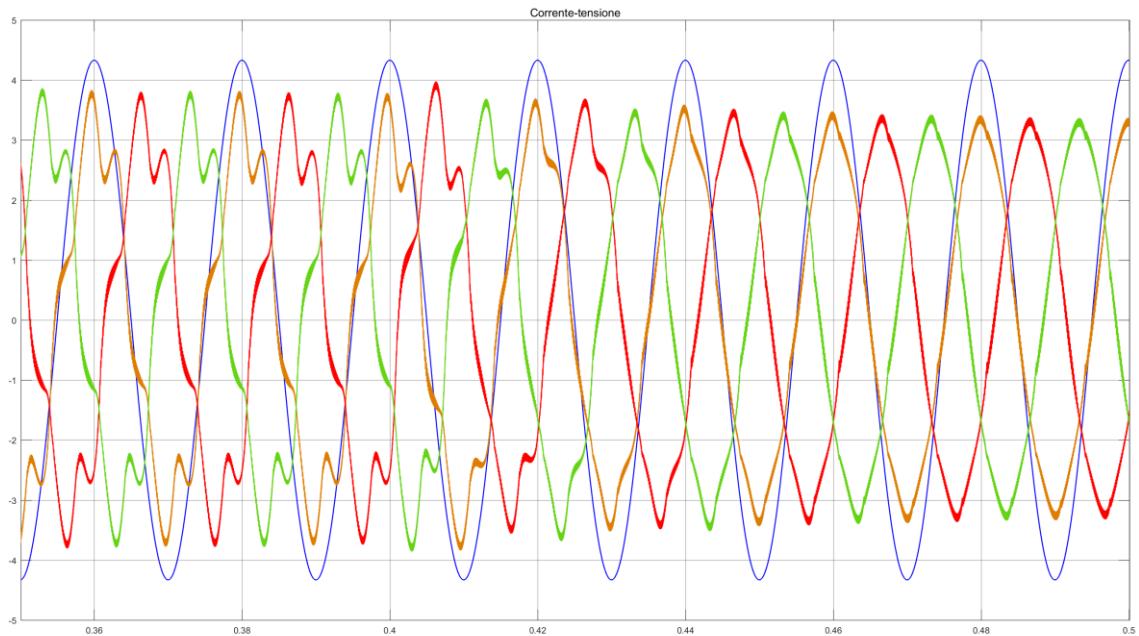


Figura 3.48: Transitorio di avvio dell'architettura B del controllo.

Vengono poi riportati gli andamenti temporali delle 3 correnti a transitorio estinto, le correnti dei 3 blocchi e lo spettro delle correnti di rete.

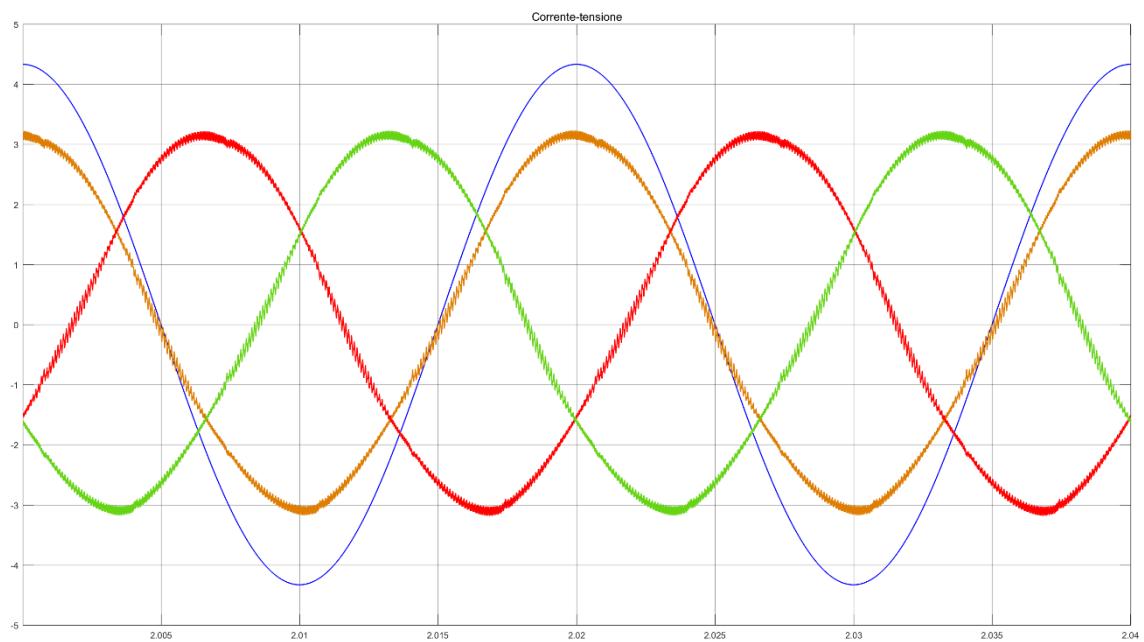


Figura 3.49: Andamento temporale delle 3 correnti di rete e della fase A della tensione utilizzando l'architettura di controllo ripetitivo B a transitorio esaurito.

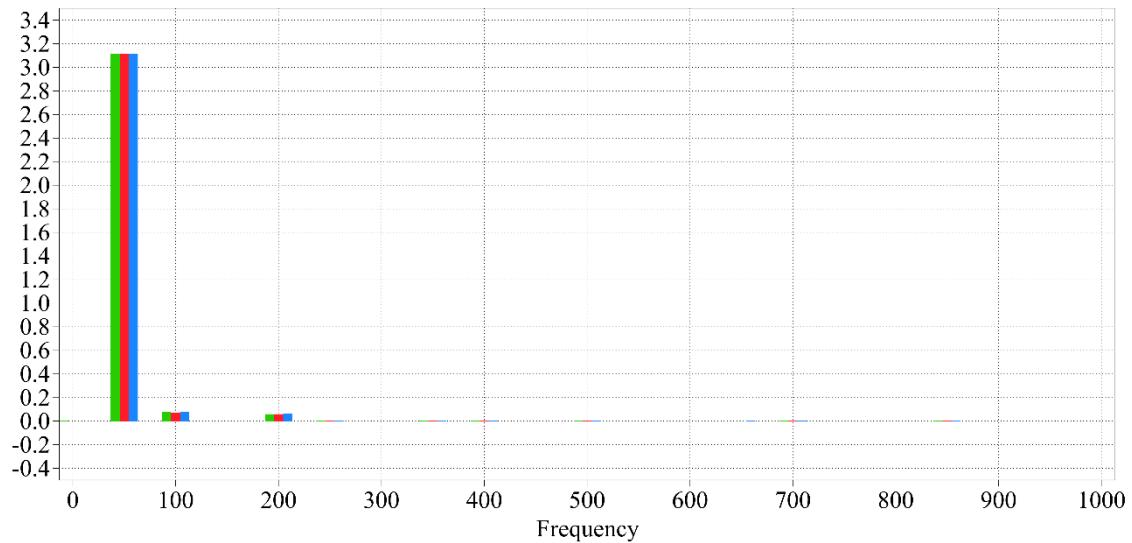


Figura 3.50: Spettro delle correnti di Fig.3.49.

Simulazione del Filtro Attivo

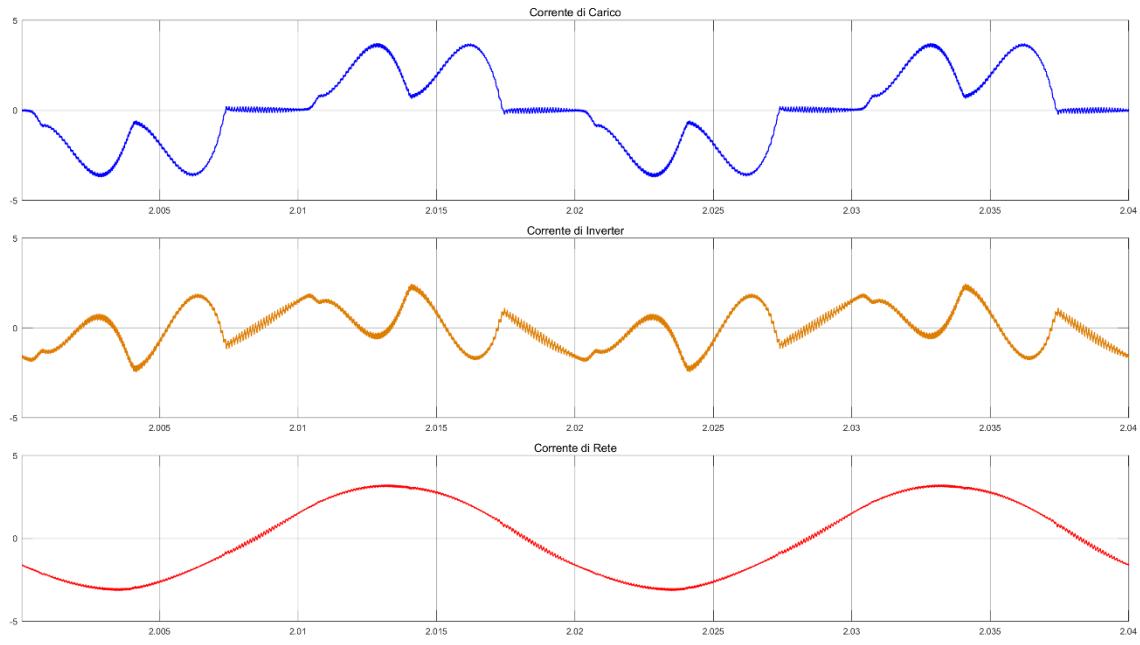


Figura 3.51: Andamento temporale di una fase delle correnti di carico, di inverter e di rete a transitorio esaurito, utilizzando l'architettura B di controllo.

$$THD_B = 3.2\%$$

- Architettura C

Vengono ora mostrati i risultati relativi all'architettura C del controllo ripetitivo. In Fig. 3.53 è mostrato il transitorio di accensione del controllo C.

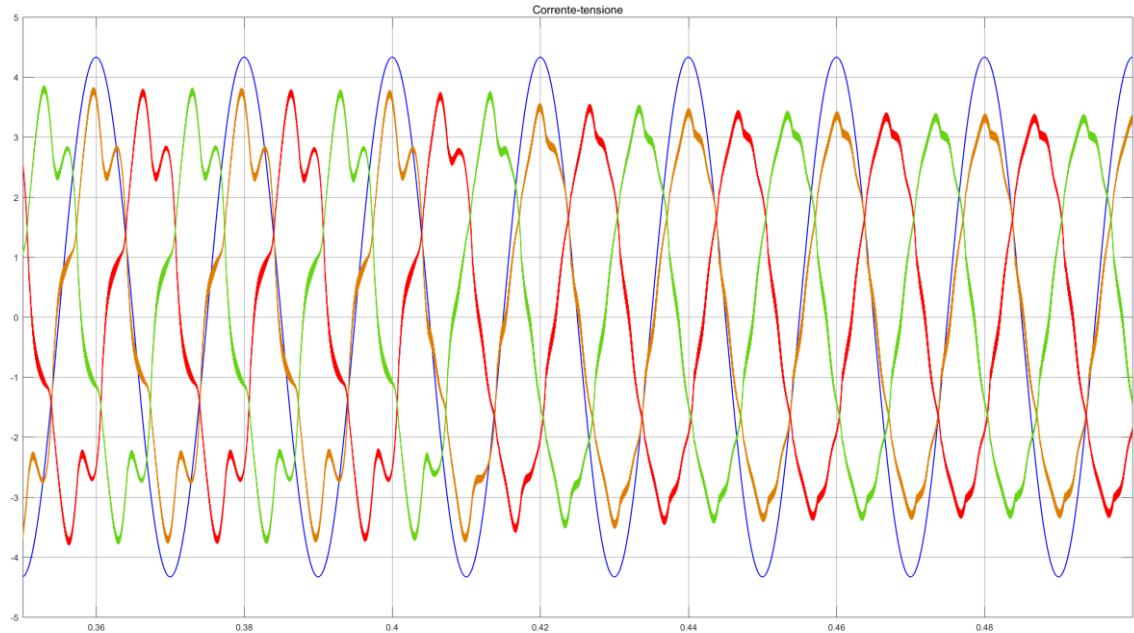


Figura 3.52: Transitorio di avvio dell'architettura C del controllo.

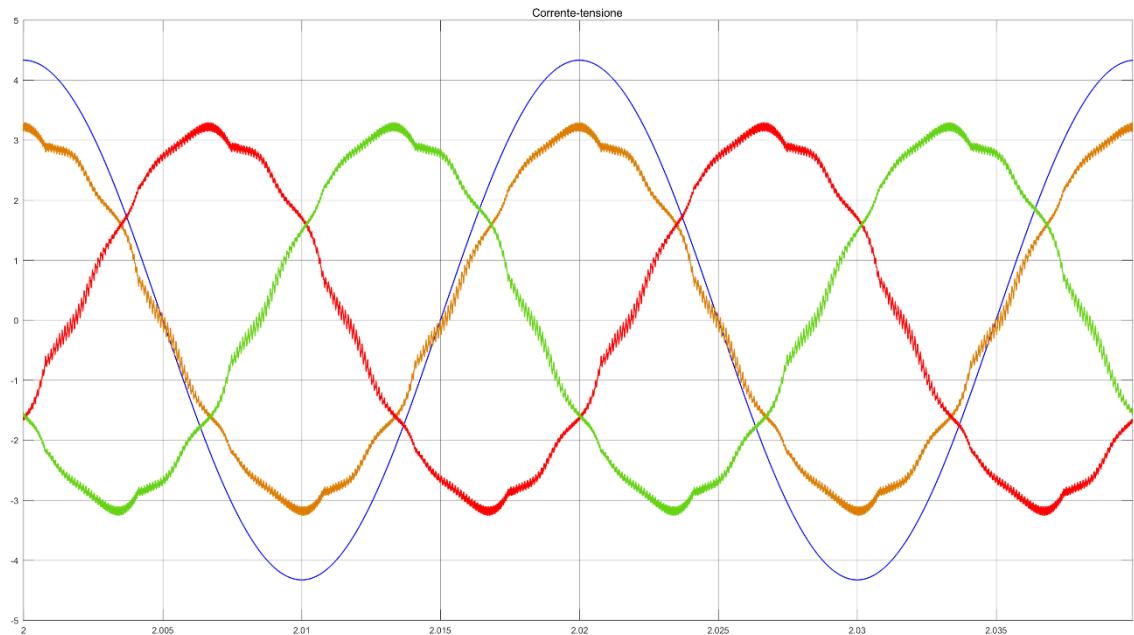


Figura 3.53: Andamento temporale delle 3 correnti di rete e della fase A della tensione utilizzando l'architettura di controllo ripetitivo C a transitorio esaurito.

Simulazione del Filtro Attivo

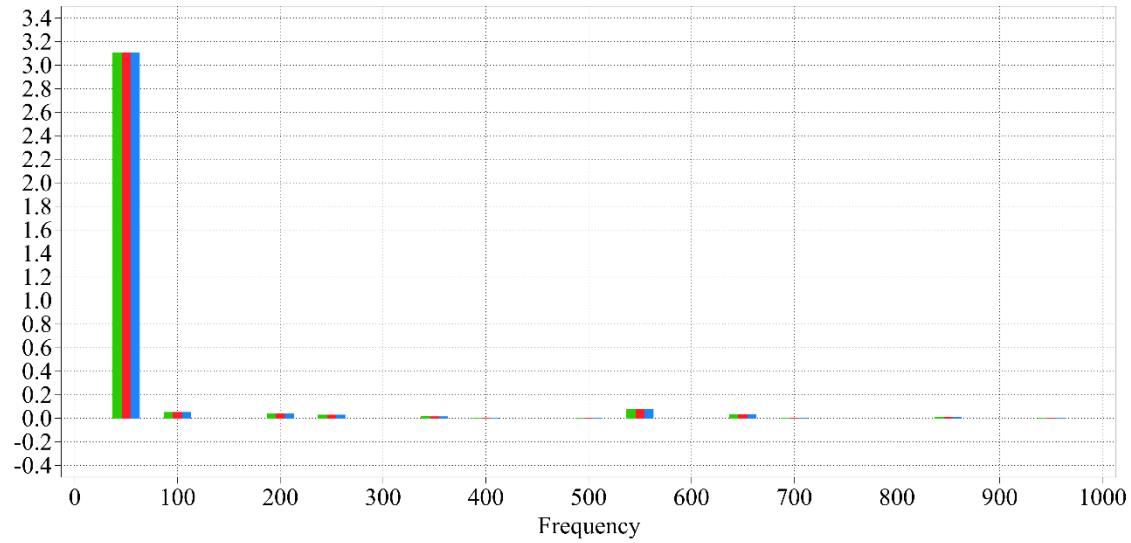


Figura 3.54: Spettro delle correnti di Fig. 3.53.

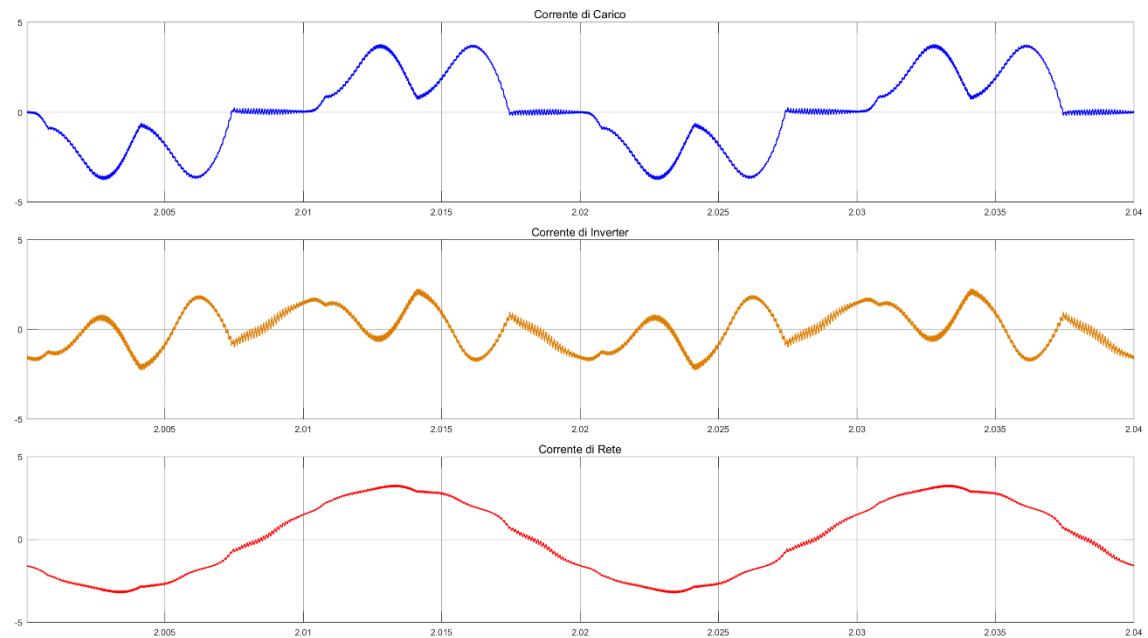


Figura 3.55: Andamento temporale di una fase delle correnti di carico, di inverter e di rete a transitorio esaurito, utilizzando l'architettura C di controllo.

$$THD_C = 4.3\%$$

- Architettura D

Vengono ora mostrati i risultati ottenuti dalla architettura D del controllo ripetitivo.

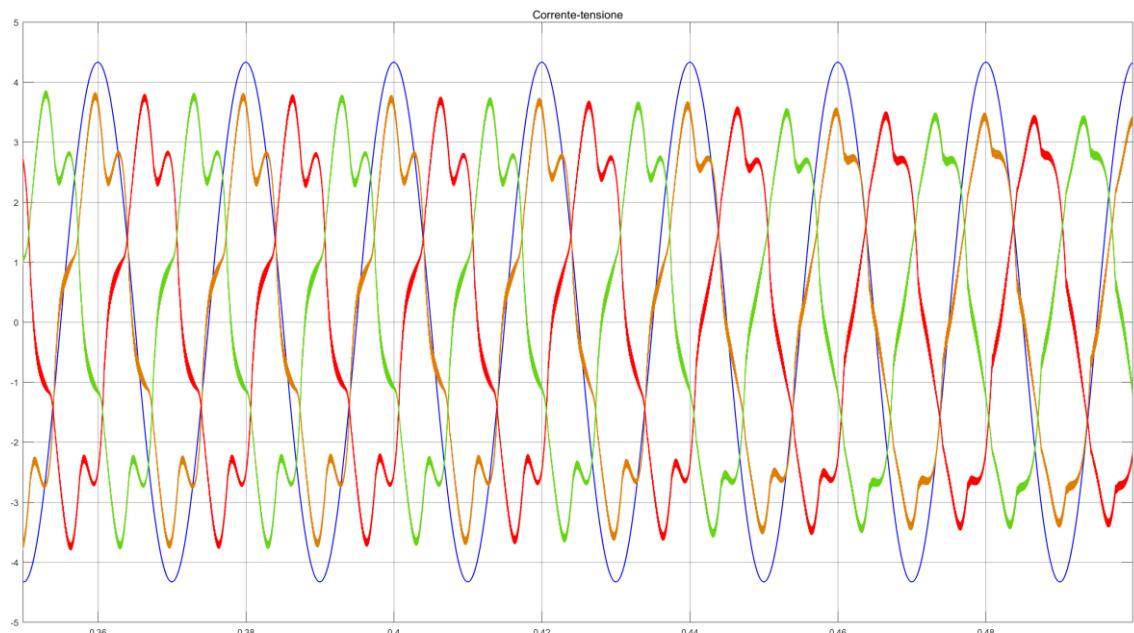


Figura 3.56: Transitorio di avvio dell'architettura D del controllo.

Simulazione del Filtro Attivo

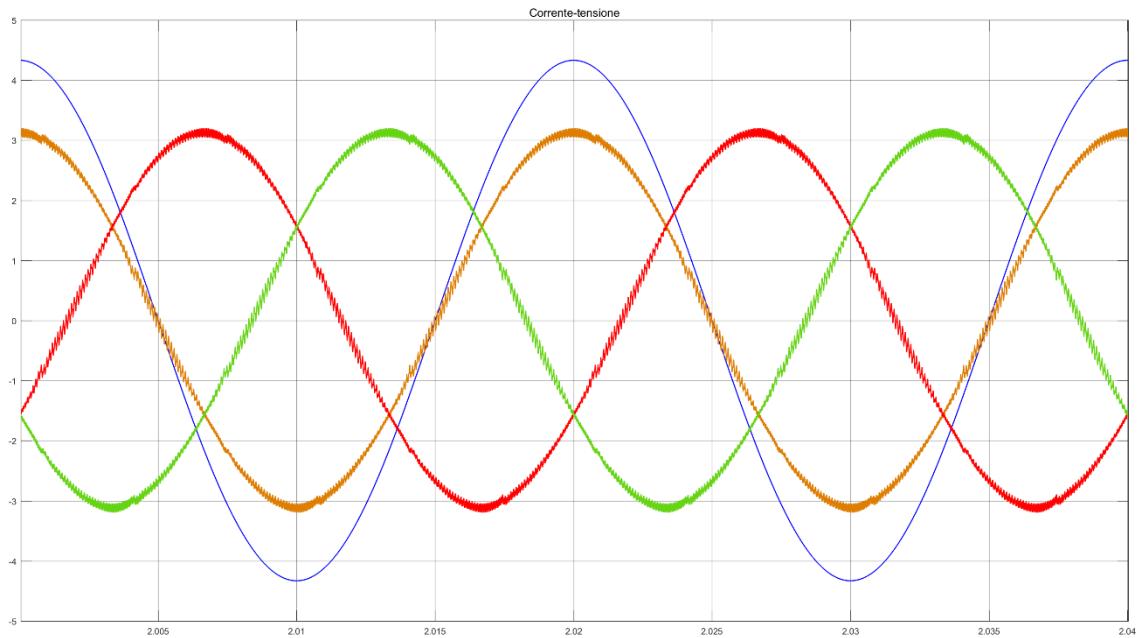


Figura 3.57: Andamento temporale delle 3 correnti di rete e della fase A della tensione utilizzando l'architettura di controllo ripetitivo C a transitorio esaurito.

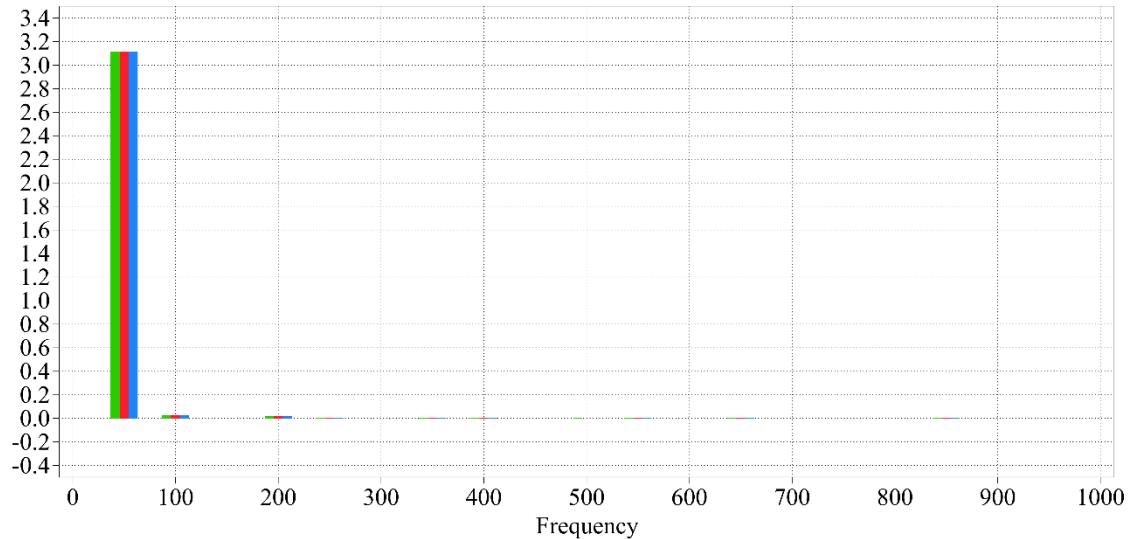


Figura 3.58: Spettro delle correnti di Fig. 3.57.

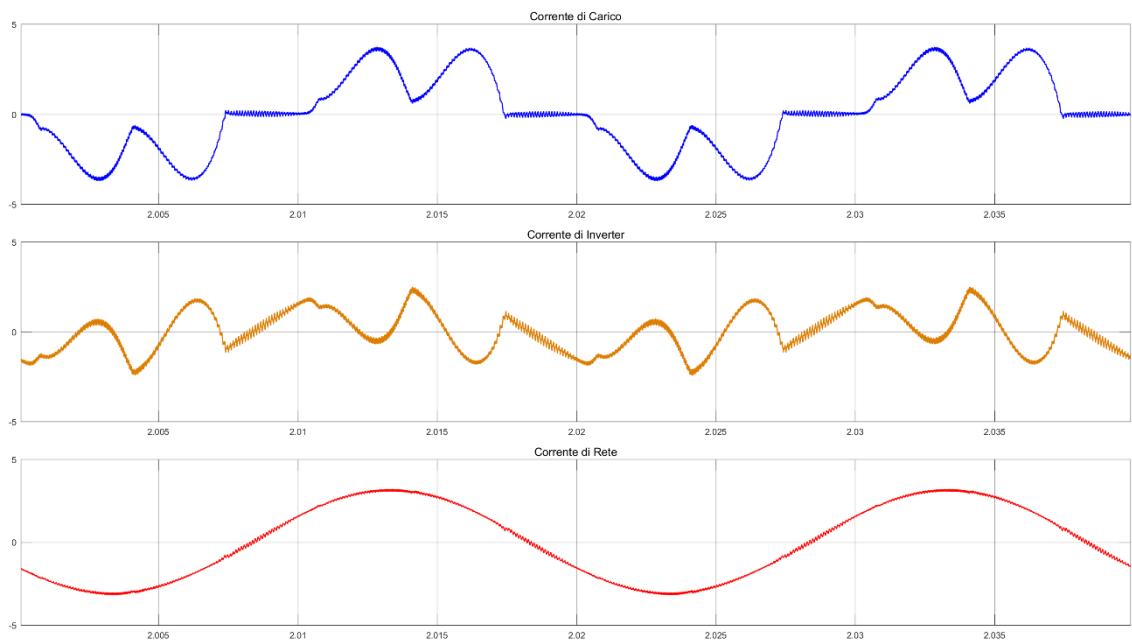


Figura 3.59: Andamento temporale di una fase delle correnti di carico, di inverter e di rete a transitorio esaurito, utilizzando l'architettura D di controllo.

Il THD ottenuto da questa architettura è pari a:

$$THD_D = 2.4\%$$

- Architettura E

Vengono nel seguito mostrati i risultati ottenuti utilizzando l'architettura E di controllo.

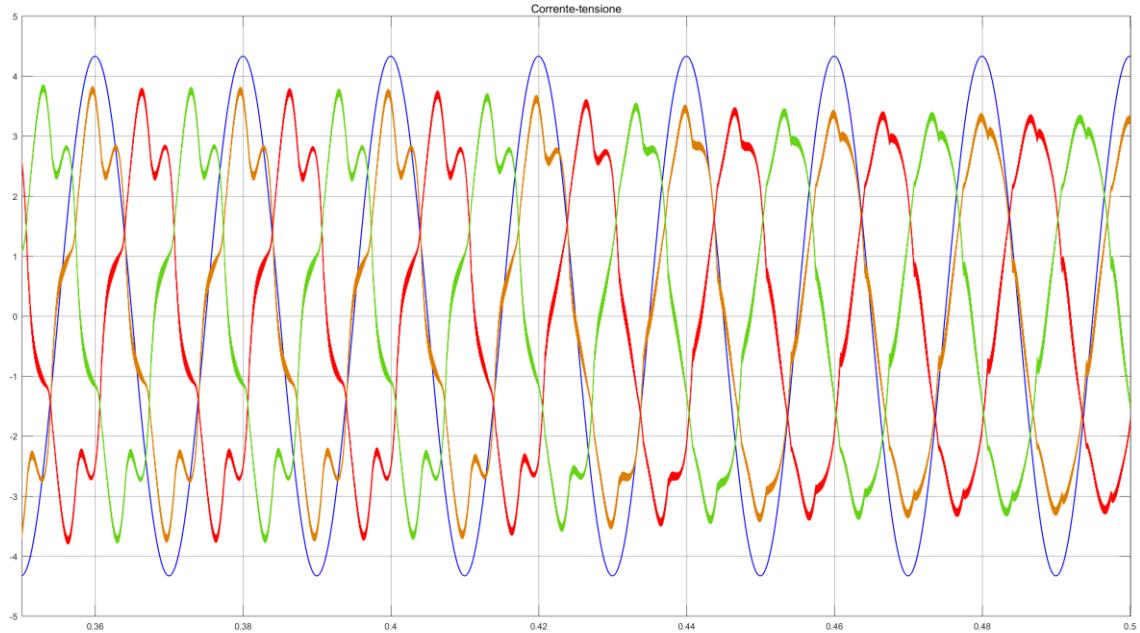


Figura 3.60: Transitorio di avvio dell'architettura E del controllo.

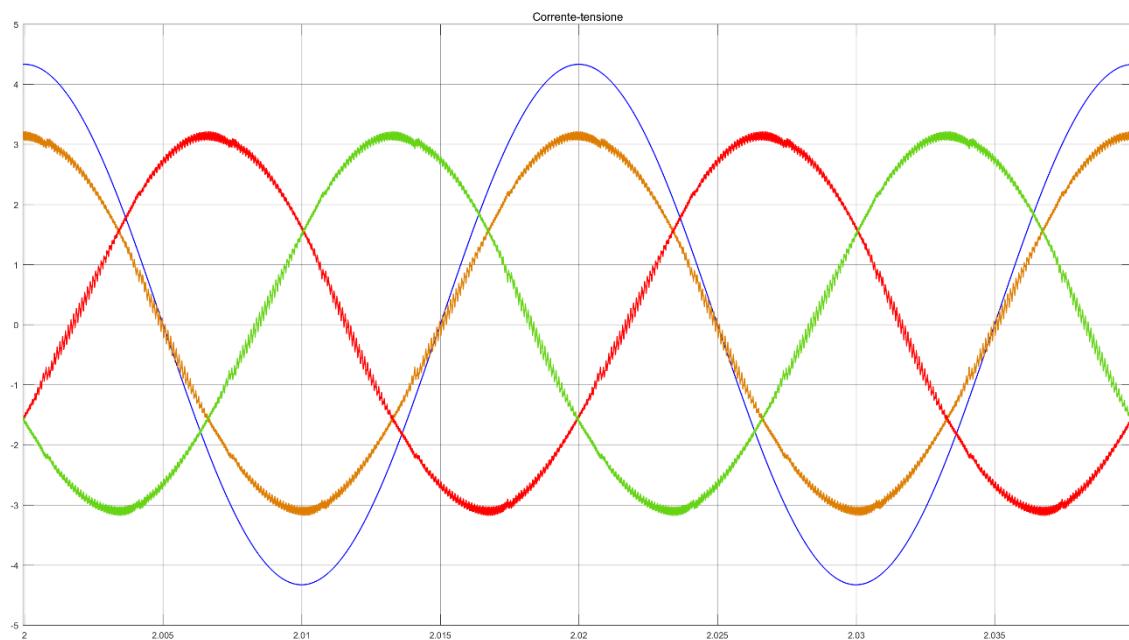


Figura 3.61: Andamento temporale delle 3 correnti di rete e della fase A della tensione utilizzando l'architettura di controllo ripetitivo E a transitorio esaurito.

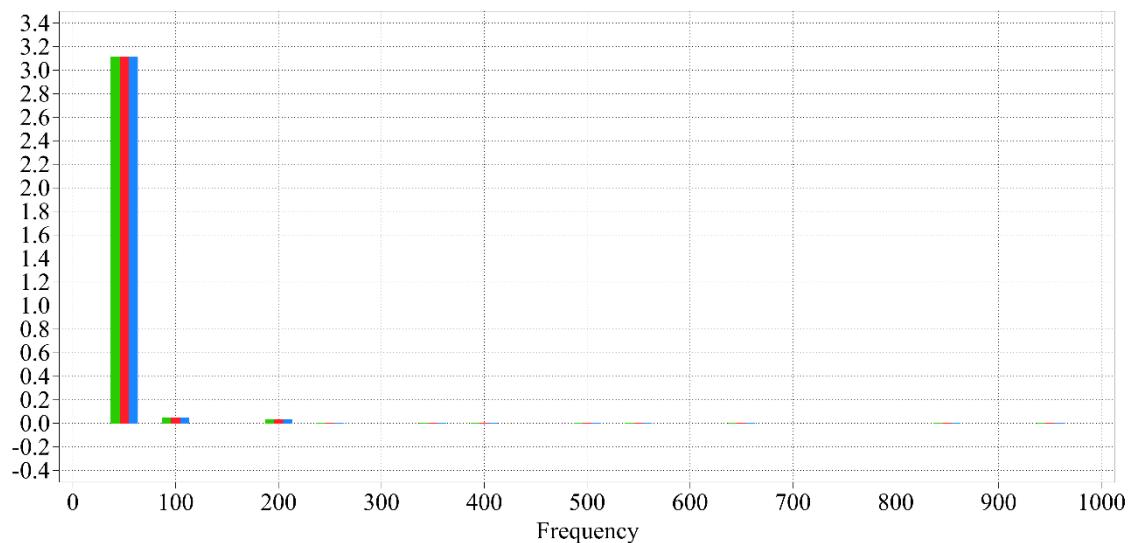


Figura 3.62: Spettro delle correnti di Fig. 3.61.

Simulazione del Filtro Attivo

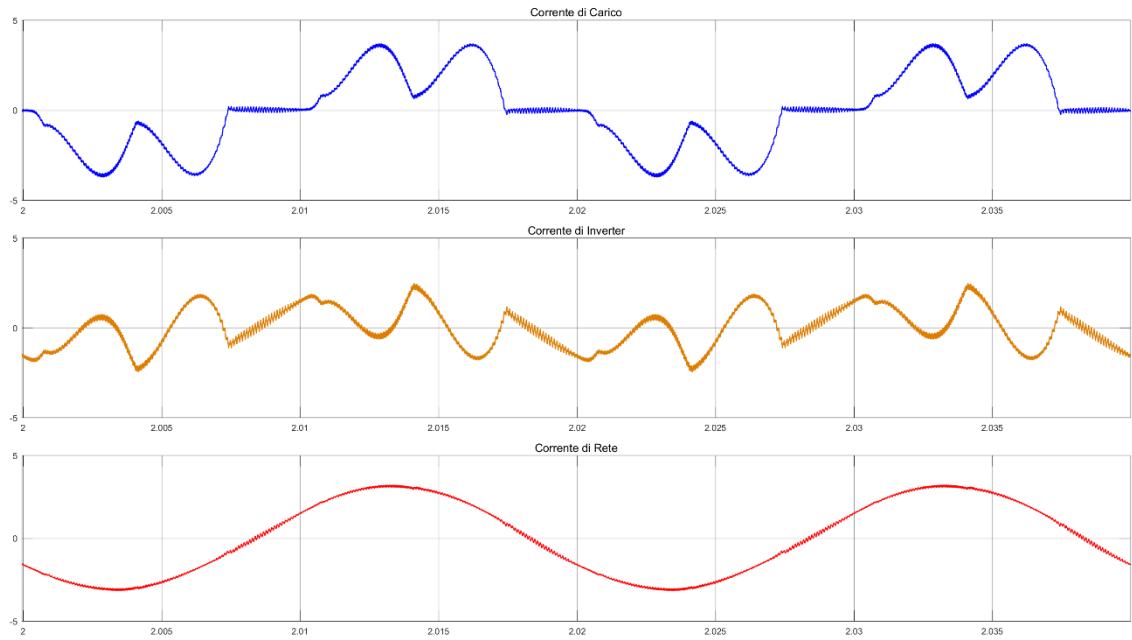


Figura 3.63: Andamento temporale di una fase delle correnti di carico, di inverter e di rete a transitorio esaurito, utilizzando l'architettura E di controllo.

$$THD_E = 2.9\%$$

- Architettura F

Vengono mostrati i risultati ottenuti attraverso l'architettura F di controllo.

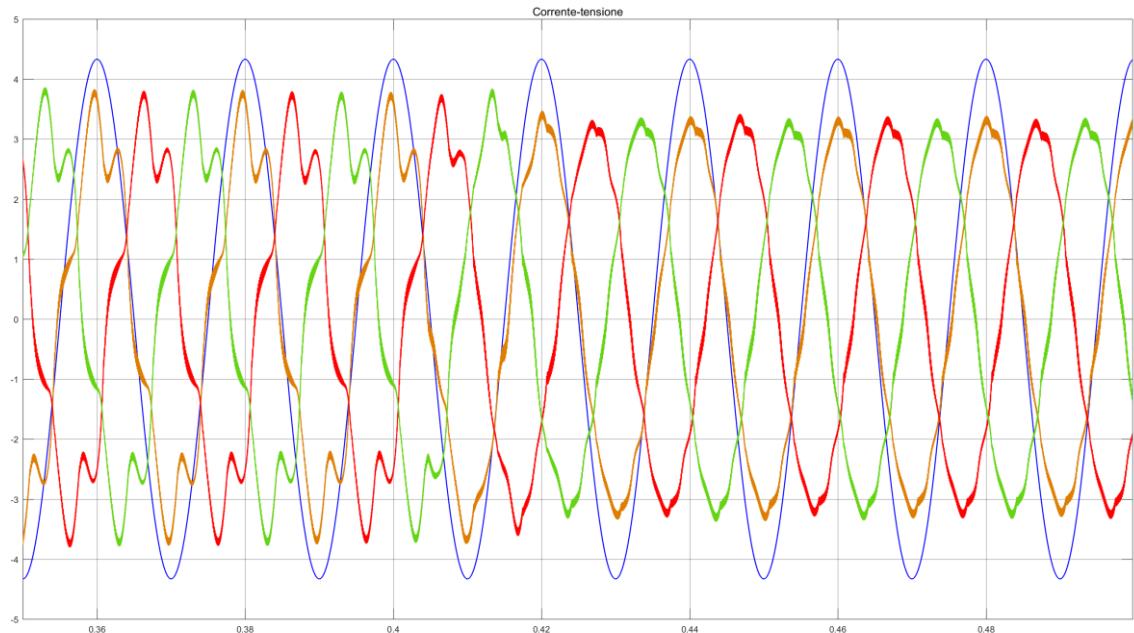


Figura 3.64: Transitorio di avvio dell'architettura F del controllo.

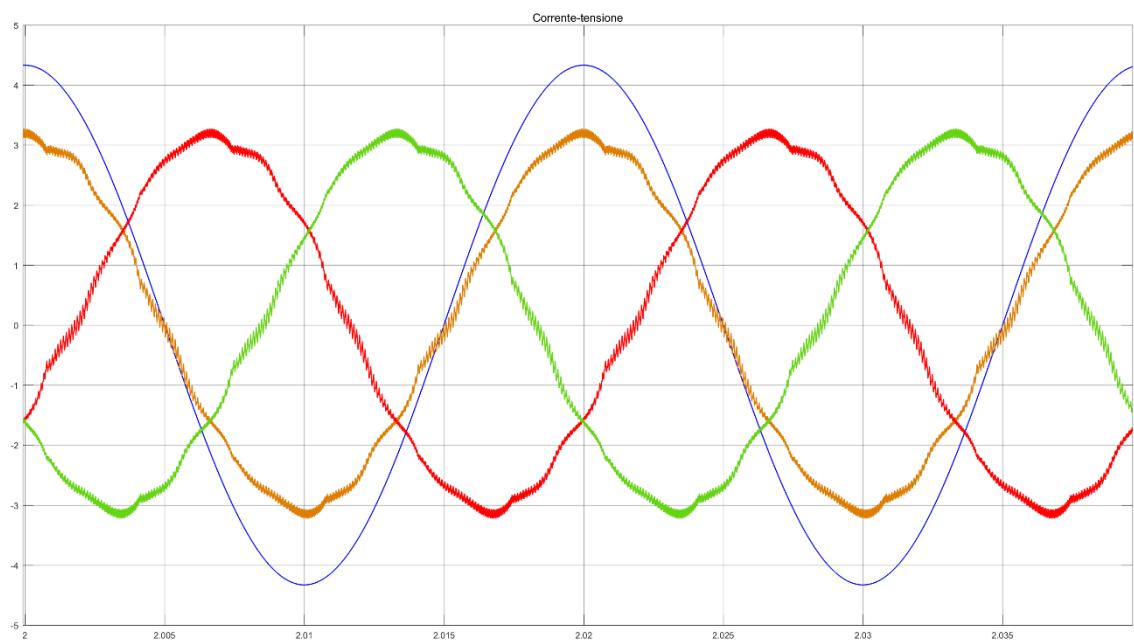


Figura 3.65: Andamento temporale delle 3 correnti di rete e della fase A della tensione utilizzando l'architettura di controllo ripetitivo F a transitorio esaurito.

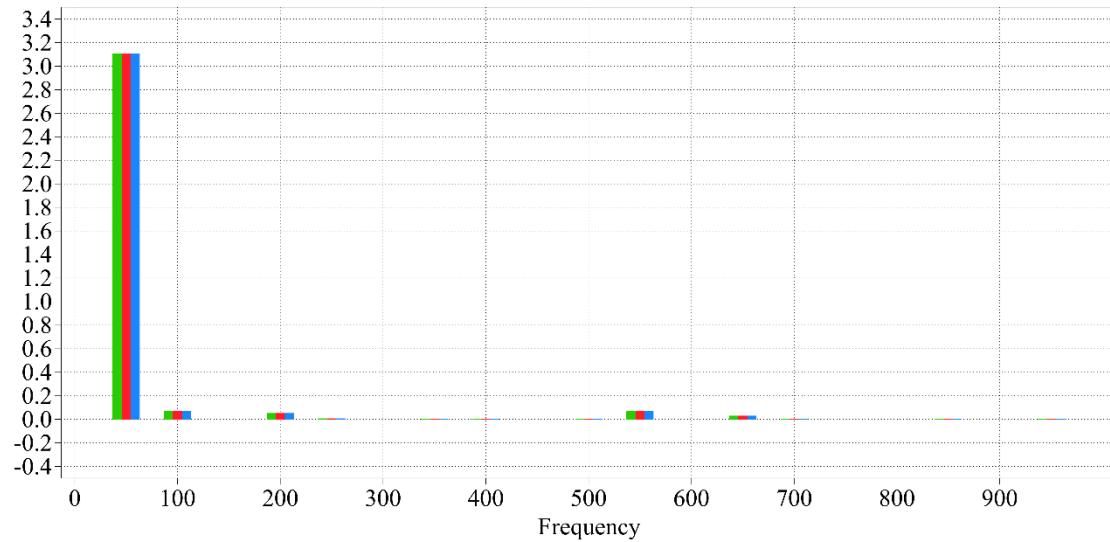


Figura 3.66: Spettro delle correnti di Fig. 3.65.

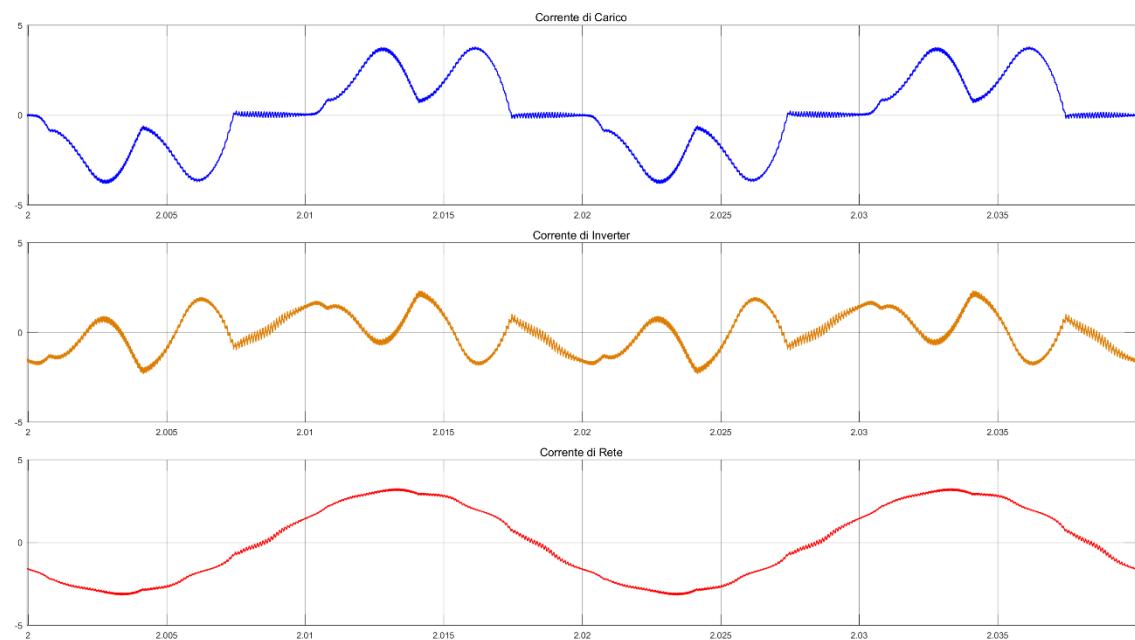


Figura 3.67: Andamento temporale di una fase delle correnti di carico, di inverter e di rete a transitorio esaurito, utilizzando l'architettura F di controllo.

$$THD_F = 4.8\%$$

Nella Tab. 3.1 viene mostrata una comparazione riassuntiva tra le varie architetture provate.

| Architettura | Numero Campioni | THD |
|---------------------|------------------------|------------|
| A | 201 | 2.4% |
| B | 101 | 3.2% |
| C | 51 | 4.3% |
| D | 399 | 2.4% |
| E | 199 | 2.9% |
| F | 99 | 4.8% |

Tabella 3.1: Comparazione dei risultati ottenuti da ogni architettura.

Come era possibile immaginare le architetture che forniscono i risultati migliori sono la A e la D, che utilizzano un numero di campioni maggiore. La differenza sostanziale tra le due architetture è nella sensibilità al rumore: i segnali di disturbo nella banda compresa tra le risonanze vengono sostanzialmente annullati dall'architettura D grazie alle risonanze prodotte dagli zeri della sua funzione di trasferimento. Gli spettri di Fig. 3.46 e 3.58 mostrano un abbattimento armonico quasi ideale; il THD ottenuto da queste architetture è quindi da considerarsi un limite inferiore dovuto alle armoniche di switching. E' necessario precisare un particolare: il THD calcolato attraverso Plecs non segue le direttive contenute nella norma CEI EN 50160, che limita le armoniche influenti al calcolo della distorsione armonica alle prime 40, mentre i risultati sperimentali, trattati nel prossimo capitolo, sono stati ricavati utilizzando un software che segue tale direttiva. La differenza sostanziale tra i risultati ottenuti dalle architetture a buffer intero A e D rispetto alle architetture a buffer dimezzato B e E è dovuta all'abbattimento delle armoniche pari, come mostra la comparazione tra gli spettri 3.46 e 3.50 oppure 3.58 e 3.62. Le armoniche pari sono introdotte dalla catena di controllo risonante a causa dell'ondulazione dell'angolo θ calcolato dal PLL – i riferimenti dell'anello di corrente di prima armonica vengono calcolati nel sistema di riferimento sincrono e, per essere utilizzati dal regolatore risonante, devono subire una trasformazione attraverso la matrice T che utilizza quell'angolo. Nelle architetture A e D sono presenti risonanze ad ogni frequenza multipla della fondamentale, e quindi la catena ripetitiva compensa ciò che

Simulazione del Filtro Attivo

viene prodotto dalla catena risonante, cosa che non accade nelle architetture B e E. Come era lecito immaginarsi, il limitato numero di campioni memorizzato dalle architetture C e F impedisce a queste architetture di abbattere l'11[^] e la 13[^] armonica.

- Downsampling

Come già trattato nel sotto-paragrafo precedente all'interno della simulazione è stata implementata una tecnica di decimazione dei campioni, attraverso la modifica della frequenza di campionamento del controllo ripetitivo. Si è scelto di mostrare l'effetto di tale tecnica applicato alla architettura A, che nelle precedenti simulazioni si è dimostrata una delle più performanti. Nel seguito vengono mostrati i risultati ottenuti in termini di forme d'onda delle correnti, spettro e THD, al variare della frequenza di campionamento; l'ordine massimo di decimazione è stato fissato a 5, dato che oltre questo valore la frequenza di Shannon limite risulterebbe inferiore a 1 kHz, impedendo quindi la compensazione della 19th armonica – ultima armonica considerata in questo lavoro di tesi.

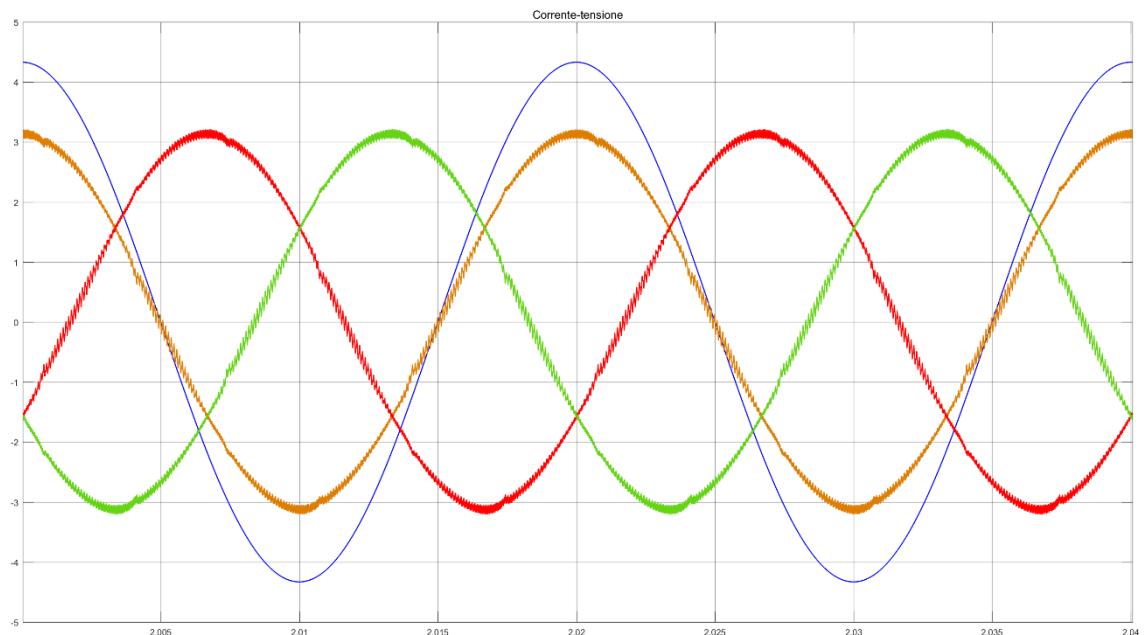


Figura 3.68: Correnti di rete ottenute attraverso una riduzione di ordine 2 del numero di campioni utilizzato.

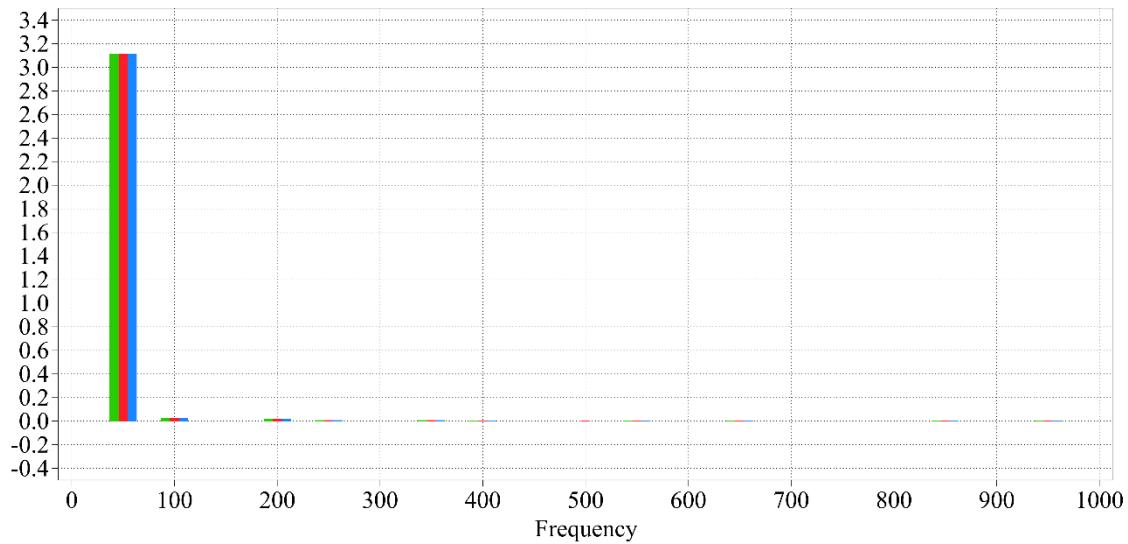


Figura 3.69: Spettro delle correnti di Fig. 3.68.

Il THD delle correnti di Fig. 3.68 è pari a:

$$THD_{down2} = 2.5\%$$

Dimezzare quindi il numero di campioni impiegato – portandolo quindi a 100 – non influenza in maniera significativa la qualità delle correnti, come è mostrato dello spettro di Fig. 3.69; infatti dimezzare la frequenza di campionamento del sistema porta la frequenza limite di Shannon a 2.5 kHz, valore comunque molto superiore a quello dell’ultima componente armonica significativa.

Vengono ora mostrati i risultati relativi a una diminuzione di un terzo del numero di campioni utilizzati.

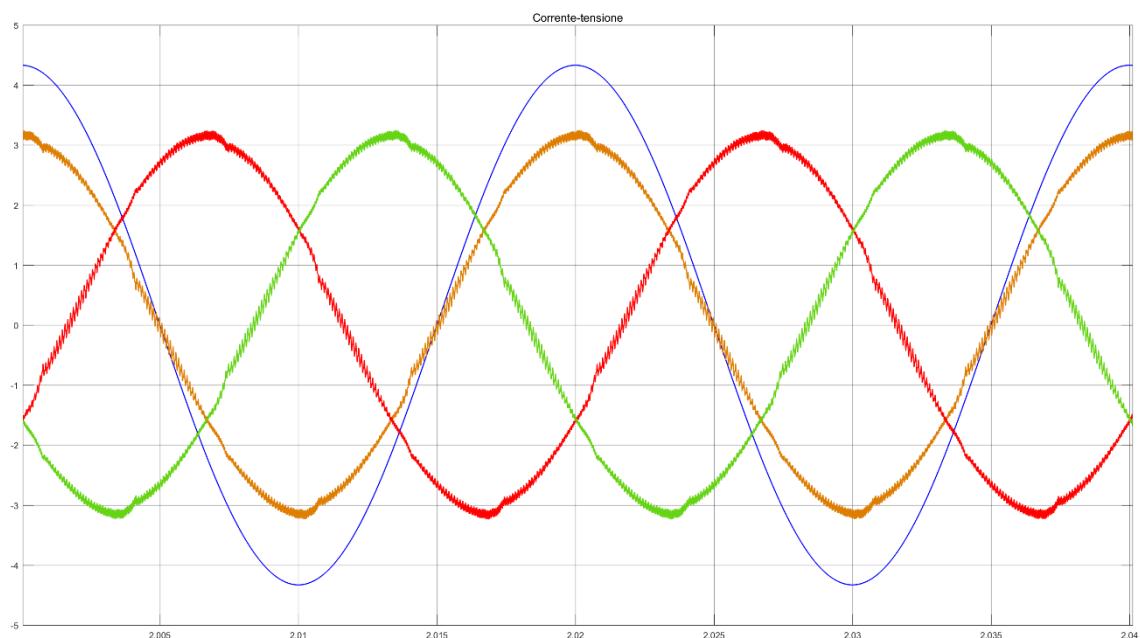


Figura 3.70: Correnti di rete ottenute attraverso una riduzione di ordine 3 del numero di campioni utilizzato.

Lo spettro relativo alla corrente di Fig. 3.70 è mostrato in Fig. 3.71.

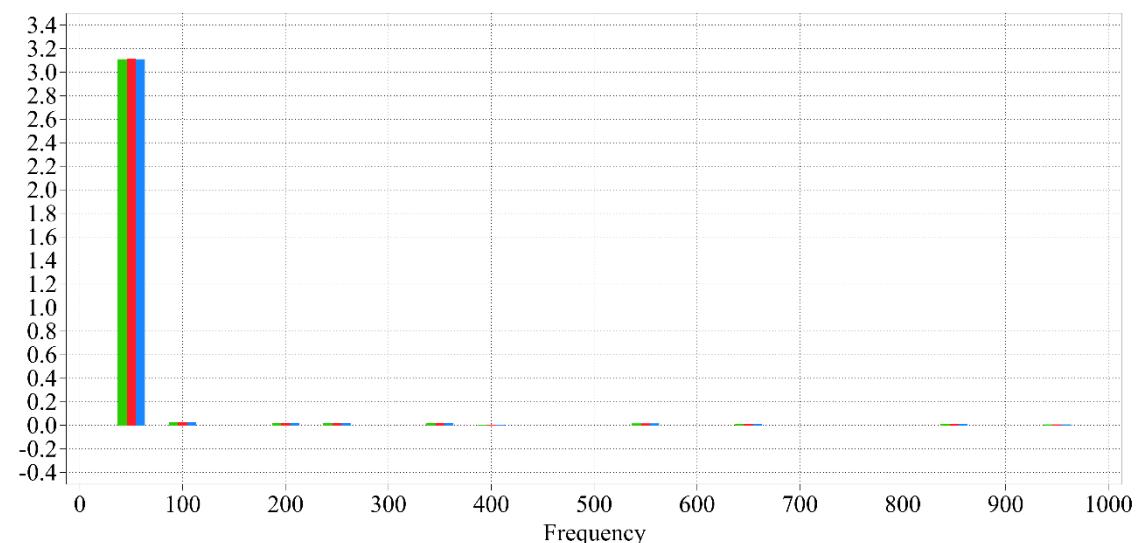


Figura 3.71: Spettro delle correnti di Fig. 3.70.

Le correnti di Fig. 3.71 presentano un THD pari al:

$$THD_{down3} = 2.9\%$$

Lo spettro di Fig. 3.71 mostra un aumento delle componenti armoniche rispetto a quello di Fig. 3.69; il sistema comunque, utilizzando un terzo del numero dei campioni ottiene lo stesso risultato della configurazione E, che però utilizza molti più campioni. Per implementare un numero frazionario di campioni sono stati utilizzati i coefficienti di Lagrange, che in questo caso particolare valgono:

$$\begin{aligned} z^{-\frac{200}{3}} &= z^{-65}z^{-1,67} \\ &= z^{-65}(-0.0494 + 0.3704z^{-1} + 0.7407z^{-2} - 0.0617z^{-3}) \quad (3.40) \end{aligned}$$

Viene ora mostrato il risultato relativo a una diminuzione di un quarto del numero di campioni.

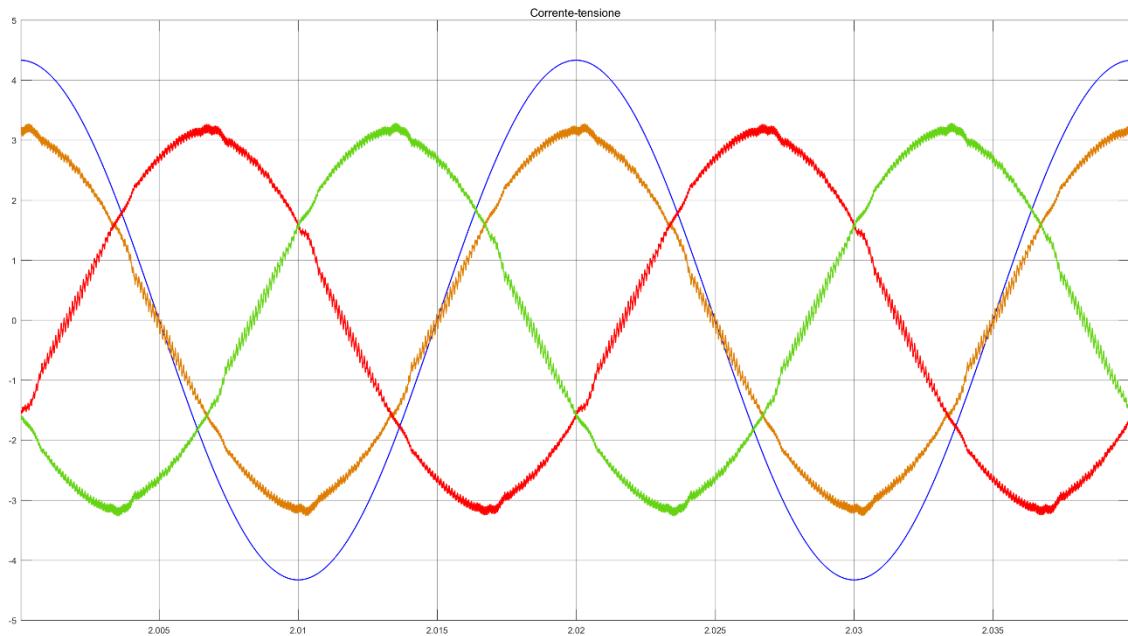


Figura 3.72: Correnti di rete ottenute attraverso una riduzione di ordine 4 del numero di campioni utilizzato.

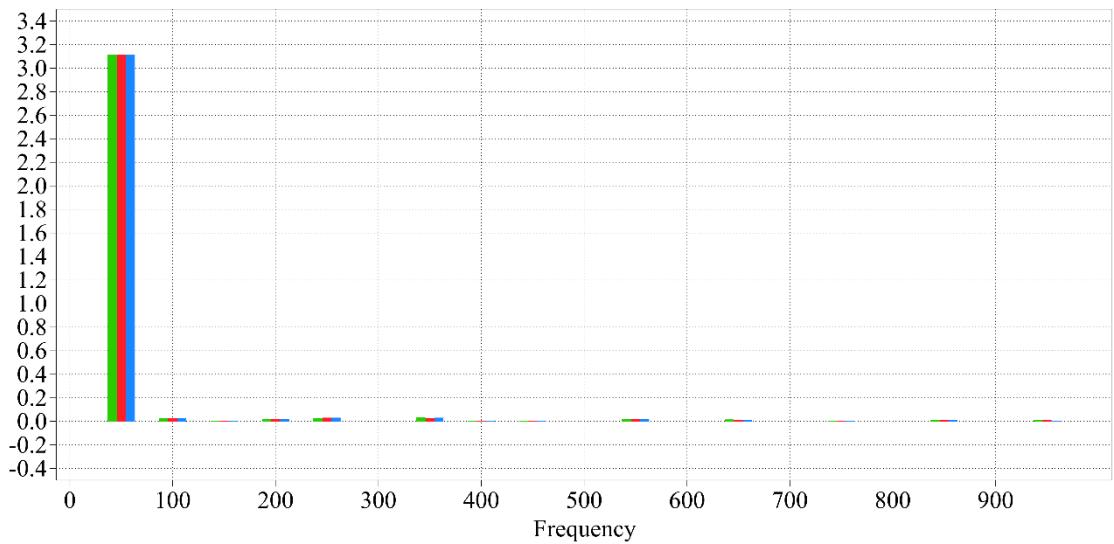


Figura 3.73: Spettro delle correnti di Fig. 3.72.

Le correnti di Fig. 3.72 presentano un THD pari a:

$$THD_{down4} = 3\%$$

Passando da una decimazione di ordine 3 a una di ordine 4 si è ottenuta una ulteriore diminuzione della qualità delle correnti, di valore comunque limitato. Lo spettro di Fig. 3.73 mostra l'aumento delle componenti armoniche su tutta la banda del segnale. Il numero di campioni utilizzato da questa architettura risulta essere 50.

Vengono infine mostrati i risultati ottenuti attraverso una decimazione pari a un quinto.

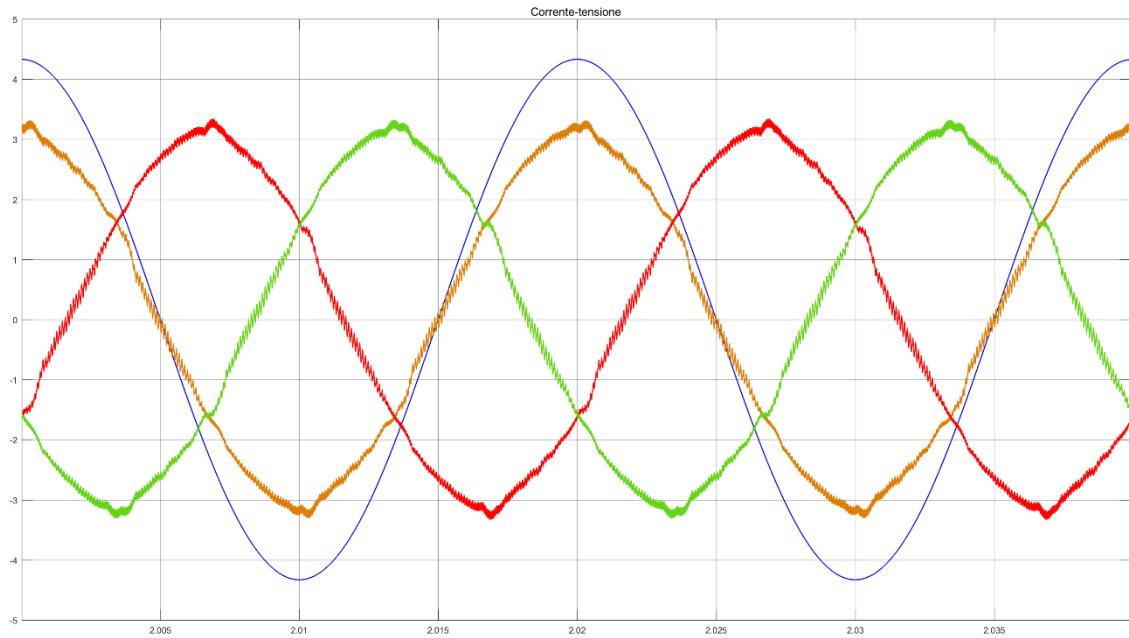


Figura 3.74: Correnti di rete ottenute attraverso una riduzione di ordine 5 del numero di campioni utilizzato.

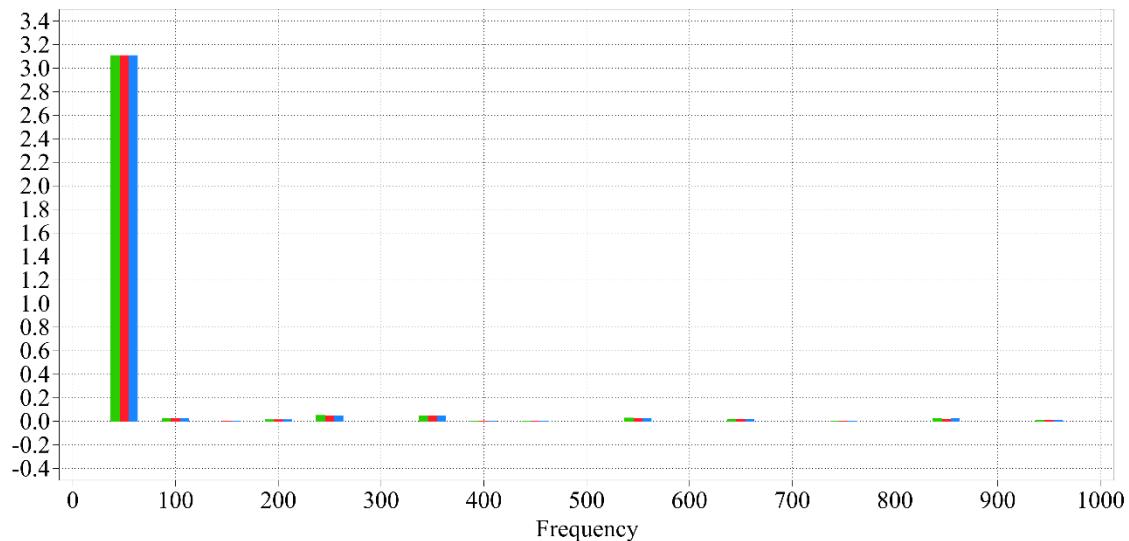


Figura 3.75: Spettro delle correnti di Fig. 3.75.

La Fig. 3.75 mostra una ulteriore diminuzione dell'efficacia dell'abbattimento armonico; le correnti di figura infatti presentano un THD pari a:

$$THD_{down5} = 3.9\%$$

L'ulteriore diminuzione del numero di campioni impedisce al sistema di eliminare in maniera ottimale il contenuto armonico su tutta la banda del sistema, come è mostrato in Fig. 3.75. In Fig. 3.76 viene infine mostrato l'andamento del THD in funzione dell'ordine del downsampling.

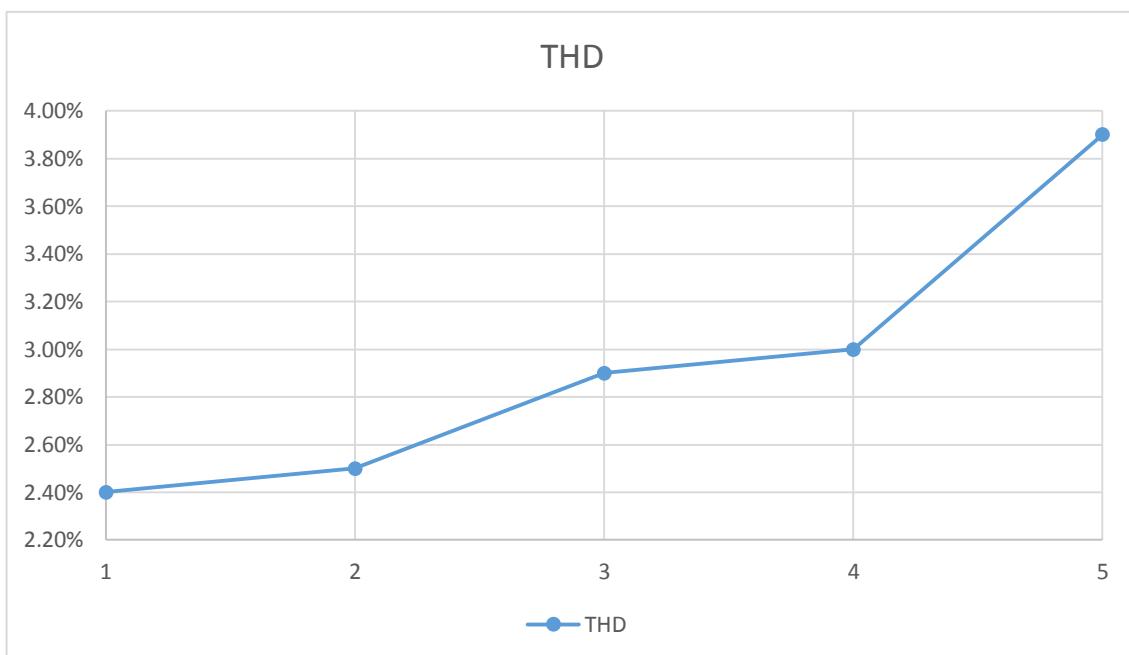


Figura 3.76: Andamento del THD in funzione dell'ordine del downsampling.

Come era possibile immaginare, l'aumento dell'ordine di decimazione dei campioni porta il sistema ad essere meno efficace nell'abbattimento armonico.

Simulazione del Filtro Attivo

Capitolo 4

Sistema di prototipazione rapida dSpace e banco prova

In questo capitolo verrà descritto il sistema di prototipazione rapida dSpace, le modifiche al modello Simulink al fine di renderlo compatibile con dSpace e il banco di prova nel quale sono state effettuate le prove sperimentali.

4.1 Sistema di prototipazione rapida dSpace

Come mostrato nel capitolo 3, una parte importante dell'ingegnerizzazione di un sistema di controllo consiste nella realizzazione di un modello di simulazione che permetta di testare in maniera preliminare il funzionamento dell'azionamento. Uno degli strumenti più utilizzati a questo scopo è l'ambiente Simulink, che permette, attraverso una interfaccia grafica, di simulare sistemi anche molto complessi, a scapito della rapidità della simulazione. Una volta individuato il sistema di controllo desiderato diviene necessario testare il regolatore sul sistema reale; la tecnica RCP – Rapid Control Prototyping – permette di collegare il sistema di controllo simulato, in tempo reale, ai gate dell'inverter – o più in generale al sistema fisico. L'interfaccia tra i due sistemi è stata la scheda dSpace DS1104. Modificando la simulazione attraverso alcuni blocchi specifici, presenti in alcune librerie installate nel PC alla prima configurazione della scheda, la dSpace traduce in maniera automatica il modello Simulink in un codice oggetto che gira su un DSP interno e genera i segnali di gate dell'inverter.

I vantaggi di questo metodo di ingegnerizzazione sono molteplici:

- Il codice viene generato in maniera automatica; in questo modo è possibile modificare in modo veloce il sistema di controllo per testare nuove soluzioni.
- L'utente non deve gestire, a basso livello, nessuna periferica di I/O.
- L'interfaccia grafica di Simulink permette anche ai poco esperti di programmazione di testare sistemi di controllo anche molto complessi.

L'hardware implementato in questo lavoro di tesi è mostrato in Fig. 4.1.



Figura 4.1: dSpace DS1104.

In Fig. 4.2 viene mostrata l'architettura della scheda, mentre in tabella (4.1) vengono mostrate le sue caratteristiche tecniche.

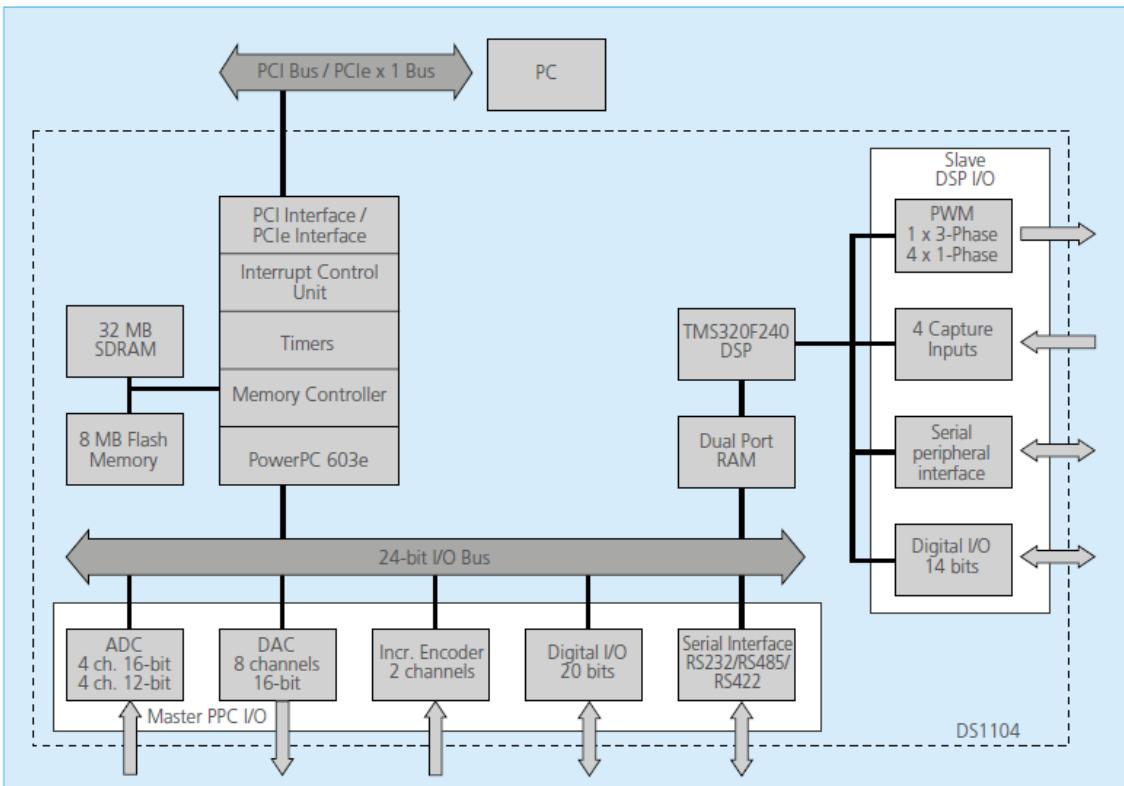


Figura 4.2: Architettura della scheda dSpace DS1104.

| Parameter | Specification |
|----------------------|--|
| Processor | <ul style="list-style-type: none"> MPC8240 processor with PPC 603e core and on-chip peripherals 64-bit floating-point processor CPU clock: 250 MHz 2 x 16 KB cache, on-chip |
| Memory | 32 MB SDRAM |
| | 8 MB |
| Timer | 4 general-purpose timers |
| | <ul style="list-style-type: none"> 32-bit down counter Reload by hardware 80-ns resolution |
| | <ul style="list-style-type: none"> 1 sampling rate timer (decrementer) 32-bit down counter Reload by software 40-ns resolution |
| Interrupt controller | 1 time base counter |
| | <ul style="list-style-type: none"> 64-bit up counter 40-ns resolution |
| | <ul style="list-style-type: none"> 5 timer interrupts 2 incremental encoder index line interrupts 1 UART interrupt 1 slave DSP interrupt 1 slave DSP PWM interrupt 5 A/D converter (end of conversion) interrupts 1 host interrupt 4 external interrupts (user interrupts) |

Sistema di prototipazione rapida dSpace e banco prova

| Parameter | Specification |
|--|--|
| A/D converter | Channels ■ 4 multiplexed channels equipped with one sample & hold A/D converter (1x16-bit) ■ 4 parallel channels each equipped with one sample & hold A/D converter (4x12-bit) ■ Note: 5 A/D converter channels (1x16-bit and 4x12-bit) can be sampled simultaneously |
| | Resolution ■ Multiplexed channels: 16 bit ■ Parallel channels: 12 bit |
| | Input voltage range ■ ± 10 V |
| | Conversion time ■ Multiplexed channels: 2 μ s ¹⁾ ■ Parallel channels: 800 ns ¹⁾ |
| | Offset error ■ ± 5 mV |
| | Gain error ■ Multiplexed channels: $\pm 0.25\%$ ■ Parallel channels: $\pm 0.5\%$ |
| | Offset drift ■ 40 μ V/K |
| | Gain drift ■ 25 ppm/K |
| | Signal-to-noise ratio ■ Multiplexed channels: >80 dB ■ Parallel channels: >65 dB |
| | |
| D/A converter | Channels ■ 8 channels |
| | Resolution ■ 16-bit |
| | Output range ■ ± 10 V |
| | Settling time ■ Max. 10 μ s (full-scale, accuracy $1/2$ LSB) |
| | Offset error ■ ± 1 mV |
| | Gain error ■ $\pm 0.1\%$ |
| | Offset drift ■ 130 μ V/K |
| | Gain drift ■ 25 ppm/K |
| | Signal-to-noise ratio ■ >80 dB |
| | I_{max} ■ ± 5 mA |
| Digital I/O | Channels ■ 20-bit parallel I/O ■ Single bit selectable for input or output |
| | Voltage range ■ TTL input/output levels |
| | $I_{out, max}$ ■ ± 5 mA |
| Digital incremental encoder interface | Channels ■ 2 independent channels ■ Selectable single-ended (TTL) or differential (RS422) input (software programmable for each channel) |
| | Position counters ■ 24-bit resolution ■ Max. 1.65 MHz input frequency, i.e., fourfold pulse count up to 6.6 MHz ■ Counter reset or reload via software |
| | Sensor supply voltage ■ 5 V/0.5 A |
| | |
| Serial interface | Configuration ■ Single UART (universal asynchronous receiver and transmitter) with FIFO ■ PLL-driven UART for accurate baud rate selection ■ RS232/RS422/RS485 compatibility |
| | Baud rate ■ Up to 115.2 kBd (RS232) ■ Up to 1 MBd (RS422/RS485) |
| Slave DSP | Type ■ Texas Instruments TMS320F240 DSP ■ 16-bit fixed-point processor |
| | Clock rate ■ 20 MHz |
| | Memory ■ 64Kx16 external code memory ■ 28Kx16 external data memory ■ 4Kx16 dual-port memory for communication ■ 32 KB flash memory |
| | I/O channels ¹⁾ ■ 10 PWM outputs ■ 4 capture inputs ■ 1 serial peripheral interface |
| | Input voltage range ■ TTL input/output level ■ A/D converter inputs: 0 ... 5 V |
| | Output current ■ Max. ± 13 mA |
| | |
| Host interface (requires one PCI or one PCIe x 1 slot) | PCI |
| | PCIe |

Tabella 4.1: Caratteristiche tecniche della scheda dSpace DS1104.

Il pannello connettore CP1104 permette alla scheda DS1104 di comunicare con l'esterno, gestendo l'acquisizione e l'invio dei segnali gestiti dalla scheda. Il pannello è costituito da:

- 16 connettori BNC, di cui 8 relativi ai canali ADC e 8 ai canali DAC
- Un secondo connettore sub-D a 37 pin (Slave I/O PWM Connector), utilizzato per i segnali di modulazione PWM
- Due connettori sub-D a 9 pin (UART RS232 e UART RS485/RS422 connectors) che permettono la comunicazione con dispositivi esterni (UART significa Universal Asynchronous Receiver and Transmitter)
- 54 Led che segnalano lo stato dei segnali digitali.

In questo modo è possibile collegare e scollegare in modo agevole i dispositivi utilizzati durante le prove. Il pannello connettore è mostrato in Fig. 4.3.

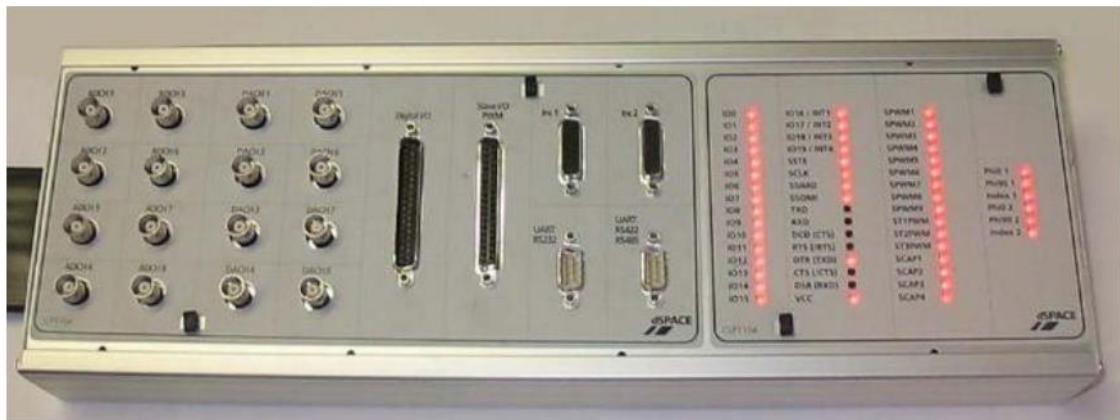


Figura 4.3: Pannello connettore CP1104.

La Fig. 4.4 mostra una schematizzazione del pannello.

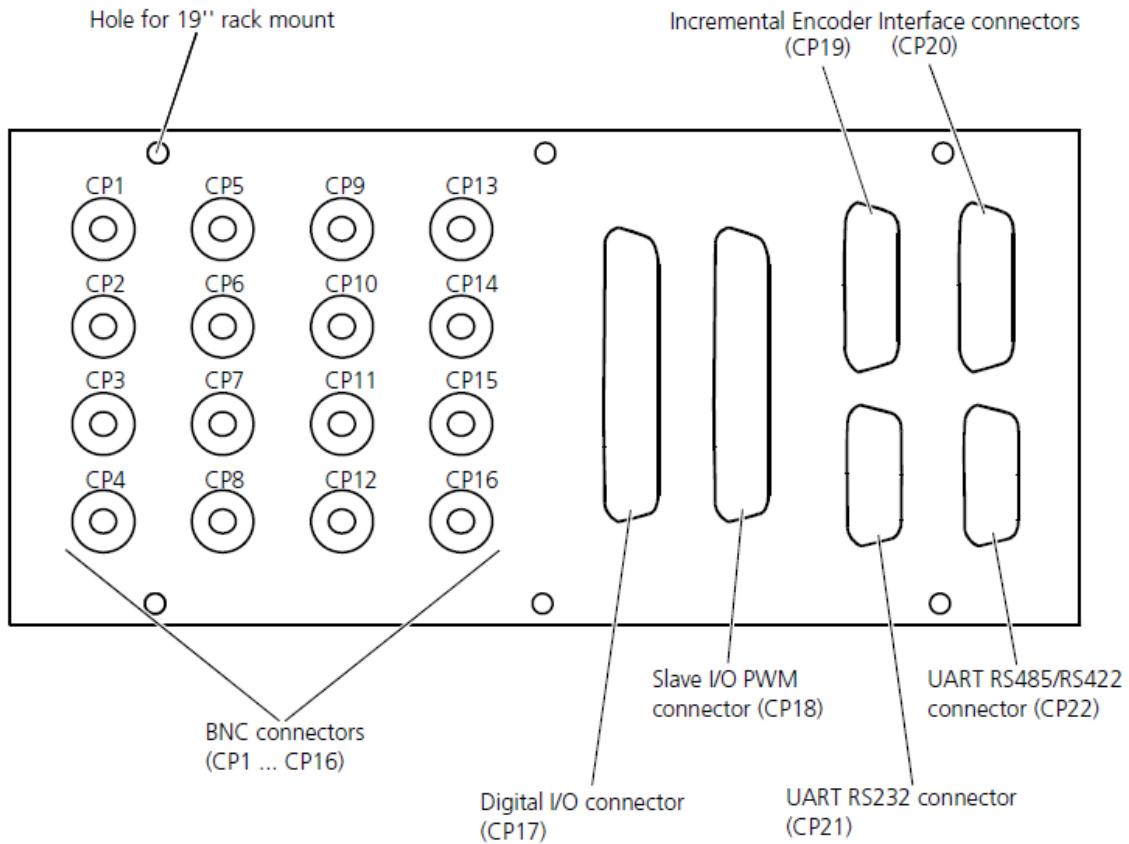


Figura 4.4: Elementi costitutivi del pannello connettore CP1104.

4.2 Modello Simulink

Viene ora presentato il modello Simulink interfacciato al sistema dSpace, in Fig. 4.5.

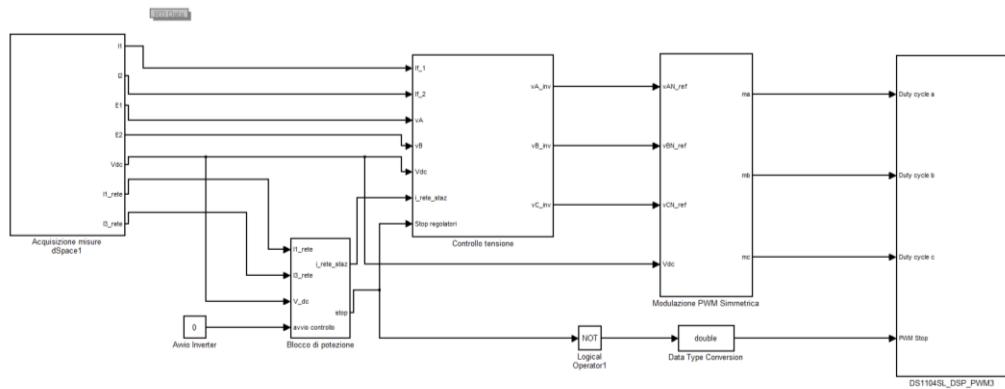


Figura 4.5: Modello Simulink utilizzato per il controllo della dSpace.

Per la realizzazione del modello è necessario adottare alcuni accorgimenti. La simulazione deve essere impostata a passo fisso ed è necessario ridurre i loop algebrici, dato che non è noto come Matlab li risolva. Essi possono essere sostituiti con script nei quali viene implementata la FDT digitale del corrispondente loop. Se non possono essere eliminati, è necessario che la catena di retroazione sia ritardata, in modo che non si riferisca l'ingresso a grandezze che non esistono. Le misure vengono acquisite nel blocco “Acquisizione Misure dSpace1”, mostrato in Fig. 4.6.

Sistema di prototipazione rapida dSpace e banco prova

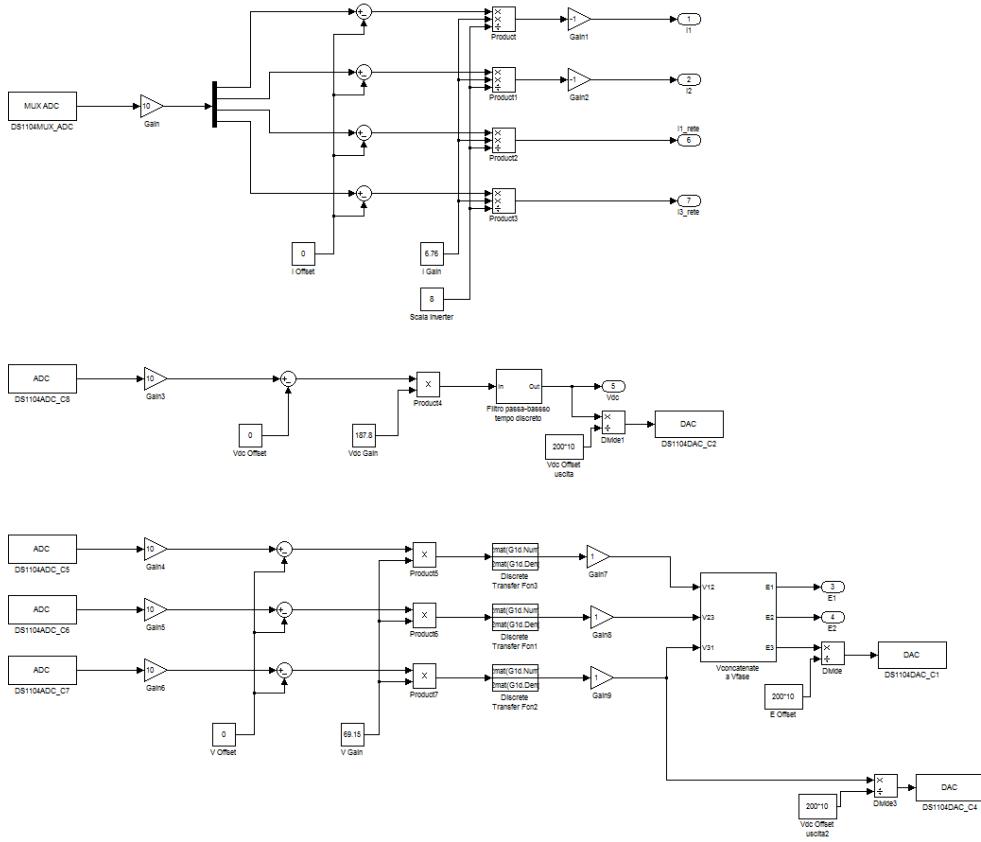


Figura 4.6: Dettaglio del blocco di acquisizione usato dalla dSpace.

Questo sottosistema acquisisce la tensione del bus DC, le tensioni concatenate al punto di contatto, le correnti di rete e le correnti di filtro. L’acquisizione dei segnali viene gestita da alcuni blocchi contenuti nella libreria “RTI1104”, installata nel sistema nella prima configurazione dell’hardware – RTI è l’acronimo di “Real Time Interface”. Accedendo a questa libreria, compare la finestra di Fig. 4.7.

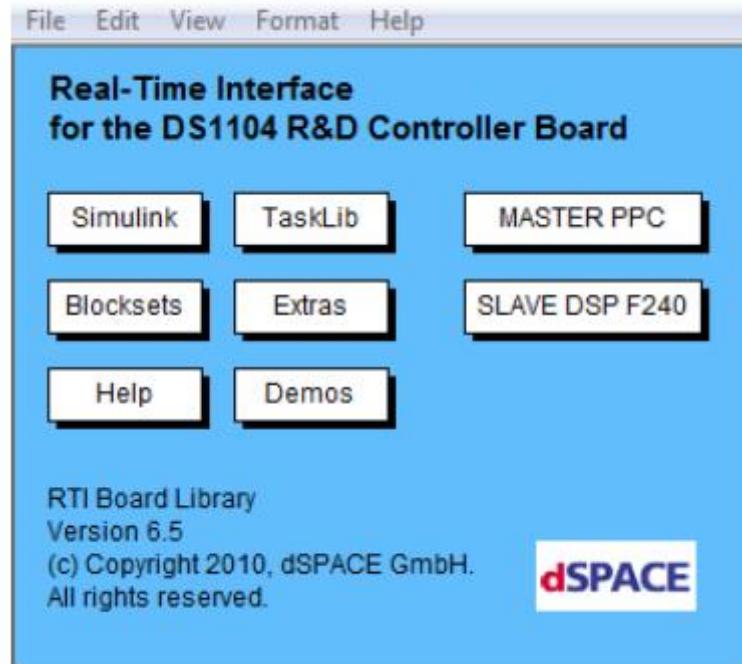


Figura 4.7: Finestra di dialogo della libreria “RTI1104”.

Come mostrato in Fig. 4.6 l’acquisizione delle misure è gestita da blocchi che rappresentano i canali AD del pannello connettore. Il blocco utilizzato è il “DS1104MUX-ADC”; i segnali in ingresso al pannello devono essere compresi tra -10 e +10 V e il blocco restituisce i segnali compresi tra -1 e +1. Questo blocco possiede un’unica uscita e quindi per gestire i segnali nella simulazione è necessario usare un demux. Gli altri 4 canali sono gestiti singolarmente dai blocchi “DS1104ADC-Cx” – l’ultima lettera x della sigla serve a selezionare l’ingresso desiderato. I segnali in uscita dal pannello connettore sono invece gestiti da blocchi DA “DS1104DAC-Cx”, il cui funzionamento è speculare ai precedenti. Questi blocchi vengono utilizzati per mandare in uscita dalla scheda la tensione di fase, al punto di contatto, e la tensione del bus DC. Per tenere conto delle caratteristiche della conversione AD, tutti i segnali vengono moltiplicati per un fattore 10; inoltre sono stati trattati in modo da eliminare eventuali offset e guadagni delle sonde di misura. Per la determinazione degli offset delle sonde di misura si è collegato un generatore di corrente alla sonda e si è confrontato il risultato misurato dalla scheda e visualizzato con il ControlDesk – un software che permette di monitorare in tempo reale le grandezze gestite tramite la dSpace – con il risultato letto sul display dello strumento. Per la determinazione dell’offset basta leggere la misura quando la corrente è nulla, mentre per la misura del

guadagno la misura diviene a corrente campione. I segnali di tensione e di corrente sono stati opportunamente filtrati, per eliminare l'eventuale rumore in ingresso ai convertitori: la costante di tempo della sonda di tensione è pari a 0.318 ms , mentre quella delle sonde di corrente è pari a $17.7\text{ }\mu\text{s}$. Per simulare l'effetto delle sonde reali, i segnali in uscita dai blocchi DA sono stati divisi preliminary per 200 e poi ulteriormente di un fattore 10, per considerare il rapporto del canale BNC.

I segnali di gate sono generati dal blocco “DS1104SL-DSP-PWM3”. Questo blocco, oltre agli ingressi per le modulanti, dispone di un quarto ingresso di protezione, il cui scopo è fermare l'inverter nel caso sussistano determinate condizioni. Il segnale è generato nel blocco “Stop”, mostrato in Fig. 4.8, ed è realizzato mediante uno script Matlab.

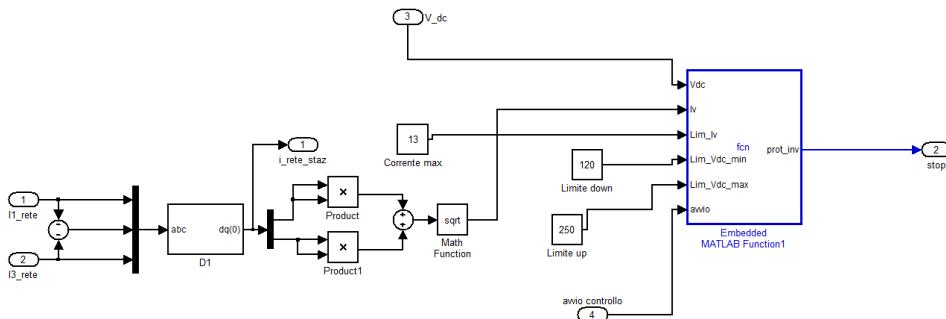


Figura 4.8: Blocco che genera il segnale di protezione.

Quando le correnti di rete e/o la tensione sul bus DC del condensatore superano o scendono sotto una determinata soglia – editabile dal control Desk in tempo reale ma fissata preliminary a 13A per le correnti, 250V come limite superiore e 70 come limite inferiore per il bus DC – il blocco genera un segnale alto che interdice il controllo dell'inverter. Naturalmente è possibile interdire il controllo dell'inverter anche dal ControlDesk. In Fig. 4.9 viene mostrato un dettaglio relativo allo “Slave I/O PWM connector” a 37 pin “DS1104SL-DSP-PWM3 (CP18)”, mediante il quale viene controllato l'inverter. Nel dettaglio viene mostrato che sono utilizzati i pin SPWM1, SPWM3, SPWM5 per i segnali in logica positiva, mentre i pin SPWM2, SPWM4, SPWM6 sono usati per i segnali di gate in logica negata.

| Connector (CP18) | Pin | Signal | Pin | Signal |
|------------------|-----|------------|-----|--------|
| 1 | 1 | GND | | |
| | 2 | SCAP1 | 20 | GND |
| | 3 | SCAP3 | 21 | SCAP2 |
| | 4 | GND | 22 | SCAP4 |
| | 5 | ST2PWM | 23 | ST1PWM |
| | 6 | GND | 24 | ST3PWM |
| | 7 | SPWM1 | 25 | GND |
| | 8 | SPWM3 | 26 | SPWM2 |
| 19 | 9 | SPWM5 | 27 | SPWM4 |
| | 10 | SPWM7 | 28 | SPWM6 |
| | 11 | SPWM9 | 29 | SPWM8 |
| | 12 | GND | 30 | GND |
| | 13 | GND | 31 | GND |
| | 14 | GND | 32 | GND |
| | 15 | GND | 33 | GND |
| | 16 | SSIMO | 34 | SSOMI |
| | 17 | SCLK | 35 | SSTE |
| | 18 | VCC (+5 V) | 36 | GND |
| | 19 | VCC (+5 V) | 37 | GND |

Figura 4.9: Nominazione pin del connettore DS1104SL-DSP-PWM3 (CP18).

Per la riduzione dei tempi di calcolo si è adoperata una semplificazione dello schema rispetto a quello usato in simulazione; innanzitutto non è stato implementato il controllo della potenza reattiva immessa in rete, poi è stato modificato il sottosistema “Modulazione PWM Simmetrica” e non è stato implementato il downsampling.

Nelle figure seguenti vengono mostrate le figure relative ai blocchi che generano i riferimenti di tensione dell'inverter.

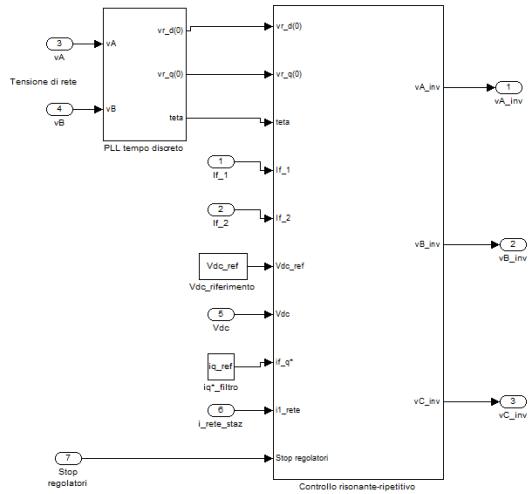


Figura 4.10: Interno del blocco “controllo tensione”.

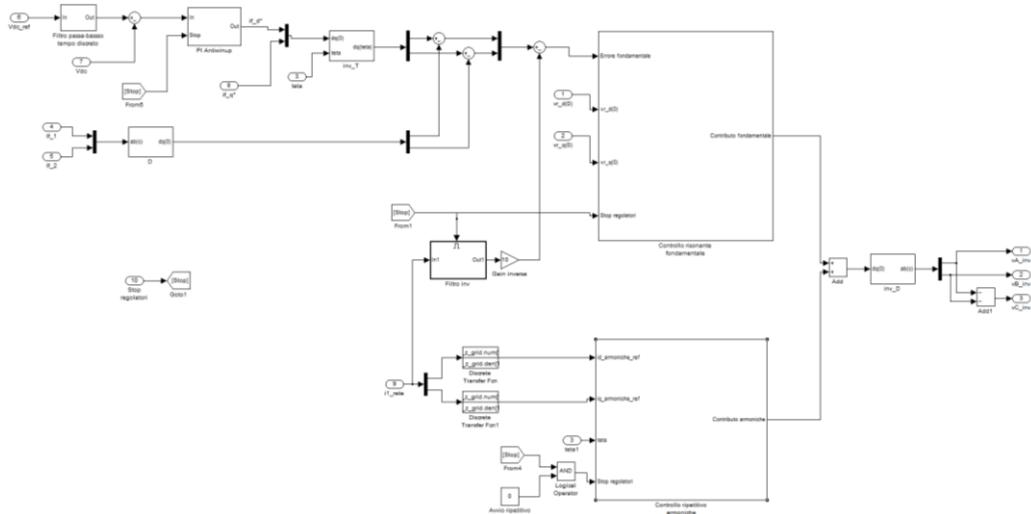


Figura 4.11: Controllo risonante ripetitivo.

Il funzionamento dei due macro blocchi che generano le componenti in prima armonica e quelle in alta frequenza del vettore di spazio della tensione di inverter è equivalente a quello descritto nel capitolo 3, e quindi non verrà approfondito ulteriormente. Partendo dai riferimenti generati dal blocco “Controllo Tensione” vengono generate le modulanti attraverso il blocco “Modulazione PWM Simmetrica”, mostrato in Fig. 4.12.

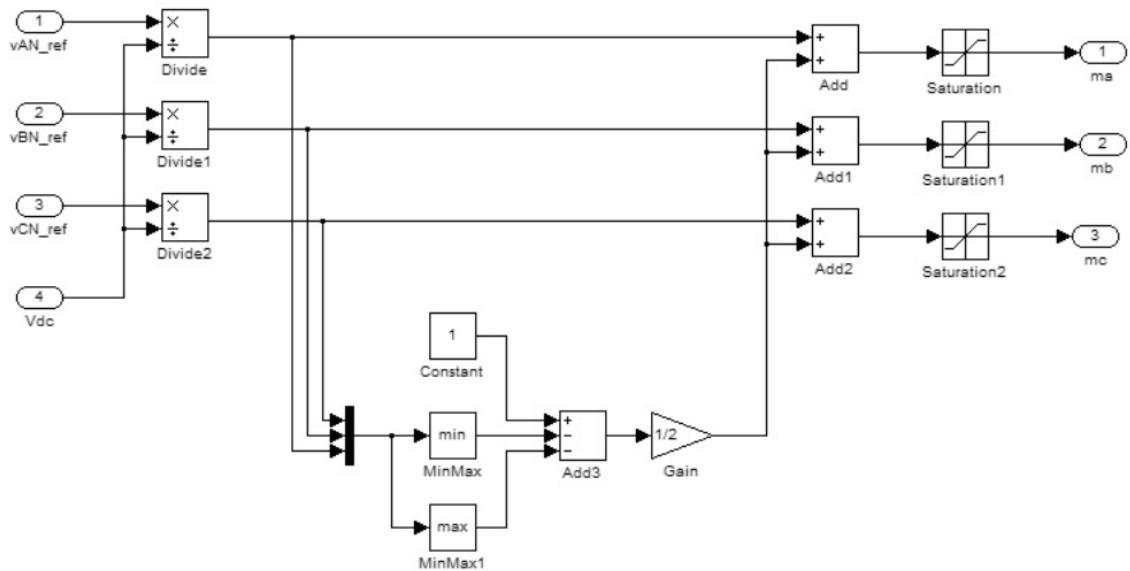


Figura 4.12: Modulazione PWM simmetrica.

Bisogna sottolineare che questa versione della dSpace è compatibile esclusivamente con la versione di Matlab 2008, molto diversa da quella utilizzata in simulazione.

Il modello Simulink presentato viene quindi tradotto in codice C per il compilatore; premendo contemporaneamente i tasti Ctrl+B il codice viene caricato direttamente sull'hardware. Una volta che questa procedura è terminata il sistema è pronto per essere lanciato, e gestito mediante il ControlDesk.

4.3 ControlDesk

Il ControlDesk è un software che permette di gestire, in tempo reale, le applicazioni caricate sull'hardware dSpace, attraverso interfacce grafiche. In Fig. 4.9 è mostrata la schermata relativa al ControlDesk.

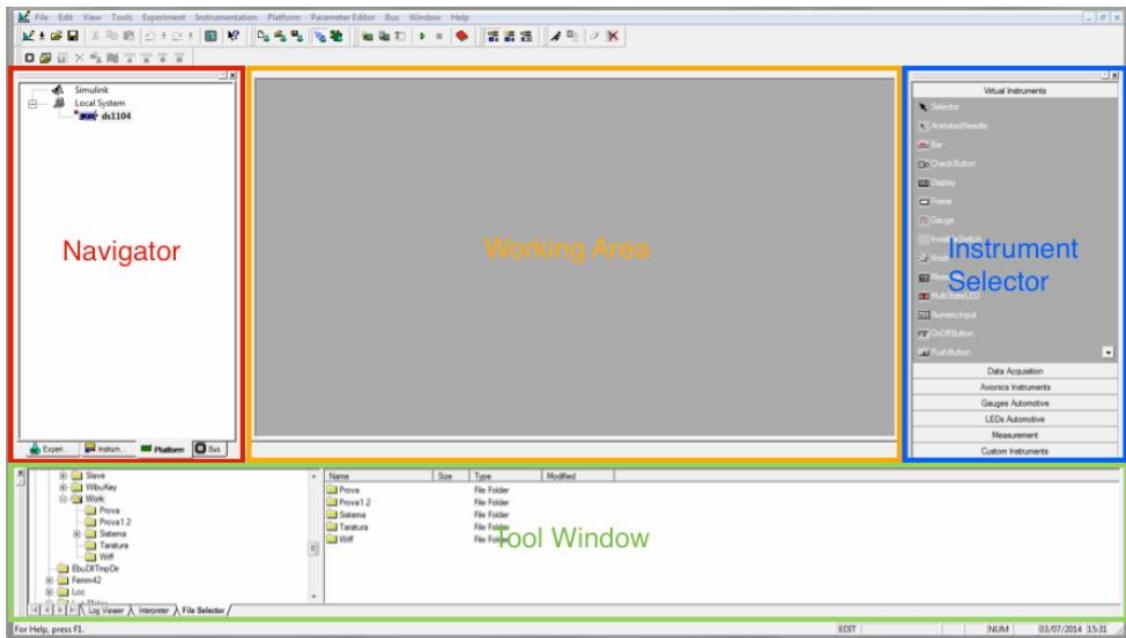


Figura 4.13: Schermata di base del ControlDesk.

L'interfaccia grafica di Fig. 4.13 è divisa in 4 parti:

- *Navigator*: è la sezione sinistra della Fig. 4.13, divisa in più campi:
 - Experiment, che permette di visualizzare il percorso dei file appartenenti all'esperimento aperto.
 - Instrumentation, che descrive i layout aperti e gli strumenti in esso inseriti.
 - Platform, che contiene le icone relative alla scheda DS1104.

- *Tool Window*: è la sezione in basso alla Fig. 4.9. E' divisa in:
 - Log viewer, che contiene i messaggi generati dal control desk, come gli avvisi e i messaggi di errore.
 - File selector, che consente di caricare l'applicazione sulla scheda hardware.
 - Interpreter, che contiene i messaggi dell'interprete Python, utilizzabile da ControlDesk.
 - Variable Manager, che mostra un elenco ad albero delle variabili e dei parametri dell'applicazione caricata sulla scheda hardware.
- *Working Area*: è la sezione adibita alla gestione dell'esperimento. In questa parte è possibile visualizzare e manipolare i segnali gestiti dalla scheda. E' inoltre possibile variare i guadagni a run-time, accendere segnali luminosi e gestire parti del controllo.
- *Instrumental selector*, che permette l'accesso a tutti gli strumenti utilizzabili nel layout.

L'interfaccia grafica permette di avviare o terminare l'esecuzione del programma attraverso i comandi Run e Stop, di colore verde e rosso rispettivamente. Esistono 3 modalità di utilizzo del ControlDesk:

- *Edit mode*, nella quale è possibile modificare il layout presente nella working area.
- *Test mode*, nella quale è possibile testare le funzionalità del layout.
- *Animation mode*, nella quale si esegue il layout attraverso i comandi di Start e Stop.

Dopo aver aperto il programma è necessario aprire un esperimento, creato in precedenza – File/New Experiment. Successivamente bisogna caricare il file, con estensione .sdf,

dalla Tool Window all’icona *ds1104* della scheda Platform, presente nel riquadro *Navigator*, caricando l’applicazione generata durante la fase di compilazione. Una volta terminata la procedura, comparirà nella *Tool Window* una lista delle variabili dell’applicazione caricata. Dopo aver generato l’esperimento, sarà necessario creare il layout – File/New/Layout. Attraverso l’interfaccia grafica del control desk sarà possibile aggiungere numerosi strumenti virtuali, presenti nella sezione *Instrument Selector*, e aggiungerli al pannello realizzato. Per associare uno strumento a un segnale, sarà sufficiente selezionarlo, dalla finestra Variable Manager della sezione *Tool Window*, e trascinarlo sullo strumento virtuale. Tra gli strumenti virtuali disponibili sono disponibili interruttori e pulsanti, Display, led, caselle di testo e grafici. Per il controllo del sistema sono stati realizzati 4 layout: in ognuno di essi sono presenti due tasti che permettono l’accensione separata del controllo di prima armonica e del controllo ripetitivo. Nel primo layout, mostrato in Fig. 4.14, sono presenti grafici relativi alla tensione del bus DC, alle modulanti e alle tensioni v_{r_d} e v_{r_q} nel sistema di riferimento sincrono, oltre che ad indicatori istantanei del valore efficace della corrente di inverter e della tensione del bus DC. Questa tipologia di indicatore permette di visualizzare, attraverso degli indicatori rossi, i valori massimi raggiunti dalle grandezze, per monitorare eventuali anomalie.

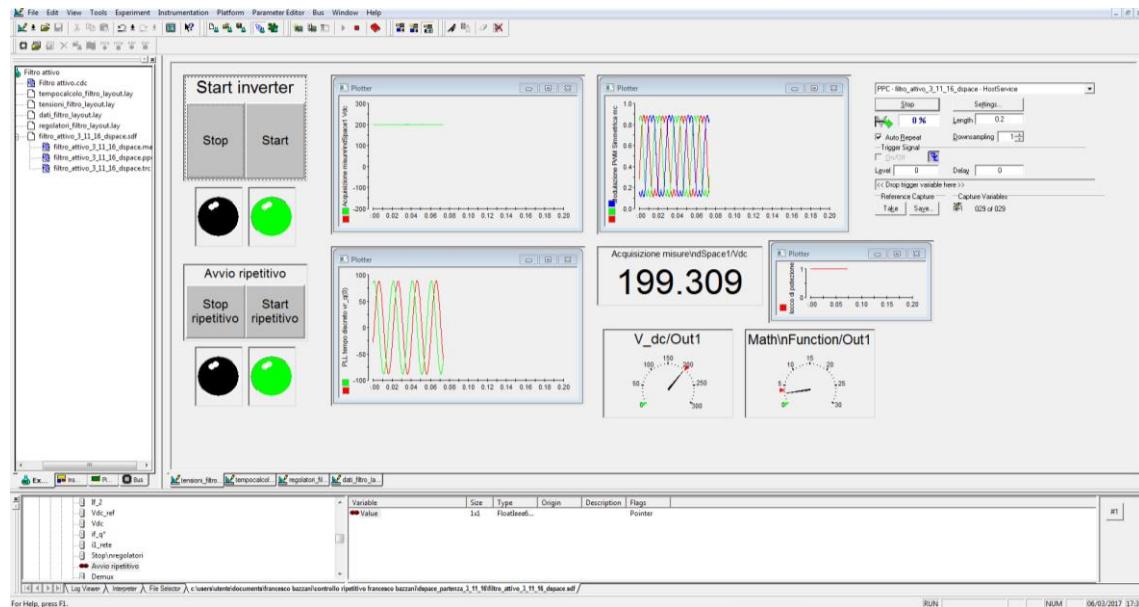


Figura 4.14: Layout di controllo del bus DC.

Nel secondo Layout, mostrato in Fig. 4.15, è visualizzato un grafico relativo ai tempi di calcolo.

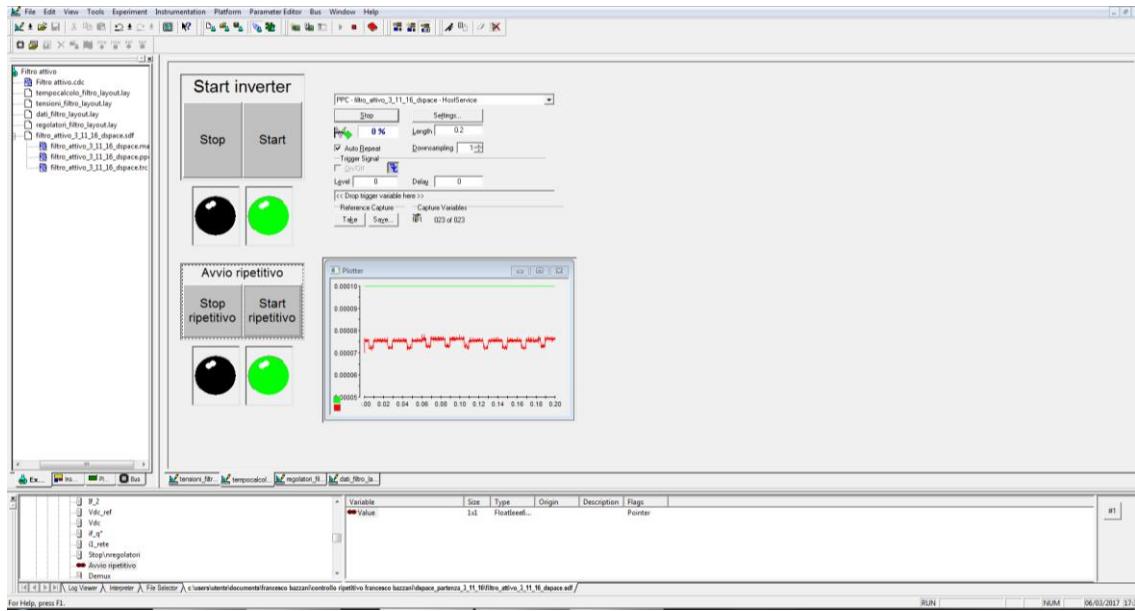


Figura 4.15: Layout di controllo dei tempi di calcolo.

Nel terzo layout, mostrato in Fig. 4.16, sono mostrate le uscite dei regolatori risonante e ripetitivo.

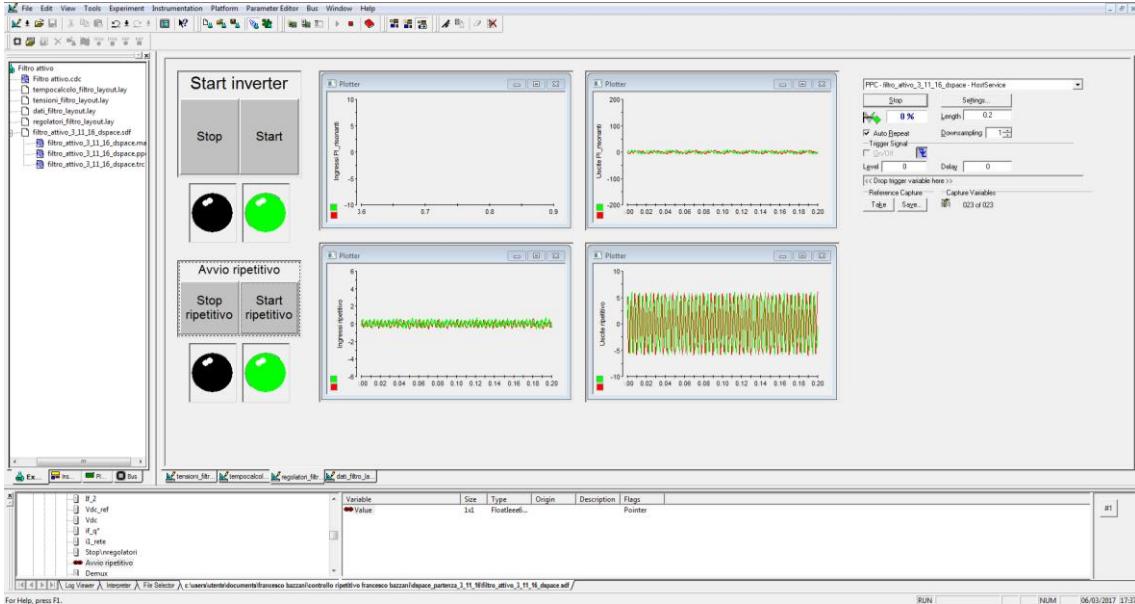


Figura 4.16: Layout di controllo delle uscite dei regolatori Risonante e Ripetitivo.

Sistema di prototipazione rapida dSpace e banco prova

Attraverso il quarto layout, mostrato in Fig. 4.17, è possibile modificare in run-time i guadagni di ogni regolatore implementato.

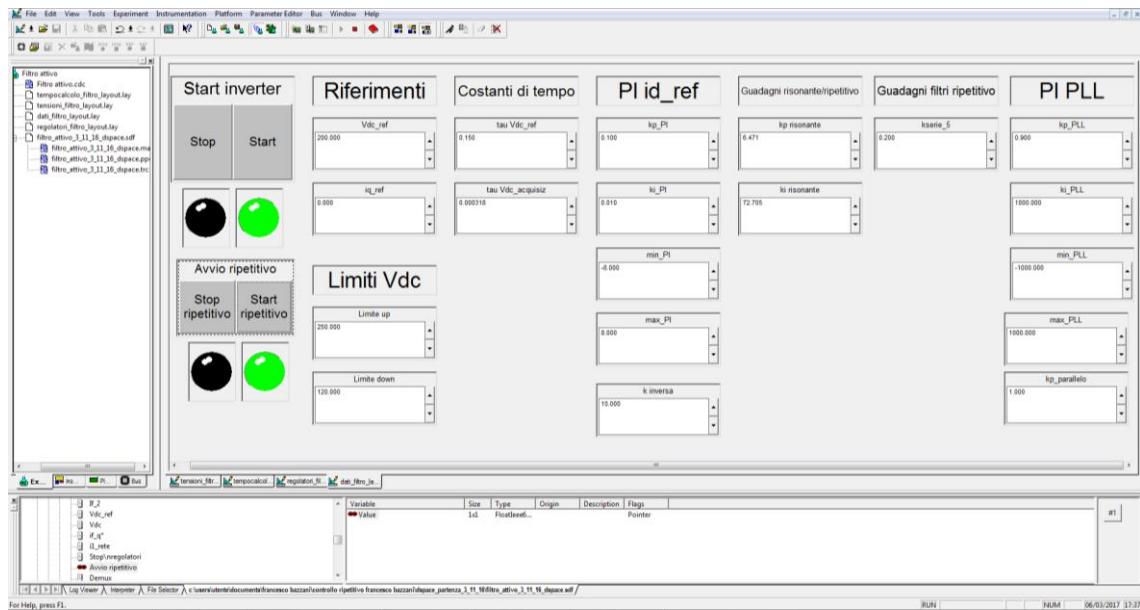


Figura 4.17: Layout di controllo dei guadagni dei regolatori.

4.4 Banco di prova

In Fig. 4.18 viene mostrato uno schema relativo al banco prova utilizzato in questo lavoro di tesi.

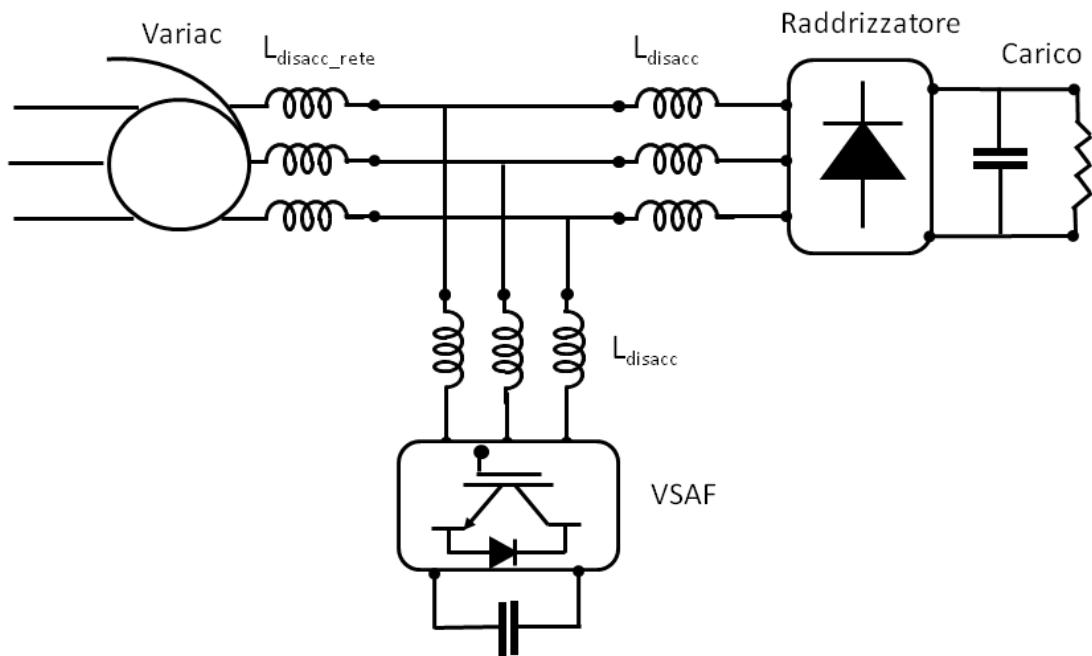


Figura 4.18: Schema del banco prova.

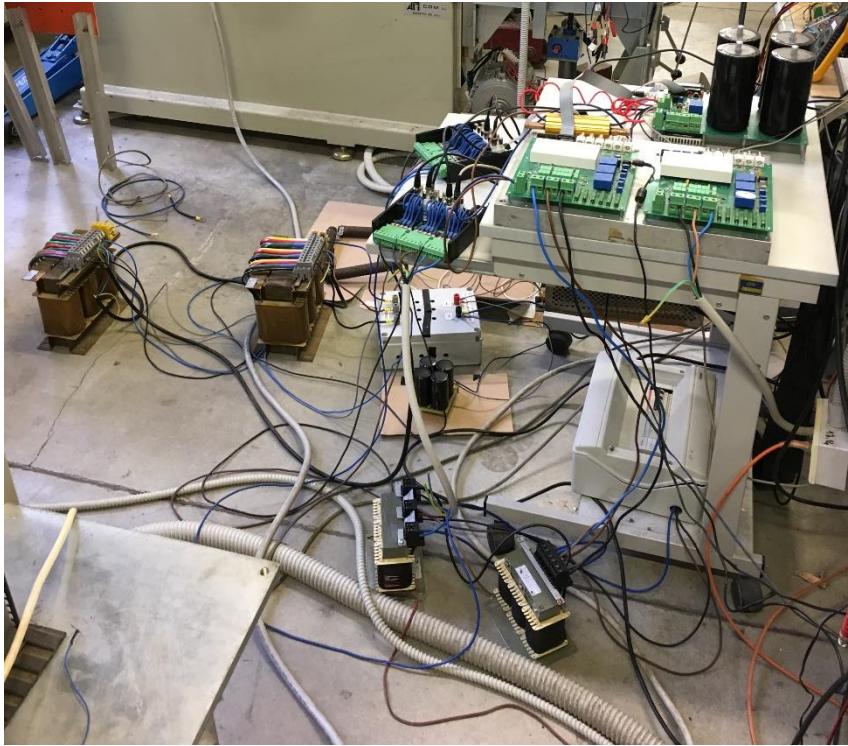


Figura 4.19: Banco Prova effettivamente utilizzato.

L'alimentazione del banco prova viene effettuata attraverso un Variac, la cui tensione di fase può essere controllata attraverso un reostato presente nella postazione di controllo. Si è scelto di utilizzare un variac perché permette innanzitutto un maggiore controllo sulle tensioni di fase, permette all'operatore di aumentare in modo graduale la tensione a distanza, diminuendo i picchi di corrente iniziali ed evitando le fulminazioni, in quanto l'operatore non agisce direttamente sul circuito. E' possibile visualizzare la tensione al punto di contatto sia dal ControlDesk che attraverso un multmetro collocato nella postazione di comando. Al fine di aumentare la sicurezza contro le sovraccorrenti, tra il variac e il PCC è interposto un quadro elettrico, che protegge contro le sovraccorrenti attraverso un modulo magnetotermico. Inizialmente il banco era stato predisposto per lo studio di azionamenti con macchine rotanti, quindi tra il ponte e il punto di contatto è presente un sezionatore, il cui comando è sempre collocato nel quadro elettrico. Al fine di garantire l'intervento tempestivo dell'operatore, nella postazione di comando è posto un teleruttore, alimentato attraverso un piccolo trasformatore collocato nel quadro. In Fig. 4.20 vengono mostrate le figure relative al quadro e al teleruttore.



(a)

(b)

Figura 4.20: Teleruttore (a) e quadro elettrico (b).

Tra gli apparati impiegati in questo banco – variac, inverter e ponte raddrizzatore – e il punto di contatto sono presenti delle impedenze di disaccoppiamento. Il valore dell’impedenza di rete vale:

$$R_A = R_B = R_C = 9 \text{ m}\Omega$$

$$L_A = 2.5 \text{ mH} \quad L_B = 3 \text{ mH} \quad L_C = 2.6 \text{ mH.}$$

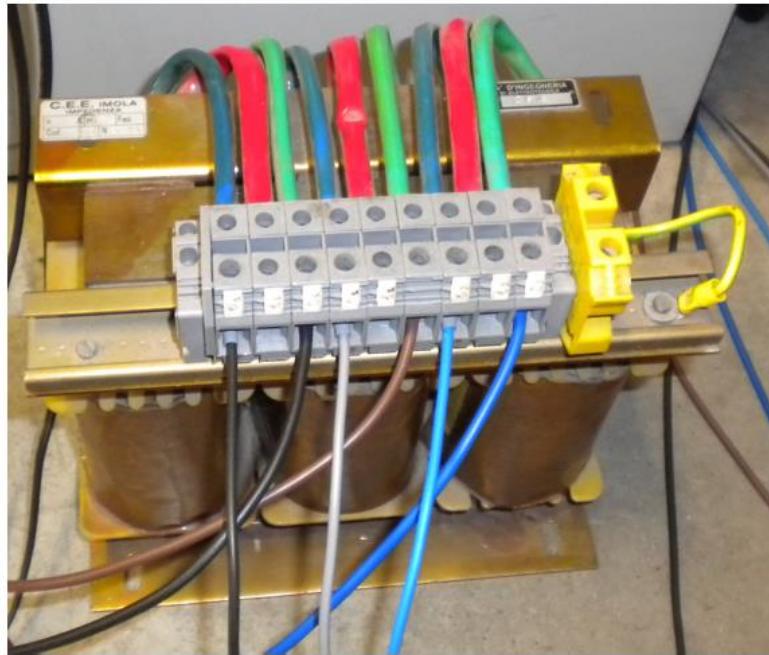


Figura 4.21: Induttanza di disaccoppiamento.

Sia l'inverter che il ponte presentano la stessa impedenza di disaccoppiamento al punto di contatto, costituita dalla serie di due resistenze e due induttanze, per ogni fase. Il valore di questi parametri è:

$$R_{1dis} = 12.95 \text{ m}\Omega \quad R_{2dis} = 12.9 \text{ m}\Omega$$

$$L_{1dis} = 1.18 \text{ mH} \quad L_{2dis} = 1.17 \text{ mH}.$$

La Fig. 4.22 mostra il ponte raddrizzatore e il carico, costituito dal parallelo di un condensatore, di capacità $600 \mu\text{F}$ con la serie di tre resistori, di resistenza 10Ω e due reostati, di resistenza massima pari a 13Ω .

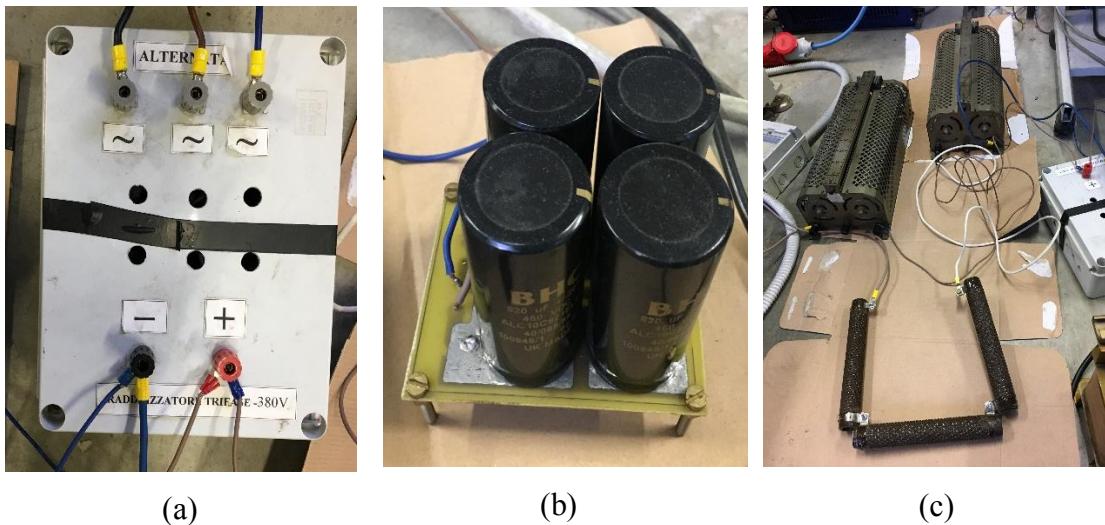


Figura 4.22: Ponte raddrizzatore (a), condensatore (b) e carico (c).

In Fig. 4.23 (a) e (b) viene mostrato l'inverter. Esso è costituito da 2 parti fondamentali: lo stadio che contiene i driver di potenza e lo stadio del bus DC. All'interno della scheda di Fig. 4.23 sono implementati i connettori BNC che permettono di collegarsi alla logica di controllo e una morsettiera adibita alla misura delle grandezze elettriche.

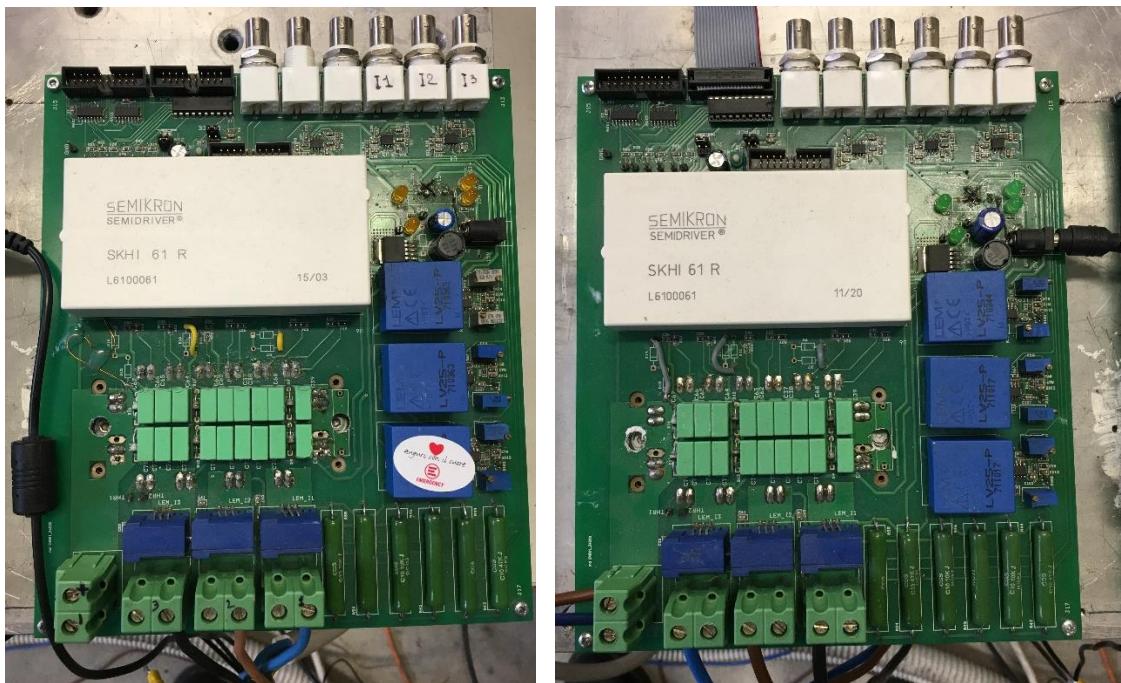


Figura 4.23: Inverter.

Sistema di prototipazione rapida dSpace e banco prova

Lo stadio in corrente continua è mostrato in Fig. 4.24; la capacità della configurazione serie-parallelo dei condensatori è pari a 2.2 mF . La capacità è realizzata attraverso il parallelo della serie di condensatori da 2.2 mF , in modo da ripartire la tensione a cui è sottoposto ogni dispositivo. In parallelo ai condensatori è presente un ramo di resistenze a $10 \text{ k}\Omega$, il cui scopo è velocizzare la scarica dei condensatori. Ogni stadio dell'inverter è alimentato a 15 V .



Figura 4.24: Bus DC dell'inverter.

La misura delle tensioni e delle correnti sono realizzate attraverso delle schede di misura, mostrate in Fig. 4.25.

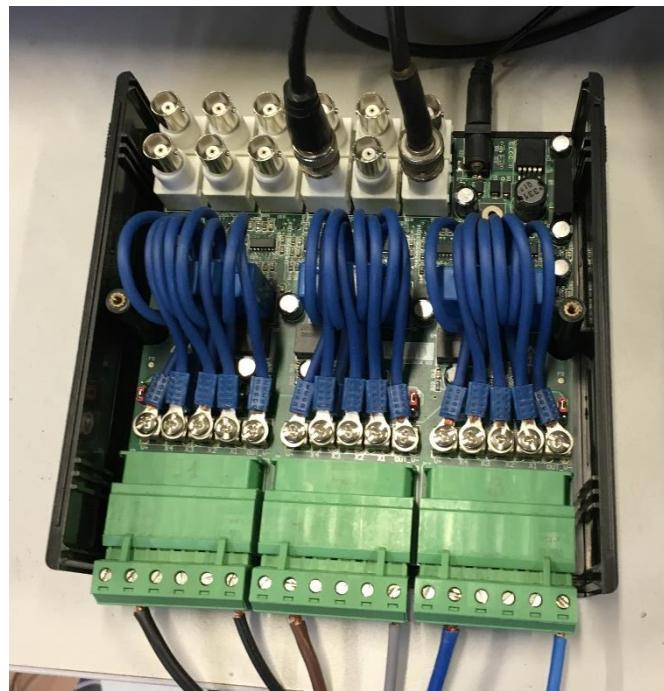


Figura 4.25: Sonde di Sallen Key.

Sistema di prototipazione rapida dSpace e banco prova

Capitolo 5

Prove sperimentali

In questo ultimo capitolo verranno mostrati i risultati ottenuti durante le prove sperimentali per ogni architettura di controllo ripetitivo. Verranno riportati gli andamenti temporali delle correnti a regime e verrà valutato l'effetto del controllo sul THD. Le prove verranno effettuate con la tensione del bus DC a 200 V.

5.1 Transitorio di regolazione della prima armonica

In questo paragrafo verranno mostrati i risultati ottenuti dal controllo risonante di prima armonica. Lo scopo di questo controllo è portare la tensione del bus DC al riferimento corretto, rifasare la potenza reattiva assorbita dal carico ed eliminare la prima armonica inversa nella corrente di rete. In figura (5.1) viene mostrata la corrente assorbita dal carico senza l'intervento di nessun controllo.

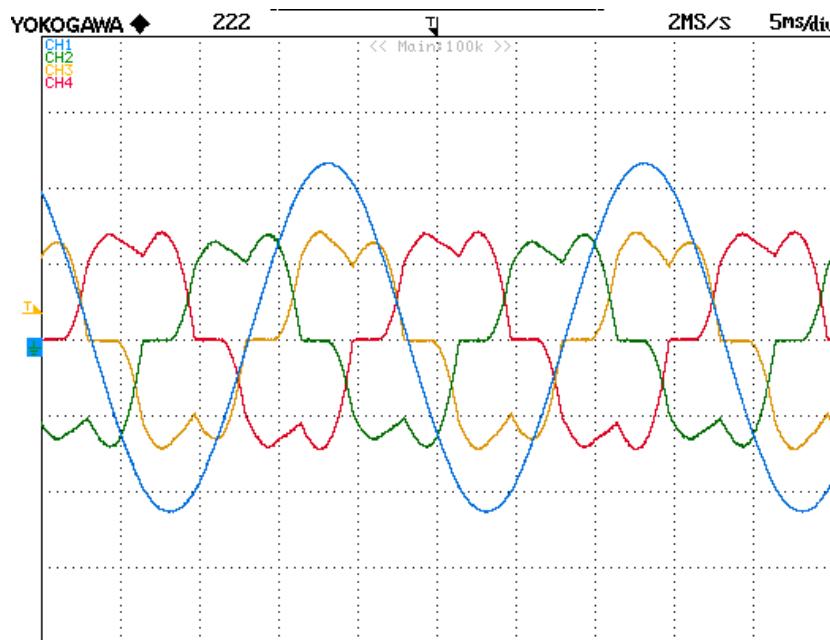


Figura 5.1: Correnti di rete e prima armonica della tensione al PCC (in blu), senza l'intervento di nessun controllo. Scale: 40V/div, 2A/div, 2ms/div.

In Fig. 5.1 è possibile notare il ritardo della corrente di rete rispetto alla prima armonica della tensione al punto di contatto. Il ritardo è dovuto alla potenza reattiva assorbita dalle impedenze di disaccoppiamento tra il ponte e la rete, dato che il ponte assorbe prevalentemente potenza attiva in quanto il carico alimentato dal ponte è un ramo RC parallelo che raddrizza la tensione ai capi della resistenza. La tensione mostrata in Fig. 5.1 è la prima armonica della tensione di rete; questa è stata ottenuta filtrando, attraverso un filtro di peaking, la tensione misurata dal sistema di controllo. La tensione effettivamente misurata ha un andamento differente, in quanto le cadute armoniche sulla impedenza di disaccoppiamento tra il variac e il PCC ne distorcono la forma d'onda. Ha comunque senso mostrare l'andamento filtrato, in quanto gli scambi di potenza tra la rete e i carichi sono dovuti a questa armonica; inoltre permette di verificare in maniera grafica che il controllo rifasi completamente la corrente di rete. In Fig. 5.2 viene mostrato lo spettro relativo alle correnti di Fig. 5.1.

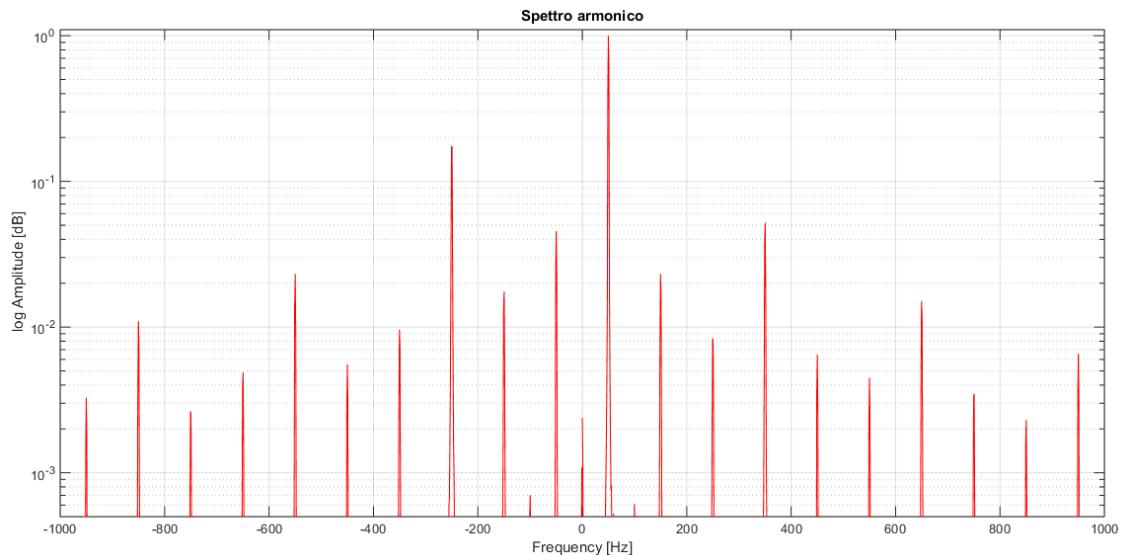


Figura 5.2: Spettro complesso della corrente di rete.

Tutti gli spettri sono stati realizzati utilizzando uno script di Matlab, che acquisisce 100k campioni in una finestra temporale di 1s. La scala dell'ampiezza armonica è normalizzata rispetto alla fondamentale ed è semilogaritmica. Come è possibile prevedere, le armoniche di maggior entità, nello spettro di Fig. 5.2, sono quelle di ordine +5 e -7. Il sistema di correnti presenta tutte le armoniche dovute alla presenza di una armonica di

tensione di ordine -1. Nello spettro risultano inoltre ben evidenti le armoniche multiple di 3, in particolare la +3 e la +9. Queste armoniche – non presenti nelle correnti di un carico trifase simmetrico alimentato da una terna anch’essa simmetrica – sono dovute alle componenti di terza armonica, presenti nella tensione al punto di contatto, dovute agli squilibri della rete – sostanzialmente ai carichi monofase. I THD dello spettro di Fig. 5.2 è pari a:

$$THD = 21.56 \text{ \%}.$$

Una volta entrato in funzione il regolatore risonante di prima armonica, la tensione del bus DC ha il transitorio mostrato in Fig. 5.3.

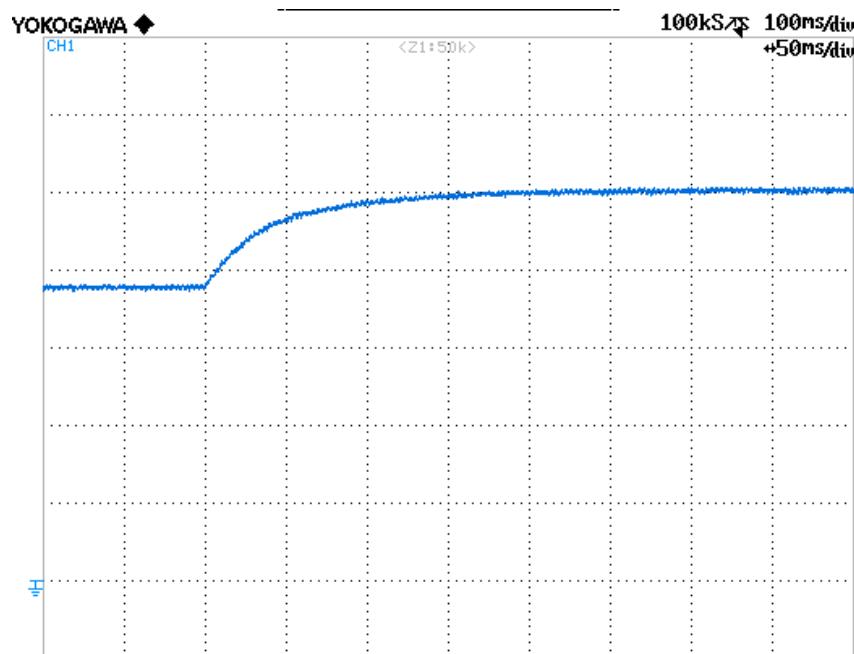


Figura 5.3: Transitorio della tensione del bus DC. Scale: 40V/div, 50 ms/div.

Durante la carica del condensatore le correnti subiscono un transitorio, mostrato in Fig. 5.4.

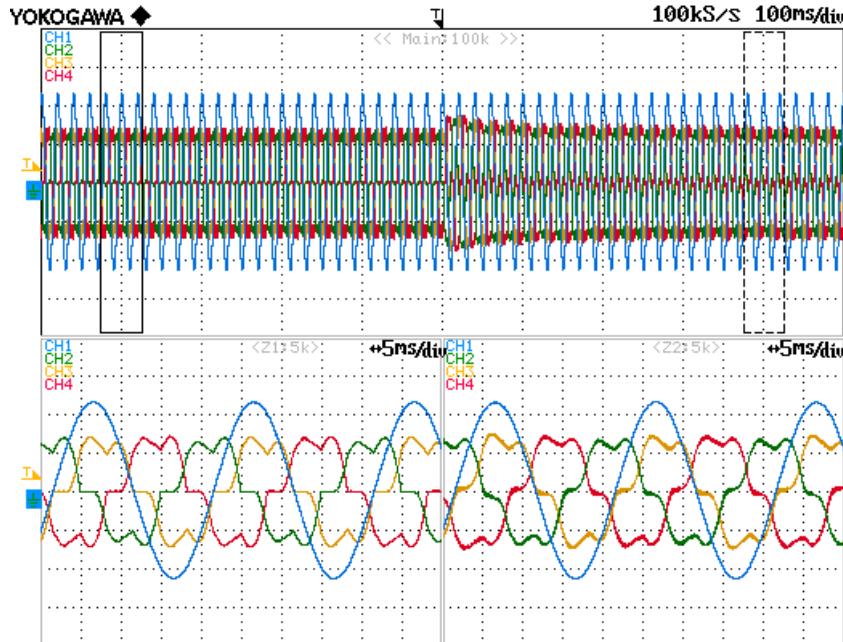


Figura 5.4: Transitorio delle correnti di rete. Scale: 2A/div, 40V/div, 50 ms/div.

In Fig. 5.5 vengono mostrate le correnti di rete una volta estinto il transitorio di carica del condensatore.

This figure is an oscilloscope capture from a YOKOGAWA instrument. The top half displays four network currents (CH1-CH4) over a time scale of 100kS/S (5ms/div). The bottom half shows the same signals over a time scale of 2MS/S (5ms/div). A blue trace at the bottom represents the primary voltage at the Point of Common Coupling (PCC). The currents show periodic oscillations, indicating the effect of resonance control on the network currents. The voltage trace also shows corresponding periodic changes.

Figura 5.5: Correnti di rete e prima armonica della tensione al PCC (in blu), dopo l'intervento del controllo risonante di prima armonica. Scale: 40V/div, 2A/div, 2ms/div.

In Fig. 5.6 è mostrato lo spettro delle correnti di Fig. 5.5.

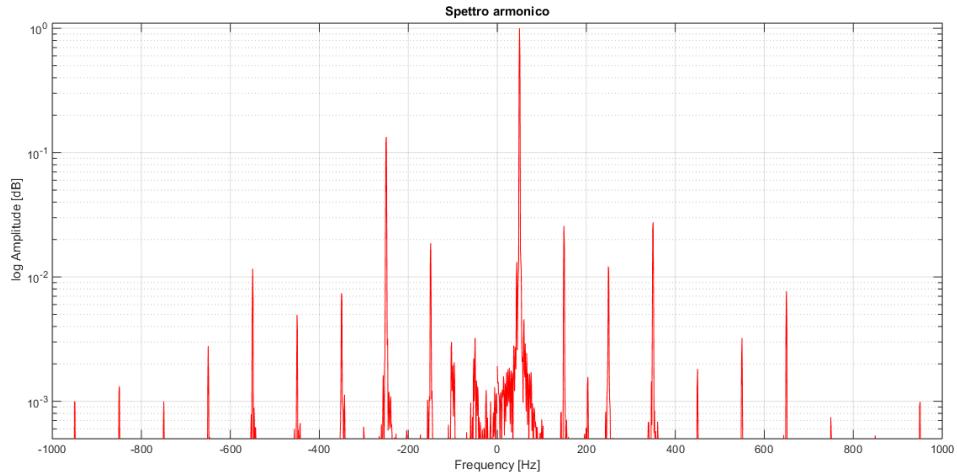


Figura 5.6: Spettro delle correnti dopo l'intervento del controllo risonante di prima armonica.

Le correnti di rete presentano ancora una forte distorsione armonica, come mostra la Fig. 5.6, pari a:

$$THD = 15.76\%$$

Nella Fig. 5.7 vengono mostrati gli andamenti di 4 grandezze: prima armonica della tensione di rete, correnti di rete, filtro e carico relative alla stessa fase.

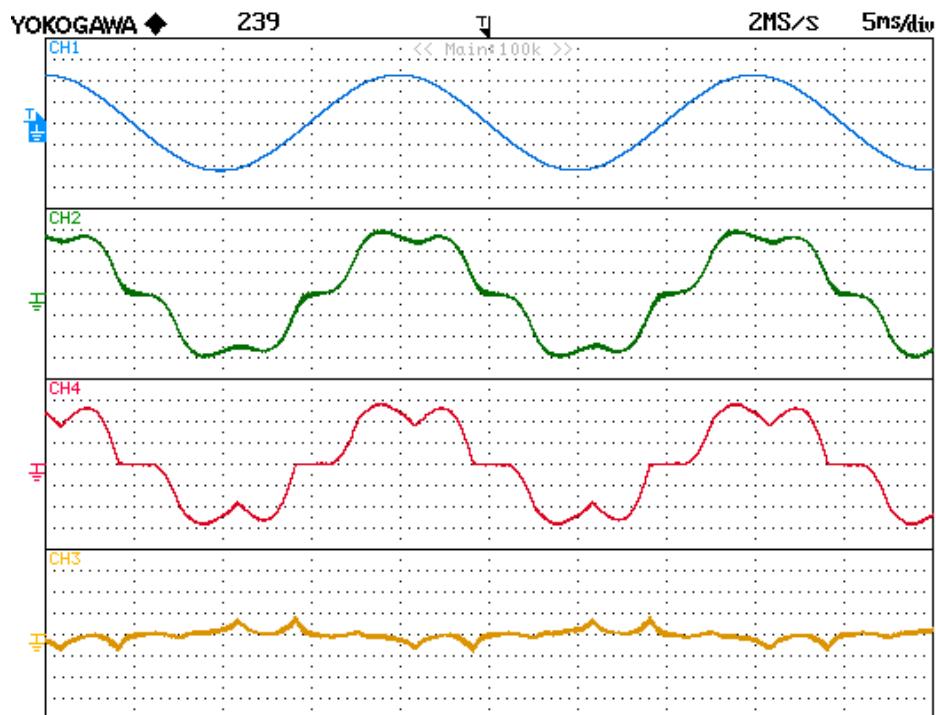


Figura 5.7: Tensione di rete, corrente di rete, corrente di carico, corrente di inverter dopo l'attivazione del controllo risonante. Scale: 40V/div, 1A/div, 2ms/div.

5.2 Architetture di controllo ripetitivo

Vengono ora mostrati i risultati ottenuti con ogni architettura di controllo provata. Lo scopo di questo lavoro è di effettuare un confronto tra le varie architetture. Per le architetture A, B, C la configurazione dei parametri viene mostrata nella Tabella (5.1) mentre per le architetture E, F la configurazione dei parametri è mostrata in Tabella (5.2).

| k_s | n_{rit} | $k_{interno}$ |
|------------|-----------|---------------|
| 5Ω | 4 | 0.98 |

Tabella 5.1: Configurazione dei parametri utilizzati per le architetture A, B, C.

| k_s | n_{rit} | $k_{interno}$ |
|------------|-----------|---------------|
| 2Ω | 4 | 0.98 |

Tabella 5.2: Configurazione dei parametri utilizzati per le architetture E, F.

- Architettura A

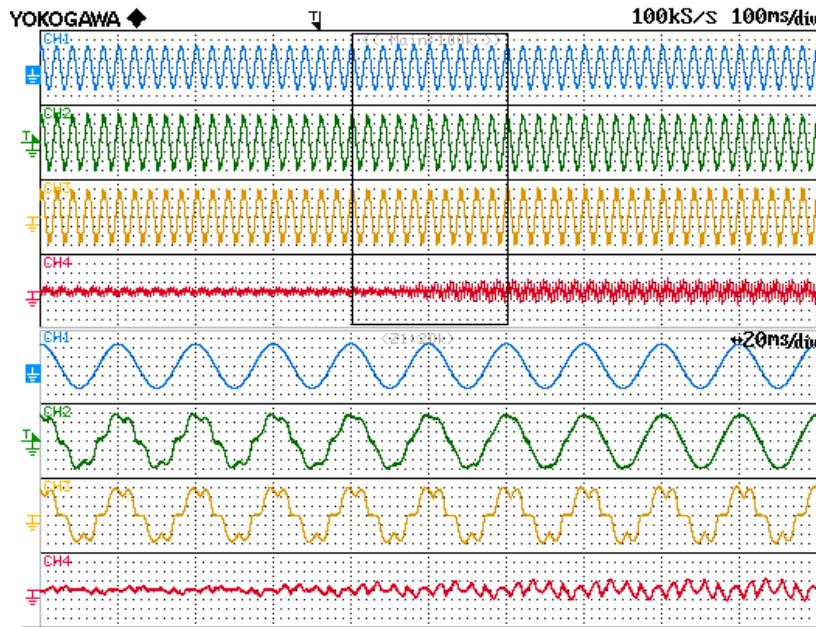


Figura 5.8: Transitorio di avvio dell'architettura di controllo A. Dall'alto verso il basso: prima armonica della tensione di rete (traccia blu), corrente di rete (traccia verde), corrente di carico (traccia gialla), corrente di inverter (traccia rossa). Scale: 100 ms/div primo grafico, 20 ms/div secondo grafico, 40 V/div, 1 A/div.

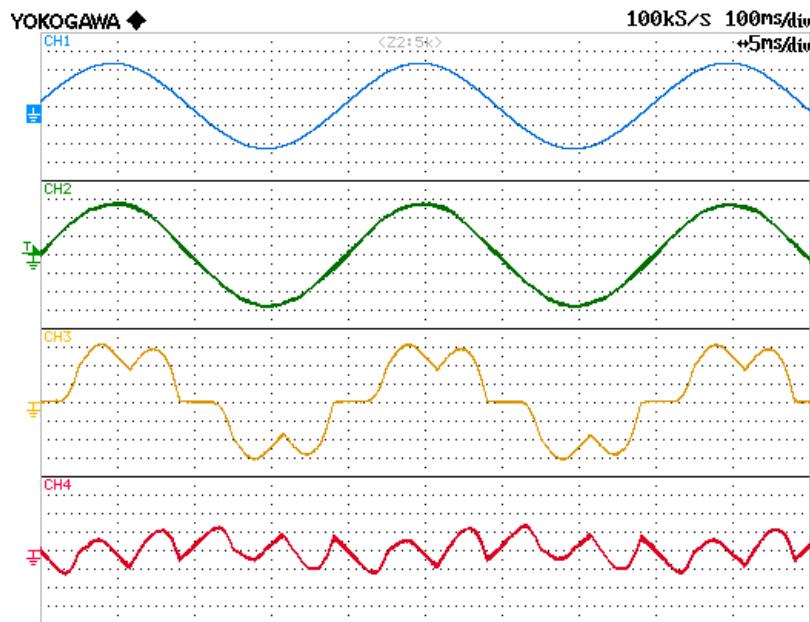


Figura 5.9: Prima armonica tensione di rete, corrente di rete, corrente di carico, corrente di inverter a transitorio esaurito. Scale: 5 ms/div, 40 V/div, 1 A/div.

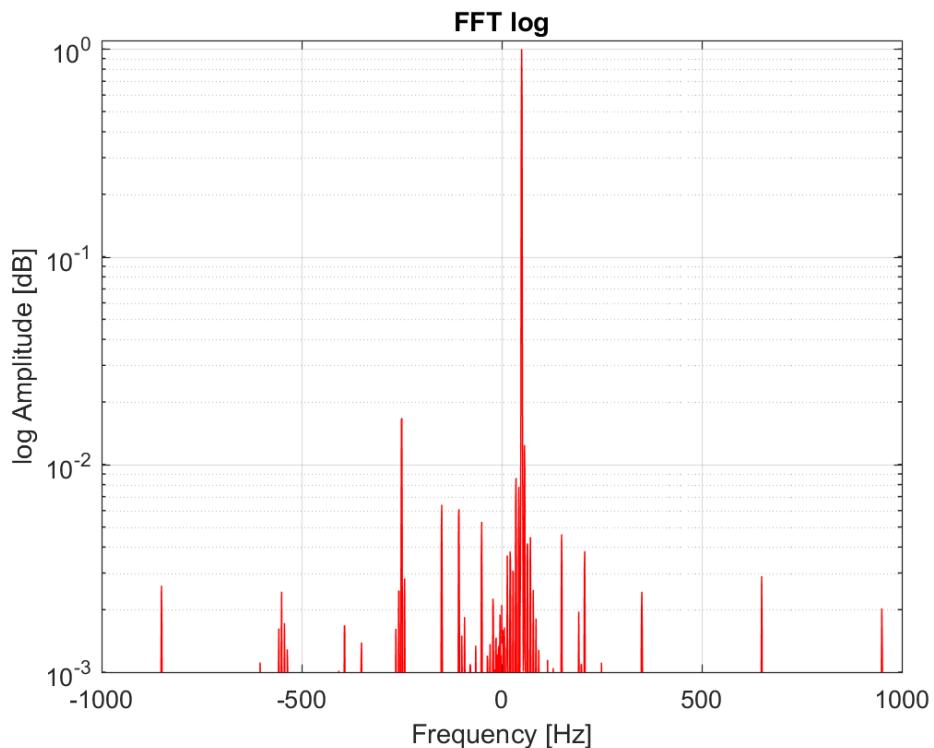


Figura 5.10: Spettro delle correnti di rete utilizzando l’architettura di controllo A a transitorio esaurito.

La Fig. 5.8 mostra il transitorio che subiscono tutte le correnti coinvolte, mentre la Fig. 5.9 mostra le correnti una volta esaurito il transitorio. La Fig. 5.10 mostra lo spettro delle correnti di rete; come è possibile osservare, il sistema di controllo ha abbattuto tutte le armoniche di corrente. L’armonica di corrente più evidente è la quinta che è inferiore a 0.02 volte la fondamentale. IL THD ottenuto da questa architettura risulta essere:

$$THD_A = 2.73\%$$

Come è noto, la componente di prima armonica di asse q rappresenta un grado di libertà del sistema, che permette di rifasare le correnti di rete. Nella Fig. 5.11 vengono mostrate le correnti prima e dopo la compensazione della potenza reattiva.

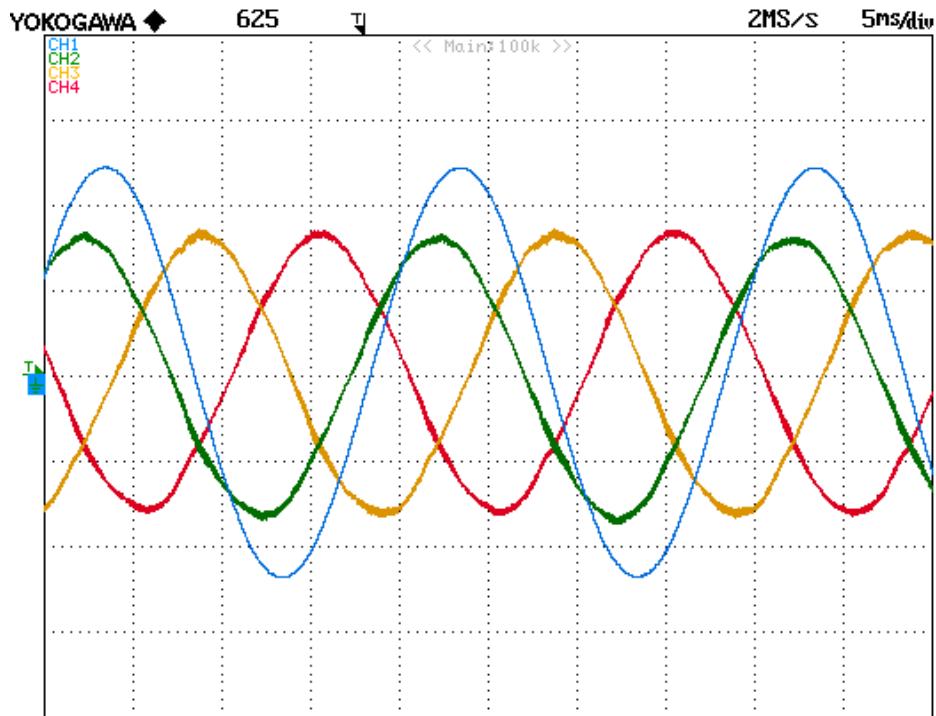


Figura 5.11: Prima armonica tensione di rete, correnti di rete senza compensazione potenza reattiva. Scale: 5 ms/div, 40 V/div, 1 A/div.

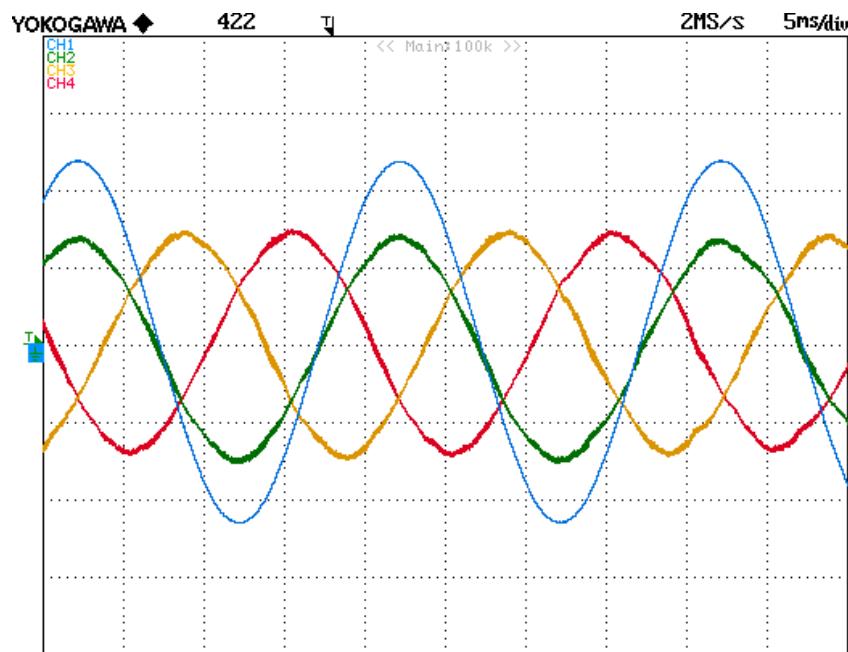


Figura 5.12: Prima armonica tensione di rete, correnti di rete con compensazione potenza reattiva. Scale: 5 ms/div, 40 V/div, 1 A/div.

Una volta effettuata la compensazione della potenza reattiva, il modulo delle correnti diminuisce, come è possibile notare dai grafici di Fig. 5.11 e 5.12 (per enfatizzare la diminuzione del modulo delle correnti in Fig. 5.11 si è impostato un riferimento atto ad anticipare le correnti sulle tensioni).

- Architettura B

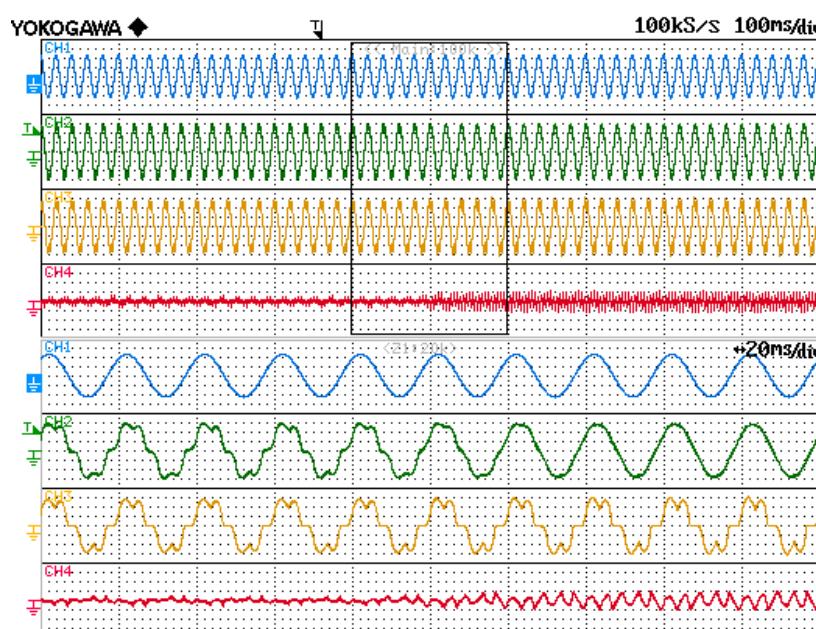


Figura 5.13: Transitorio di avvio dell'architettura di controllo B. Dall'alto verso il basso: prima armonica della tensione di rete (traccia blu), corrente di rete (traccia verde), corrente di carico (traccia gialla), corrente di inverter (traccia rossa). Scale: 100 ms/div primo grafico, 20 ms/div secondo grafico, 40 V/div, 1 A/div.

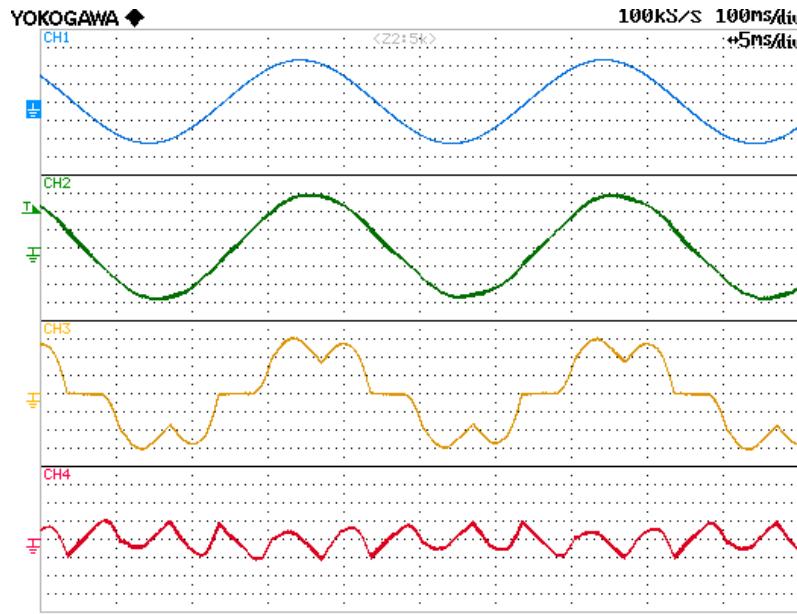


Figura 5.14: Prima armonica tensione di rete, corrente di rete, corrente di carico, corrente di inverter a transitorio esaurito. Scale: 5 ms/div, 40 V/div, 1 A/div.

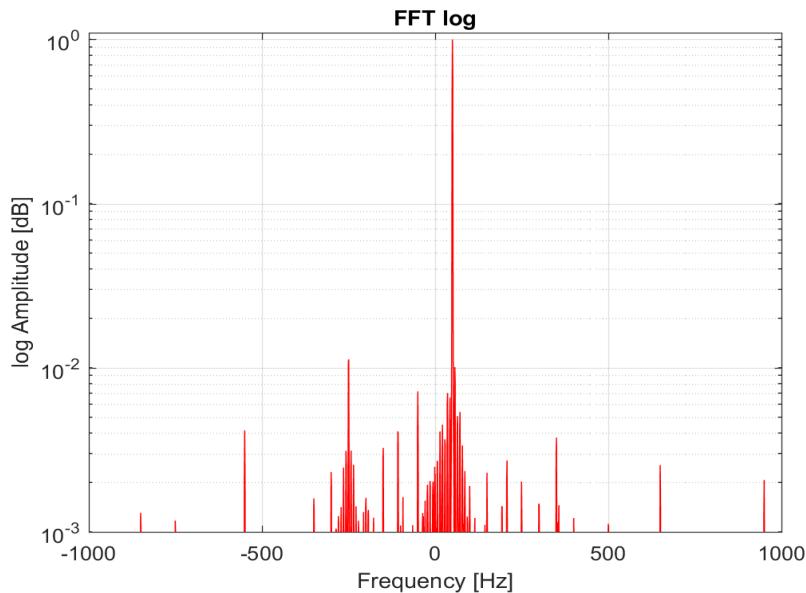


Figura 5.15: Spettro delle correnti di rete utilizzando l'architettura di controllo B a transitorio esaurito.

Lo spettro delle correnti, mostrato in Fig. 5.15 comporta un THD pari a:

$$THD_B = 2.29\%$$

In Fig. 5.16 e 5.17 vengono mostrate le correnti di rete a regime, prima e dopo la compensazione della potenza reattiva.

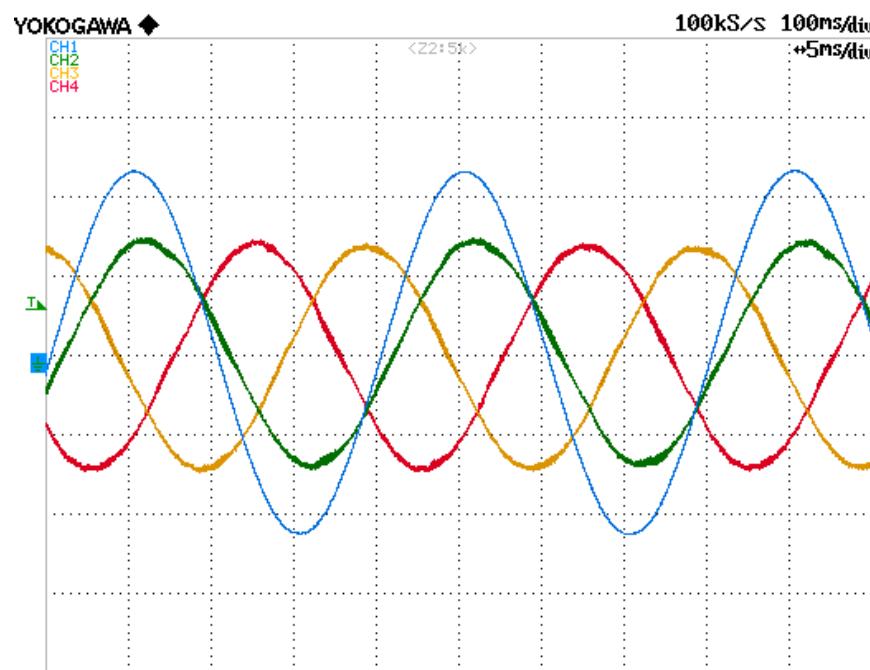


Figura 5.16: Prima armonica tensione di rete, correnti di rete. Scale: 5 ms/div, 40 V/div, 1 A/div.

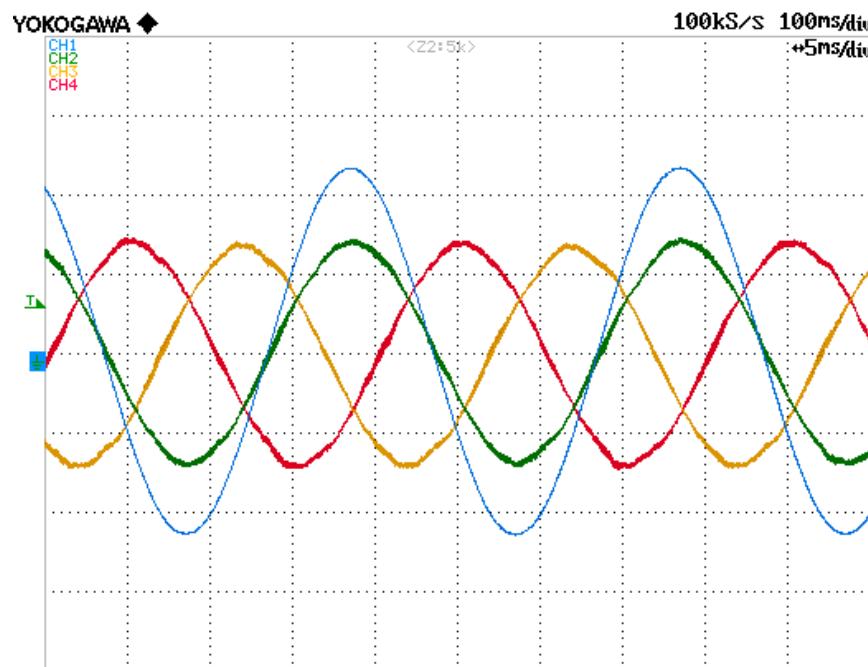


Figura 5.17: Prima armonica tensione di rete, correnti di rete con compensazione potenza reattiva. Scale: 5 ms/div, 40 V/div, 1 A/div.

- Architettura C

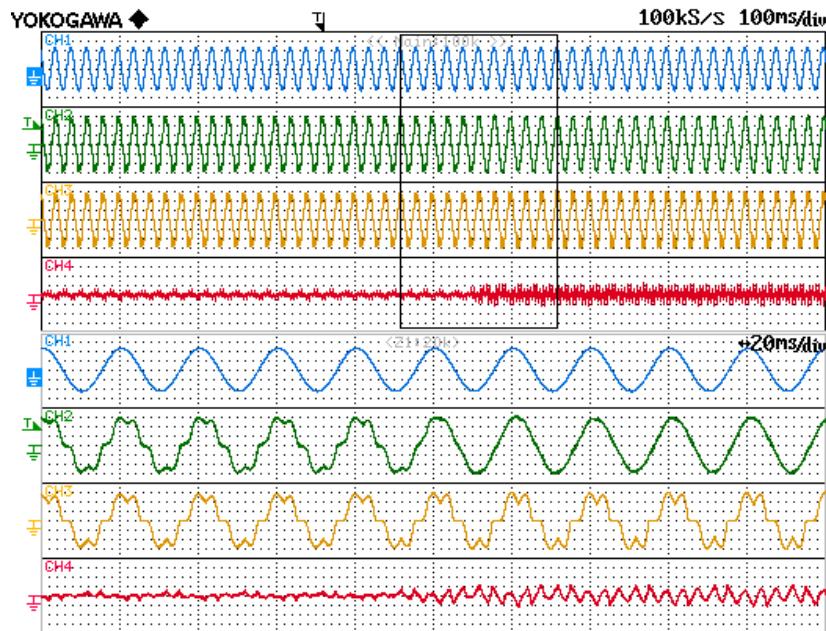


Figura 5.18: Transitorio di avvio dell'architettura di controllo C. Dall'alto verso il basso: prima armonica della tensione di rete (traccia blu), corrente di rete (traccia verde), corrente di carico (traccia gialla), corrente di inverter (traccia rossa). Scale: 100 ms/div primo grafico, 20 ms/div secondo grafico, 40 V/div, 1 A/div.

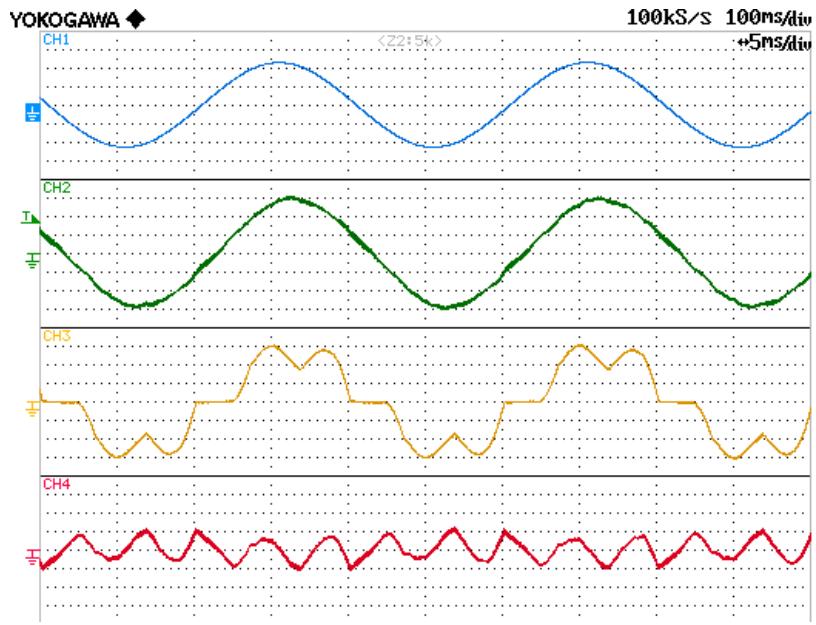


Figura 5.19: Prima armonica tensione di rete, corrente di rete, corrente di carico, corrente di inverter a transitorio esaurito. Scale: 5 ms/div, 40 V/div, 1 A/div.

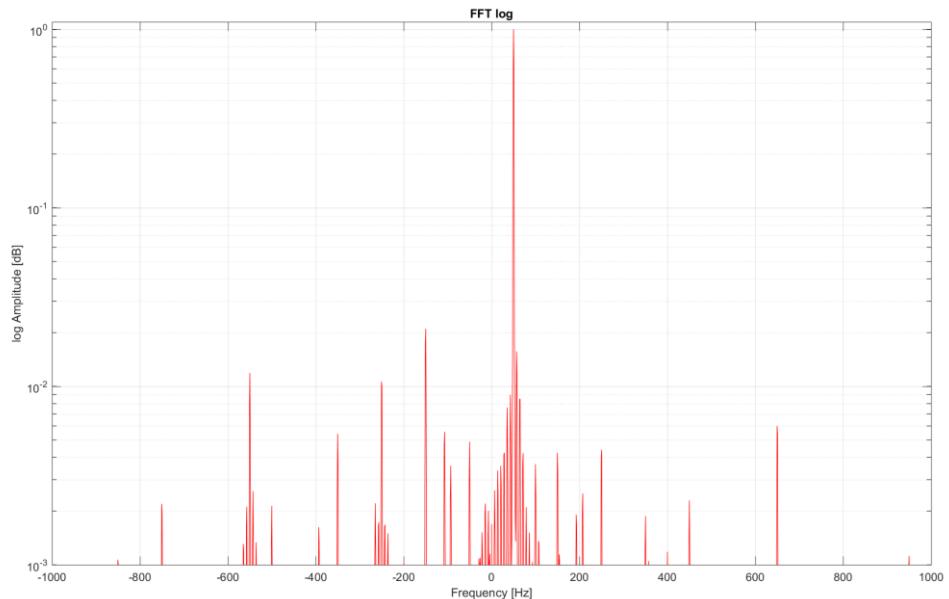


Figura 5.20: Spettro delle correnti di rete utilizzando l'architettura di controllo C a transitorio esaurito.

Lo spettro di Fig. 5.20 mostra il risultato ottenuto dal controllo: coerentemente con l'analisi teorica del capitolo 2, questa architettura si dimostra inefficace nell'abbattimento di alcuni ordini armonici. Il THD risulta quindi più elevato rispetto alle altre architetture.

$$THD_C = 3.57\%$$

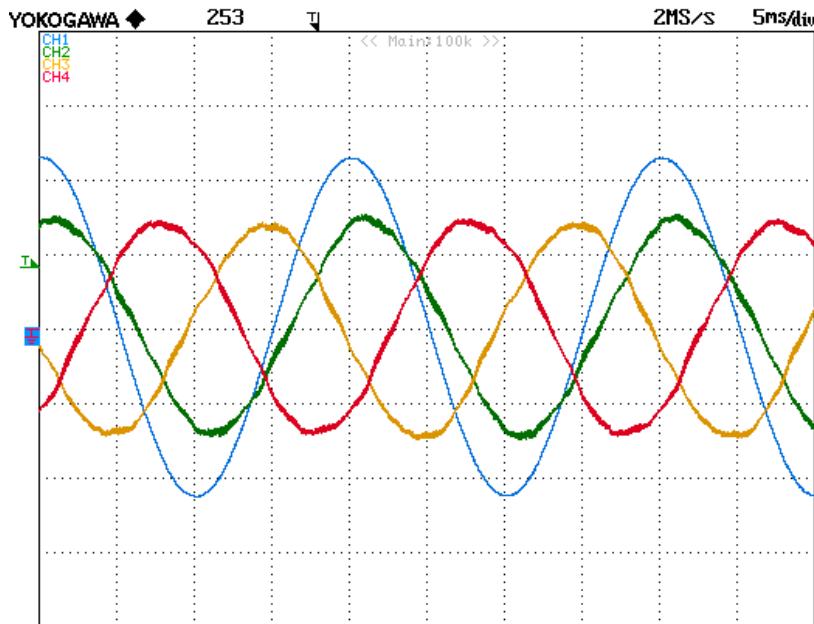


Figura 5.21: Prima armonica tensione di rete, correnti di rete. Scale: 5 ms/div, 40 V/div, 1 A/div.

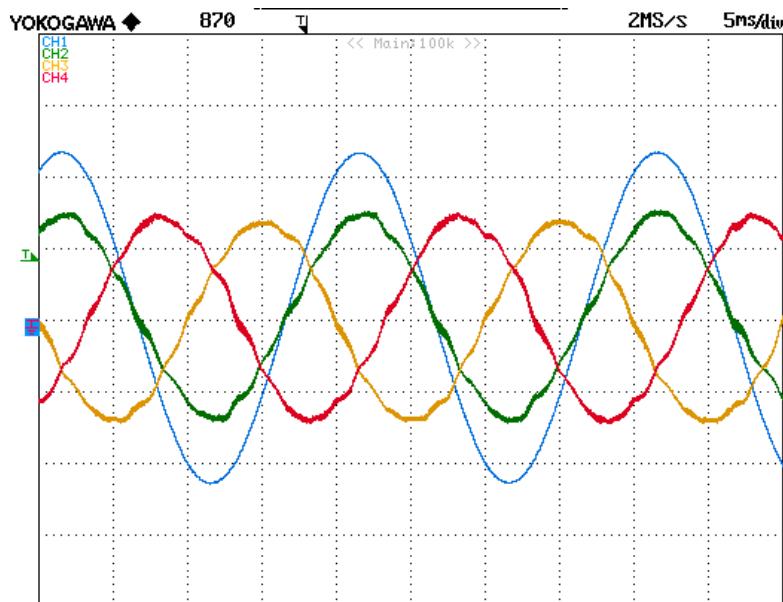


Figura 5.22: Prima armonica tensione di rete, correnti di rete con compensazione potenza reattiva. Scale: 5 ms/div, 40 V/div, 1 A/div.

- Architettura E

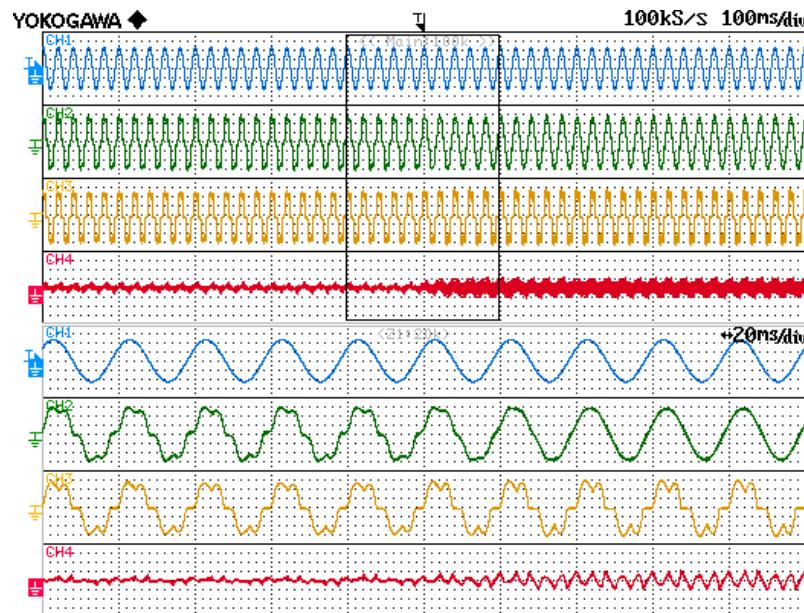


Figura 5.23: Transitorio di avvio dell'architettura di controllo E. Dall'alto verso il basso: prima armonica della tensione di rete (traccia blu), corrente di rete (traccia verde), corrente di carico (traccia gialla), corrente di inverter (traccia rossa). Scale: 100 ms/div primo grafico, 20 ms/div secondo grafico, 40 V/div, 1 A/div.

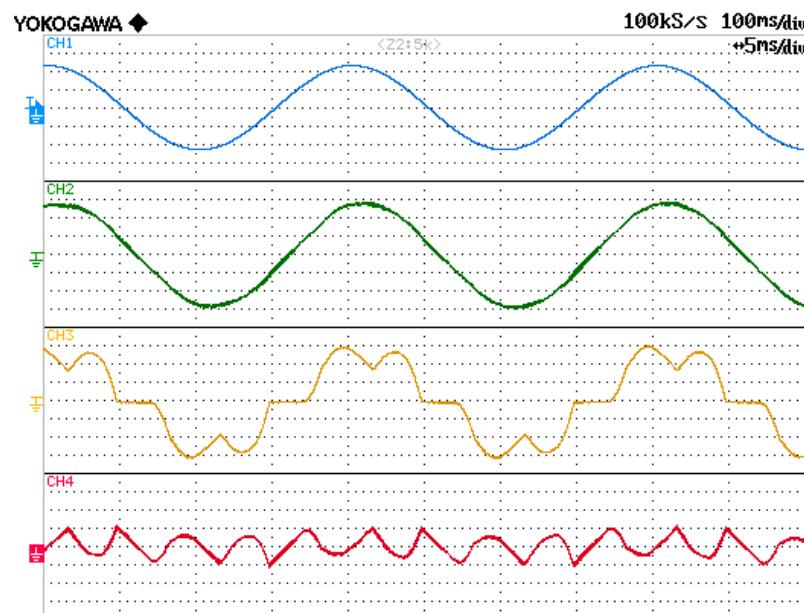


Figura 5.24: Prima armonica tensione di rete (traccia blu), corrente di rete (traccia verde), corrente di carico (traccia gialla), corrente di inverter (traccia rossa) a transitorio esaurito. Scale: 5 ms/div, 40 V/div, 1 A/div.

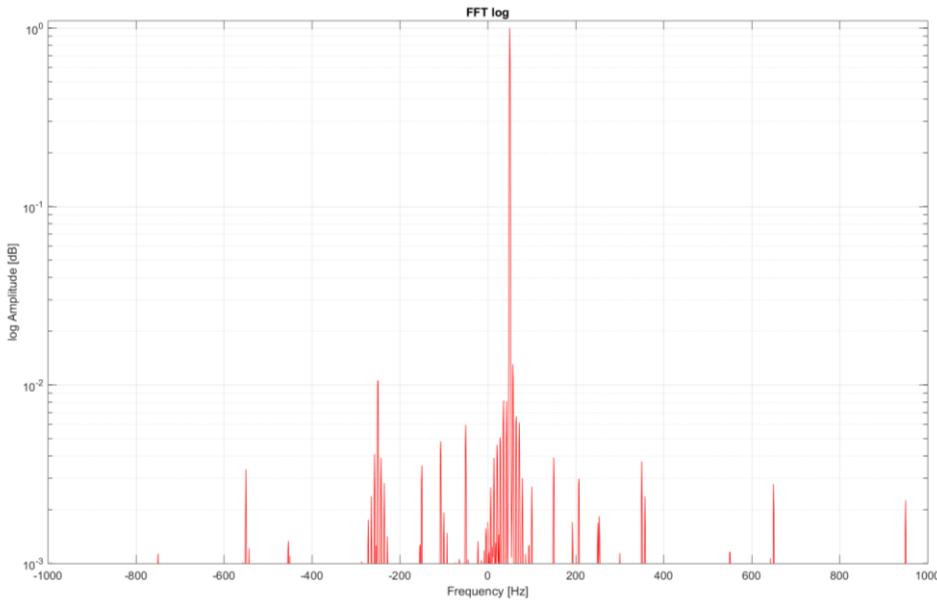


Figura 5.25: Spettro delle correnti di rete utilizzando l'architettura di controllo E a transitorio esaurito.

Lo spettro di Fig. 5.25 porta a un THD pari a:

$$THD_E = 2.21\%$$

Nelle Fig. 5.26 e 5.27 vengono mostrate le correnti di rete prima e dopo la compensazione della potenza reattiva.

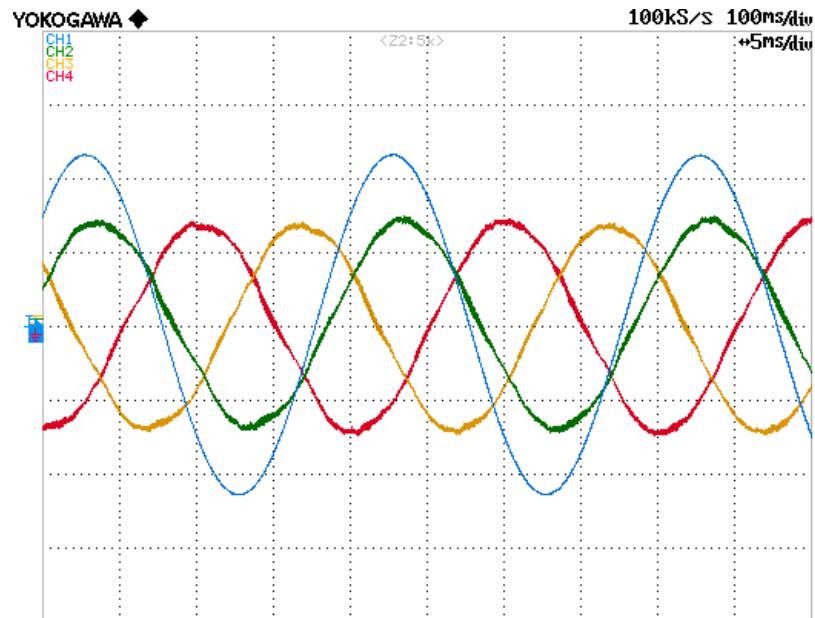


Figura 5.26: Prima armonica tensione di rete, correnti di rete. Scale: 5 ms/div, 40 V/div, 1 A/div.

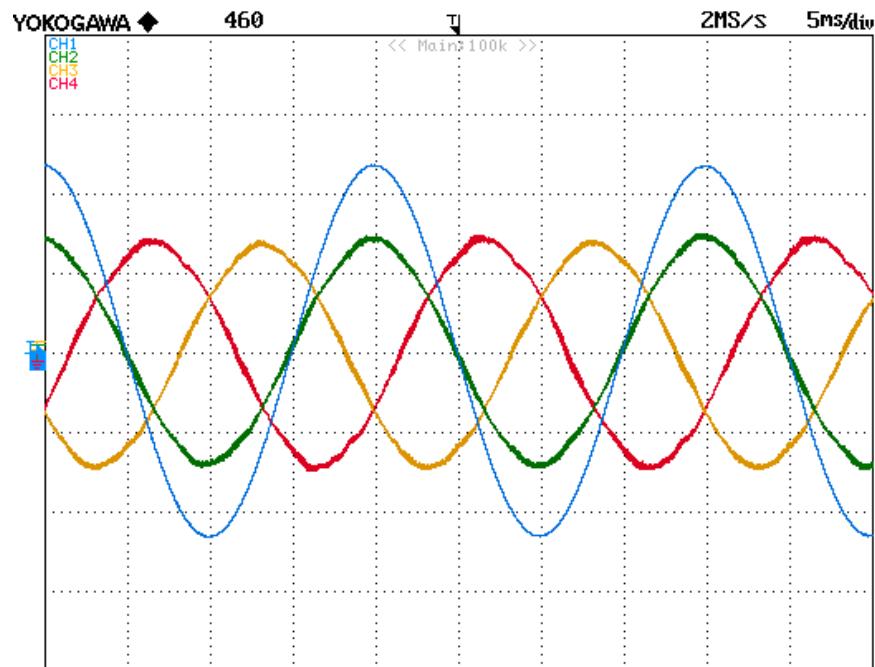


Figura 5.27: Prima armonica tensione di rete, correnti di rete con compensazione potenza reattiva. Scale: 5 ms/div, 40 V/div, 1 A/div.

- Architettura F

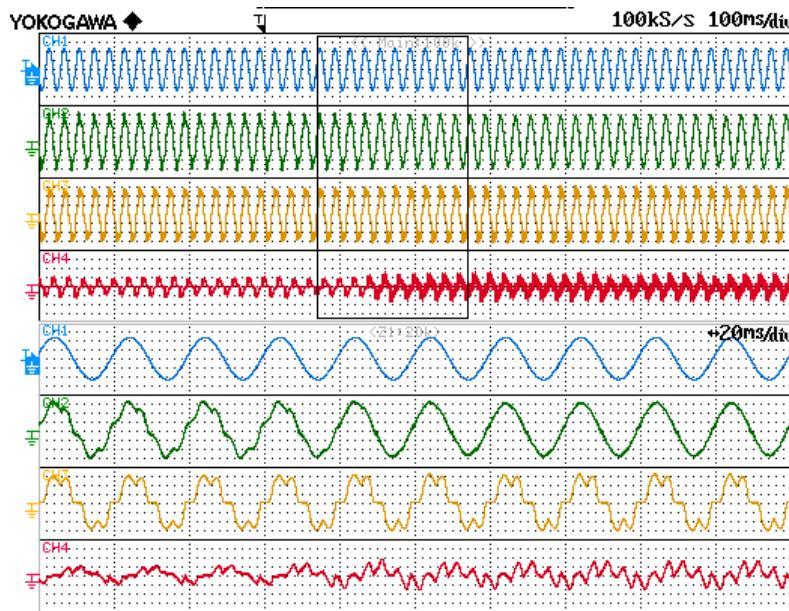


Figura 5.28: Transitorio di avvio dell'architettura di controllo F. Dall'alto verso il basso: prima armonica della tensione di rete (traccia blu), corrente di rete (traccia verde), corrente di carico (traccia gialla), corrente di inverter (traccia rossa). Scale: 100 ms/div primo grafico, 20 ms/div secondo grafico, 40 V/div, 1 A/div.

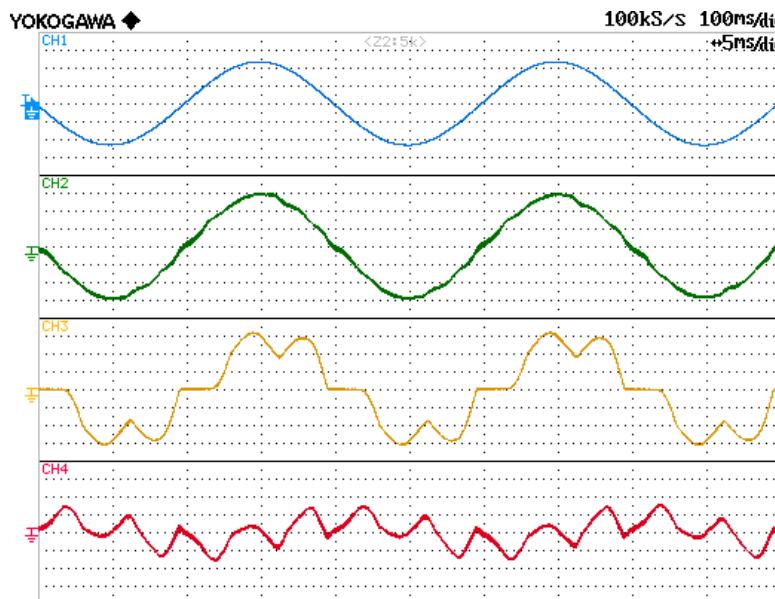


Figura 5.29: Prima armonica tensione di rete (traccia blu), corrente di rete (traccia verde), corrente di carico (traccia gialla), corrente di inverter (traccia rossa) a transitorio esaurito. Scale: 5 ms/div, 40 V/div, 1 A/div.

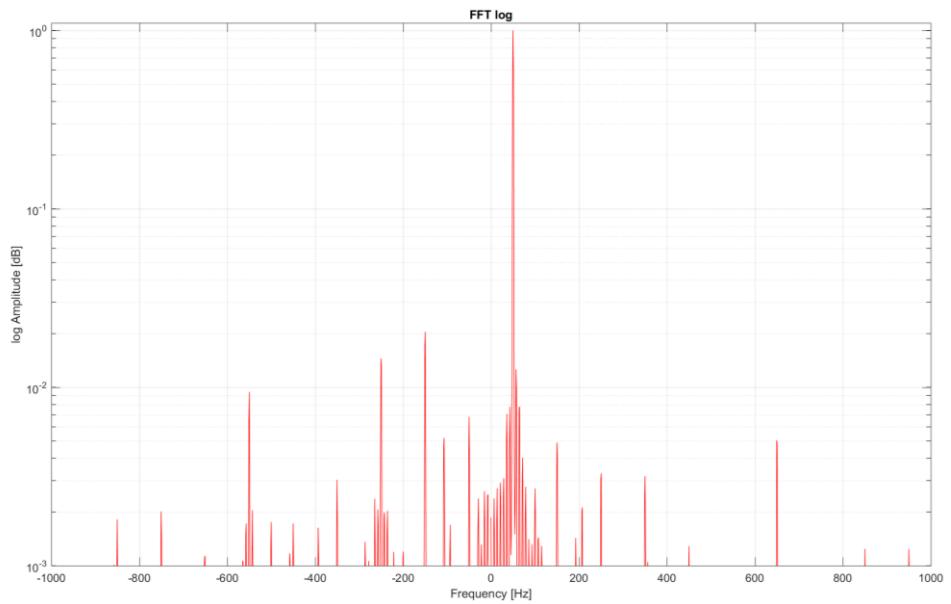


Figura 5.30: Spettro delle correnti di rete utilizzando l'architettura di controllo F a transitorio esaurito.

Lo spettro di Fig. 5.30 comporta un THD pari a:

$$THD_E = 3.50\%$$

Nelle Fig. 5.31 e 5.32 vengono mostrate le correnti di rete prima e dopo la compensazione della potenza reattiva.

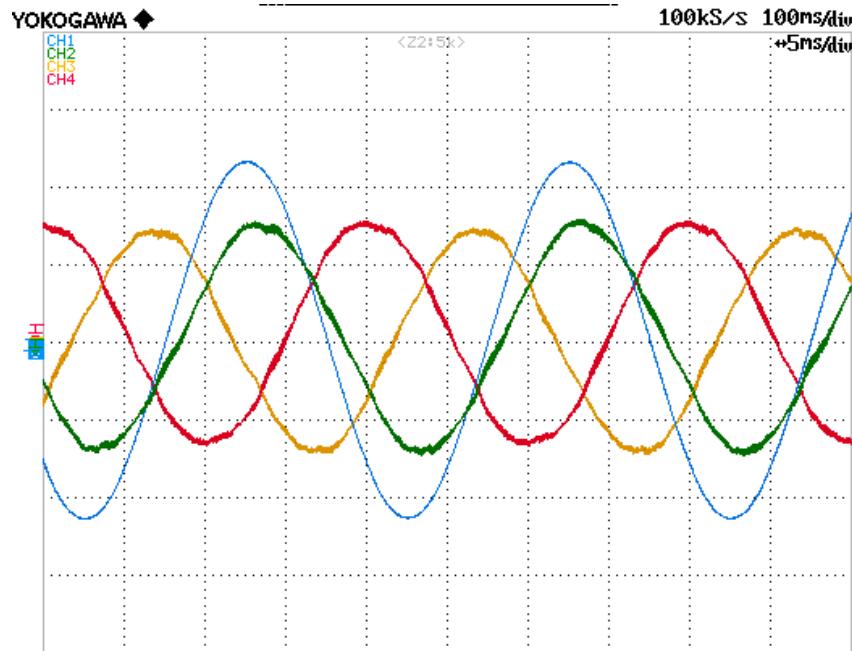


Figura 5.31: Prima armonica tensione di rete, correnti di rete. Scale: 5 ms/div, 40 V/div, 1 A/div.

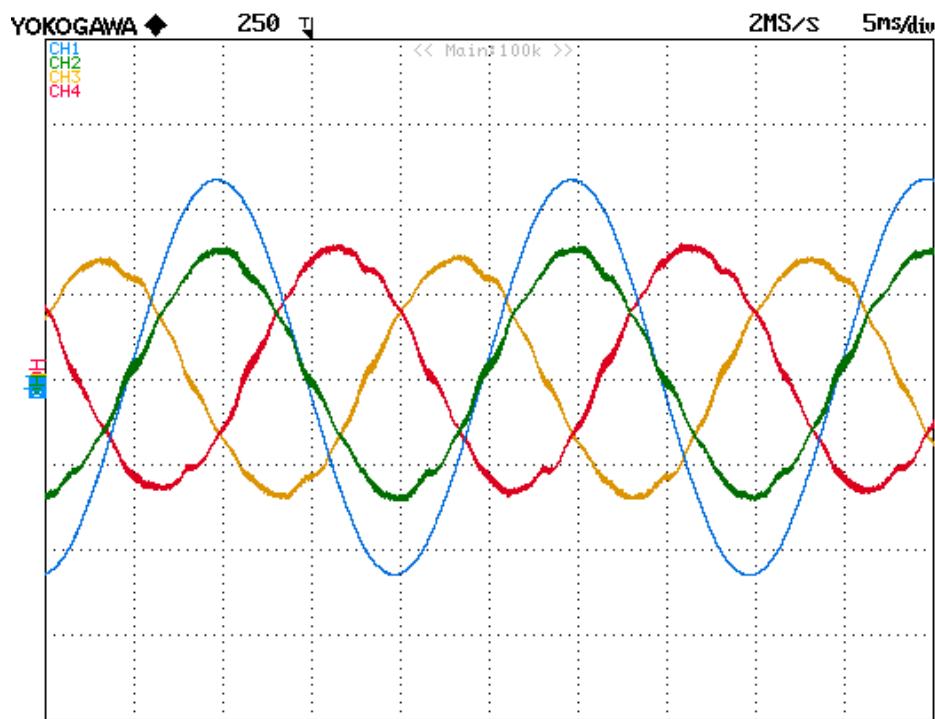


Figura 5.32: Prima armonica tensione di rete, correnti di rete con compensazione potenza reattiva. Scale: 5 ms/div, 40 V/div, 1 A/div.

Nella Tabella (5.3) vengono confrontati i risultati ottenuti con ogni architettura.

| <i>Architettura di controllo</i> | <i>THD</i> |
|----------------------------------|------------|
| <i>A</i> | 2.73% |
| <i>B</i> | 2.29% |
| <i>C</i> | 3.57% |
| <i>E</i> | 2.21% |
| <i>F</i> | 3.50% |

Tabella (5.3): Confronto tra i risultati ottenuti con le varie architetture.

5.3 Effetto della compensazione del ritardo di inverter

Durante le prove sperimentali è stato valutato l'effetto della compensazione del ritardo di inverter sulla distorsione armonica. Per valutare il confronto, si è scelto di effettuare il confronto sull'architettura A, valutando il cambiamento del THD delle correnti al variare unicamente dei cicli di ritardo compensati, e non dei guadagni dell'architettura, che sono stati scelti pari a:

$$k_{s_{prova}} = 5\Omega \quad k_{interno} = 0.98$$

I risultati sono riassunti nella seguente tabella:

| <i>n_{rit}</i> | <i>THD</i> |
|-------------------------------|-------------------|
| 0 | <i>Instabile</i> |
| 0.5 | <i>Instabile</i> |
| 1 | <i>Instabile</i> |
| 1.5 | 3.72 |
| 2 | 3.15 |
| 2.5 | 2.81 |
| 3 | 2.66 |
| 3.5 | 2.70 |
| 4 | 2.73 |
| 4.5 | 2.51 |
| 5 | 2.83 |

Tabella 5.4: Andamento THD in funzione del ritardo di inverter compensato.

L'architettura si è dimostrata instabile per anticipi introdotti inferiori a $1.5 T_c$. Come mostrato in Fig. 5.32, il THD ha un andamento decrescente all'aumentare dei cicli di anticipo introdotti, fino a 3 cicli di ritardo di compensazione; tra 3 e 4.5 il THD ha andamento all'incirca costante – le oscillazioni del THD sono da imputare a variazioni casuali delle armoniche presenti in rete. Le prove quindi confermano la bontà della scelta di 4 cicli di ritardo di compensazione; oltre 3 cicli il THD presenta un andamento costante e i cicli ulteriori di anticipano migliorano il margine di fase del sistema e quindi la sua stabilità. In Fig. 5.32 è mostrato l'andamento del THD in funzione dei cicli di anticipo introdotti.

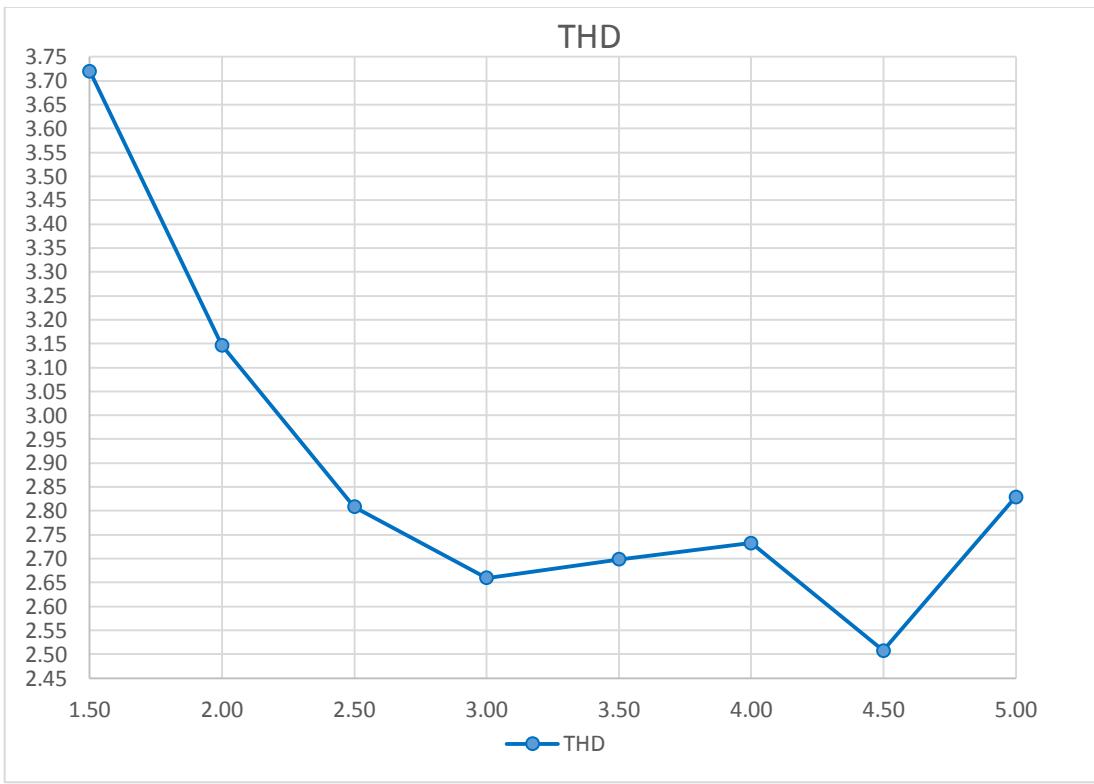


Figura 5.33: Andamento del THD al variare dei cicli di ritardo di compensazione.

Prove Sperimentali

Conclusioni

Nella presente tesi sono stati utilizzati regolatori risonanti e ripetitivi al fine di migliorare il valore della distorsione armonica della corrente di rete. Come carico distorcente si è utilizzato un ponte raddrizzatore trifase. E' stata presentata una analisi delle tipologie di Filtro attivo. E' stata in seguito analizzata la configurazione parallelo. E' stato analizzato il sistema di controllo, in tutte le sue parti fondamentali. Esso è diviso in due parti: la catena del regolatore risonante, adibita al controllo della tensione sul bus DC dell'inverter e la catena del regolatore ripetitivo, adibita all'eliminazione delle correnti armoniche di rete. Sono state analizzate tutte e sei architetture di controllo ripetitivo e sono state descritti tutti gli accorgimenti atti a rendere stabili le architetture. In seguito è stato descritto il modello Simulink utilizzato per la simulazione e sono stati confrontati i risultati ottenuti da ogni architettura. In simulazione è stato provato un sistema di decimazione dei campioni che permette di ottenere ottimi risultati utilizzando una quantità inferiore di memoria ed è stato valutato l'effetto della diminuzione della memoria utilizzata sull'efficacia nell'abbattimento armonico. E' stato descritto il banco di prova e il sistema di prototipazione rapida dSpace che permette di pilotare l'inverter. Il sistema dSpace offre un ambiente di sviluppo integrato per il "Rapid Control Prototyping" (RCP), che permette di testare e perfezionare le varie architetture di controllo in modo rapido. Sono state infine effettuate prove sperimentali di ogni architettura di controllo proposta, valutando i risultati, in termini di THD, ottenuti da ogni architettura. E' stato infine valutato l'effetto della compensazione del ritardo di inverter sull'efficacia del sistema nell'abbattimento armonico. I risultati sperimentali hanno confermato l'efficacia dei controlli di tipo ripetitivo nella compensazione della distorsione armonica.

Conclusioni

Bibliografia

1. A. Tani, Dispense del corso “Conversione Statica dell’Energia Elettrica M”, Università degli studi di Bologna 2015.
2. L. Zarri, Dispense del corso “Tecniche di controllo avanzate per il controllo di corrente”, Università degli studi di Bologna 2009.
3. Keliang Zhou, Kay-Soon Low, Danwei Wang, Fang-Lin Luo, Bin Zhang, Yigang Wang, “Zero-Phase Odd-Harmonic Repetitive Controller for a Single-Phase PWM Inverter”, IEEE Transactions on Industrial Electronics 2006.
4. Yongheng Yang, Keliang Zhou, Frede Blaabjerg, “Enhancing the Frequency Adaptability of Periodic Current Controllers With a Fixed Sampling Ratefor Grid-Connected Power Converters”, IEEE Transactions on Industrial Electronics 2016.
5. Bin Zhang, Danwei Wang, Keliang Zhou, Yigang Wang, “Linear Phase Lead Compensation Repetitive Control of a CVCF PWM Inverter”, IEEE Transactions on Industrial Electronics 2008.
6. Gerardo Escobar, Perla G. Hernandez-Briones, Panfilo R. Martinez, Michael Hernandez-Gomez, and Raymundo E. Torres-Olguin, “A Repetitive-Based Controller for the Compensation $6l \pm 1$ of Harmonic Components”, IEEE Transactions on Industrial Electronics 2008.
7. G. Escobar, A. A. Valdez, J. Leyva-Ramos, P. Mattavelli, “Repetitive-Based Controller for a UPS Inverter to Compensate Unbalance and Harmonic Distortion”, IEEE Transactions on Industrial Electronics 2007.
8. P.C. Loh, Y. Tang, F. Blaabjerg, P. Wang, “Mixed-frame and stationary-frame repetitive control schemes for compensating typical load and grid harmonics”, IET Power Electronics 2009.
9. G. Mazzanti, Dispense del corso “Qualità dell’Energia Elettrica T”, Università degli studi di Bologna 2014.

