

PROPOSTA

- Desenvolvimento de laboratórios didáticos em FPGA .
- Ensinar comunicação digital.
- Aproximar teoria e prática
- Criação de um recurso replicável para uso em aula.

META 1

PRAZO TÉRMINO

Montar o questionário

26/08 até 01/09

26/08

Período de resposta dos docentes

02/09 até 08/09

05/09

Elaborar o relatório com a análise das respostas

09/09 até 15/09

09/09

Com base no questionário, definir os blocos serem implementados

16/09

16/09

Identificar os parâmetros utilizados no LTE

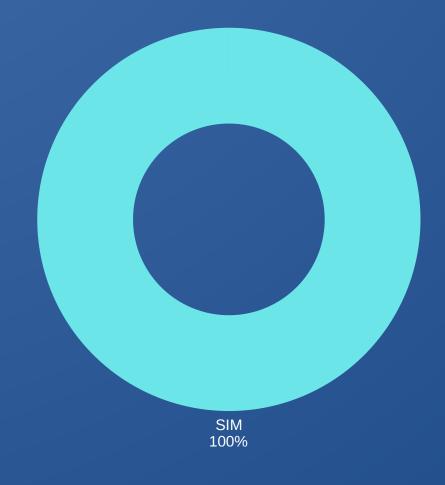
17/09 até 22/09

16/09

RESULTADO DO QUESTIONÁRIO

Você considera que há benefícios pedagógicos em implementar blocos de comunicação em FPGA, além da simulação em software?

Você considera que há benefícios pedagógicos em implementar blocos de comunicação em FPGA, além da simulação em software?





RESULTADO DO QUESTIONÁRIO

Você considera que há benefícios pedagógicos em implementar blocos de comunicação em FPGA, além da simulação em software?



Os alunos não tem contato com hardware pois na maioria dos conhecimentos eles precisam ser conhecidos em termos teóricos. Ha uma proposta de se usar o GNUradio para apresentar a parte prática.

RESULTADOS META 1 ESCOLHA DOS BLOCOS

MODULAÇÃO QPSK CODIFICAÇÃO TURBO

OFDM



META 2

PRAZO

TÉRMINO

Estudo e Desenvolvimento do material teórico de UM bloco

23/09 até 06/10

29/09

Desenvolvimento de código didático de UM bloco (num estudo de caso: LTE) para hardware

23/09 até 06/10

Em andamento

Desenvolvimento do tutorial do laboratório prático

07/10 até 13/10

Em andamento

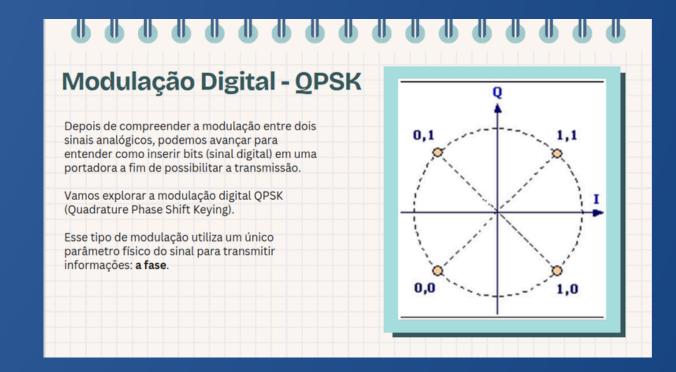
Validação do modelo inicial

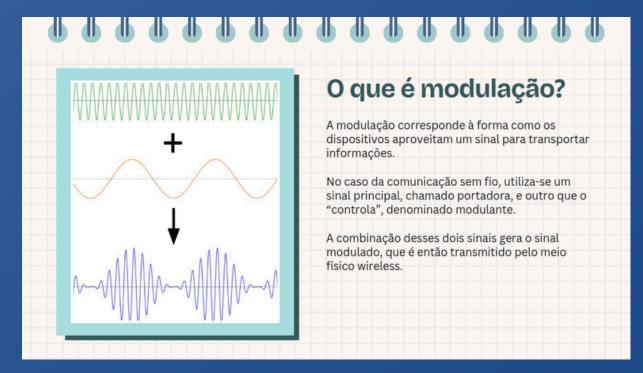
14/10 até 20/10

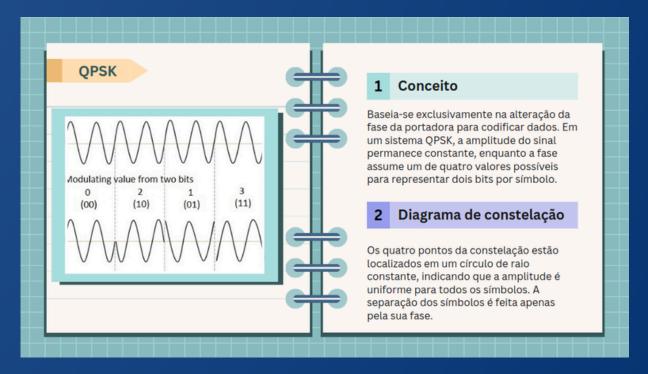
A fazer

RESULTADOS META 2 MATERIAL DIDÁTICO

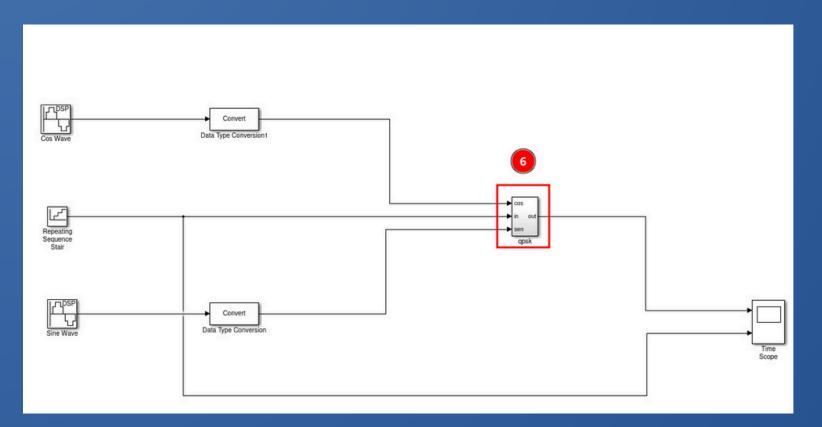


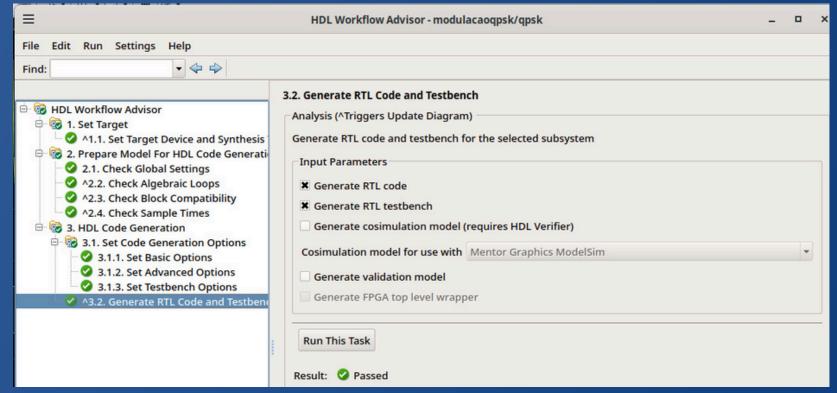


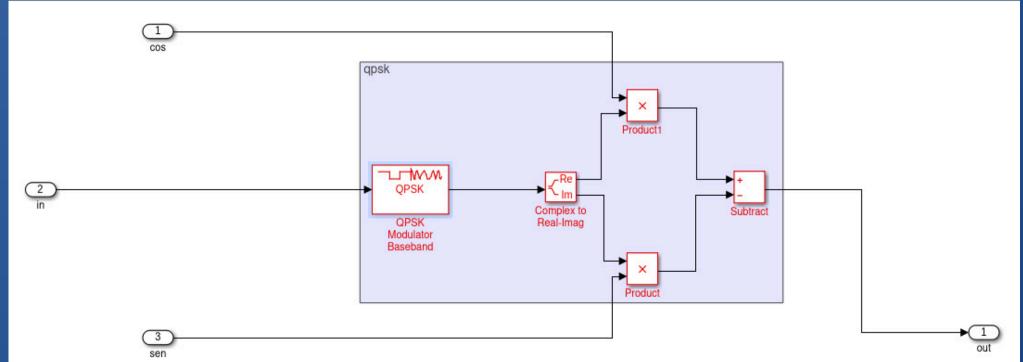


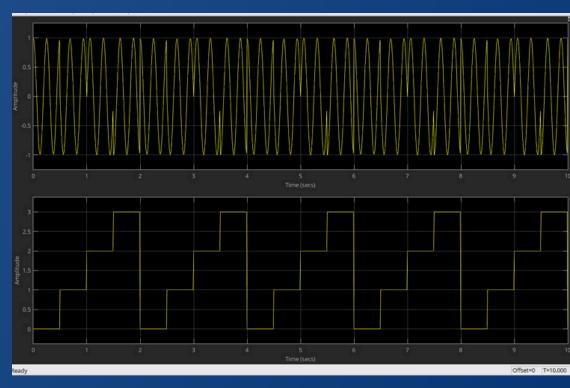


RESULTADOS META 2 DESENVOLVIMENTO DE CÓDIGO DIDÁTICO





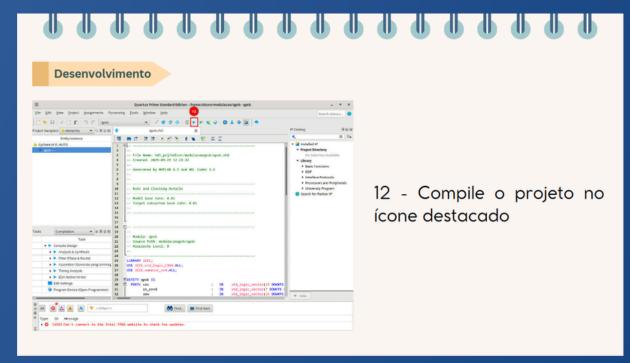


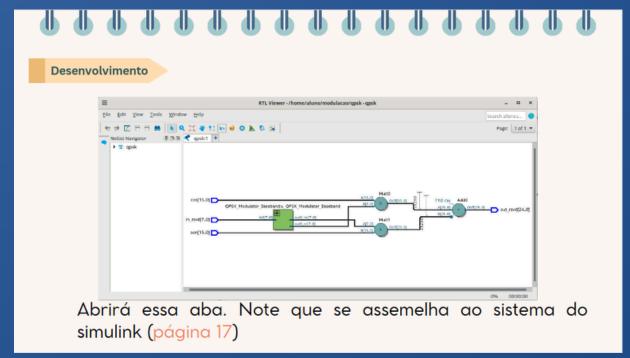


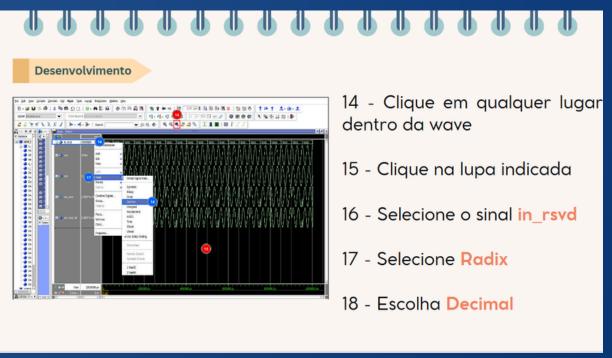
RESULTADOS META 2

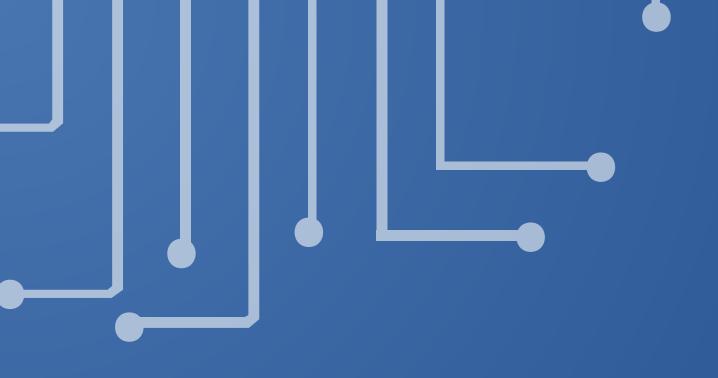
DESENVOLVIMENTO DO TUTORIAL DO LABORATÓRIO PRÁTICO











LABORATÓRIOS DIDÁTICOS PARA ENSINO DE SISTEMAS DE COMUNICAÇÃO EM FPGA