

中国科学技术大学计算机学院  
《数字电路实验》报告



实验题目：实验 05 使用 Vivado 进行仿真

学生姓名：余致远

学生学号：PB18111740

完成日期：2019 年 11 月 15 日

计算机实验教学中心制

2019 年 09 月

## **【实验目的】**

熟悉 Vivado 软件的下载、安装及使用

学习使用 Verilog 编写仿真文件

学习使用 Verilog 进行仿真，查看并分析波形文件

## **【实验环境】**

PC 一台

Windows 或 Linux 操作系统

Vivado 工具

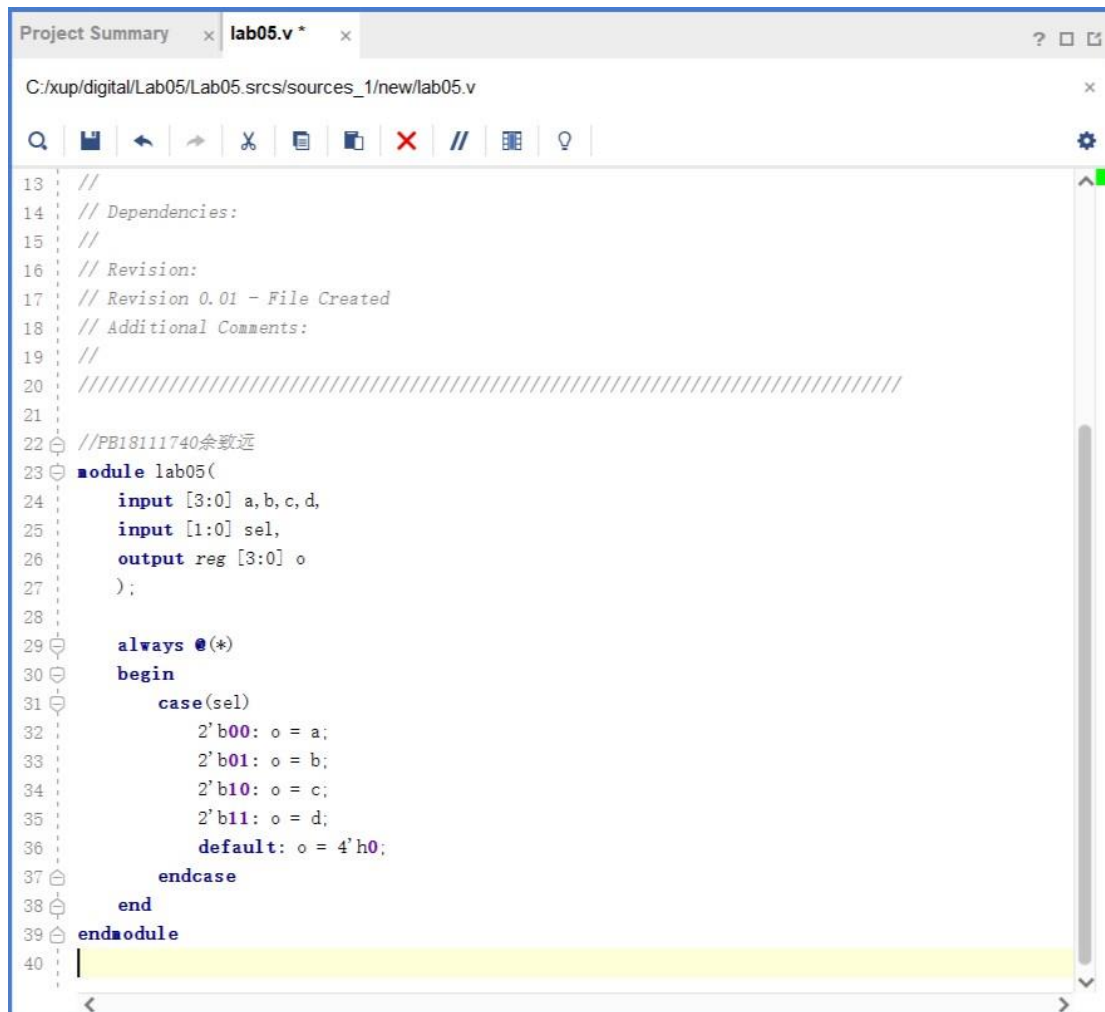
[vlab.ustc.edu.cn](http://vlab.ustc.edu.cn)（包含 Vivado 下载安装及使用教程）

## **【实验过程】**

Step1: 下载并安装 Vivado 环境

Step2. 建立 Vivado 工程

Step3: 添加 Verilog 设计文件



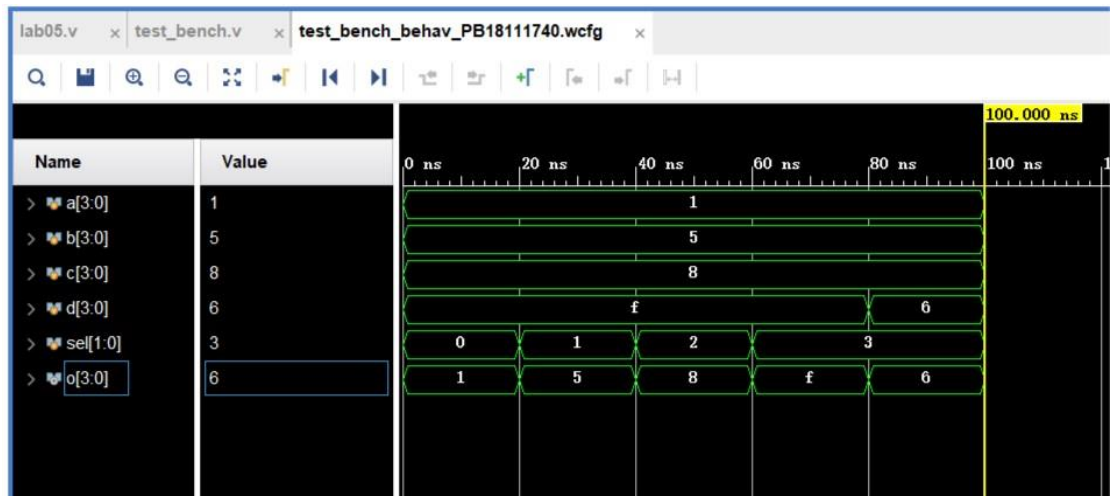
```
13 //
14 // Dependencies:
15 //
16 // Revision:
17 // Revision 0.01 - File Created
18 // Additional Comments:
19 //
20 ///////////////////////////////////////////////////////////////////
21
22 //PB18111740余致远
23 module lab05(
24     input [3:0] a,b,c,d,
25     input [1:0] sel,
26     output reg [3:0] o
27 );
28
29     always @(*)
30     begin
31         case(sel)
32             2'b00: o = a;
33             2'b01: o = b;
34             2'b10: o = c;
35             2'b11: o = d;
36             default: o = 4'h0;
37         endcase
38     end
39 endmodule
40
```

## Step4: 添加仿真文件

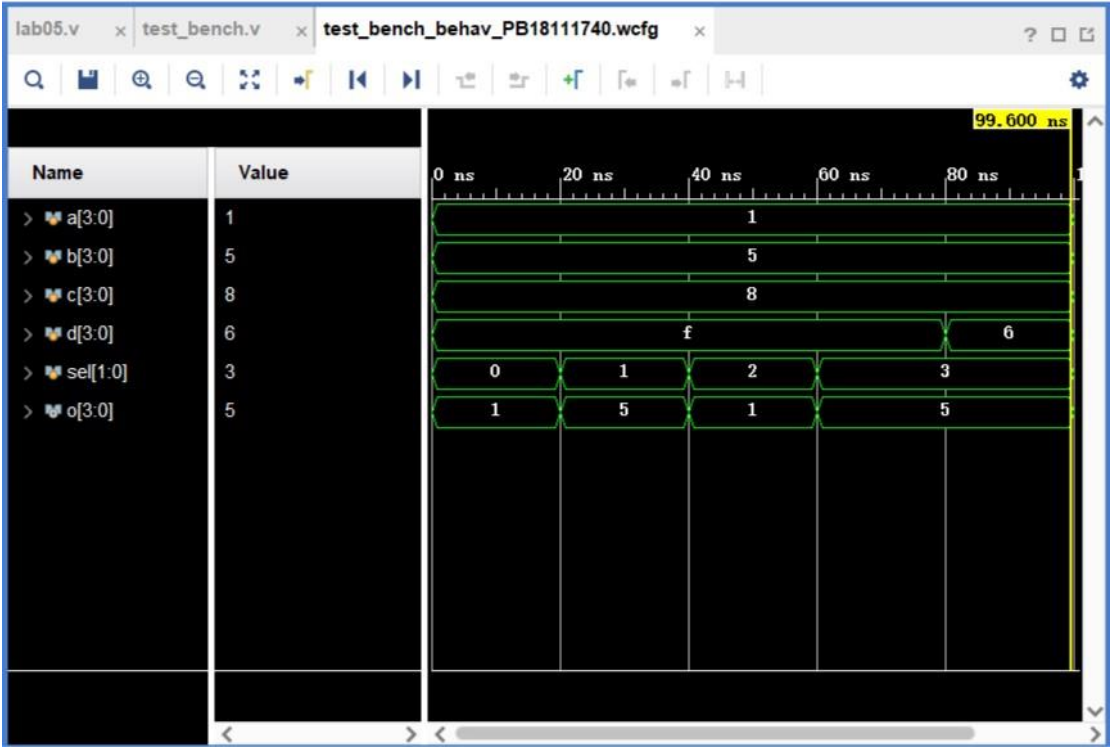
```
//PB18111740 余致远
module test_bench();
    reg [3:0] a,b,c,d;
    reg [1:0] sel;
    wire [3:0] o;
    lab05 lab05(.a(a),.b(b),.c(c),.d(d),.sel(sel),.o(o));
    initial
    begin
        a = 4'h1; b = 4'h5; c = 4'h8; d = 4'hF; sel = 2'h0;
        #20 a = 4'h1; b = 4'h5; c = 4'h8; d = 4'hF; sel = 2'h1;
        #20 a = 4'h1; b = 4'h5; c = 4'h8; d = 4'hF; sel = 2'h2;
        #20 a = 4'h1; b = 4'h5; c = 4'h8; d = 4'hF; sel = 2'h3;
        #20 a = 4'h1; b = 4'h5; c = 4'h8; d = 4'h6; sel = 2'h3;
        #20 $finish;
    end
endmodule
```

## Step5: 波形仿真

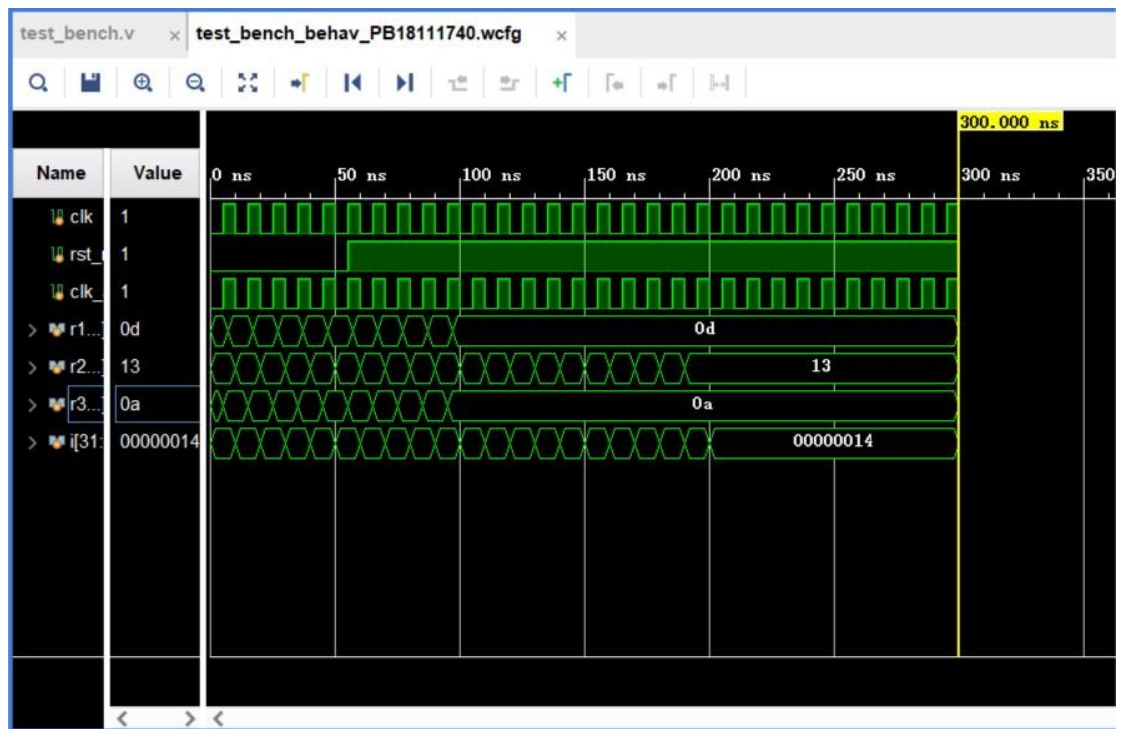
四选一选择器：



错误波形：



Step6: Verilog 仿真文件常用语法



## 【实验练习】

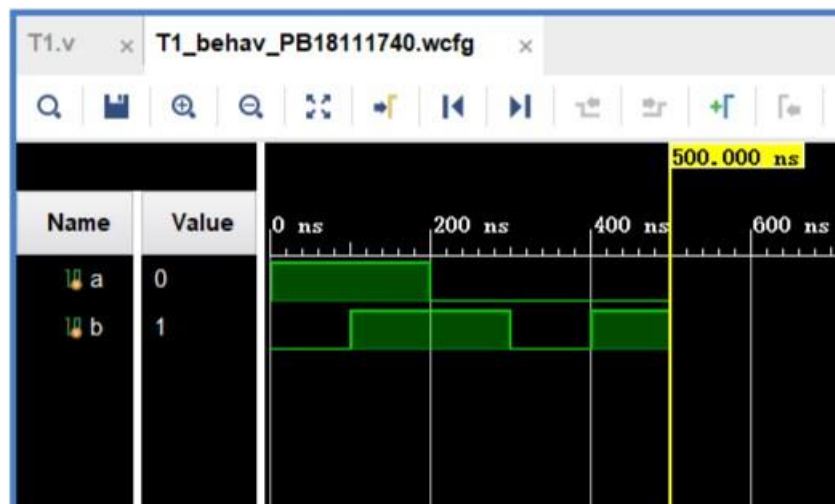
题目 1.

T1.v x T1\_behav\_PB18111740.wcfg x

C:/xup/digital/Lab05\_Problems/Lab05\_Problems.srcs/sim\_1/new/T1.v

```

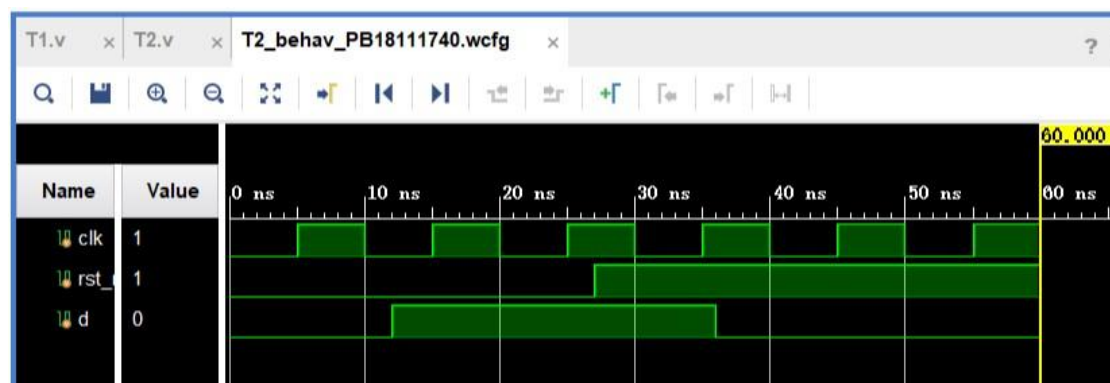
19 //
20 //////////////////////////////////////////////////
21
22 //PB18111740余致远
23 module T1();
24     reg a,b;
25
26 initial
27 begin
28     a = 1'b1; b = 1'b0;
29     #100 a = 1'b1; b = 1'b1;
30     #100 a = 1'b0; b = 1'b1;
31     #100 a = 1'b0; b = 1'b0;
32     #100 a = 1'b0; b = 1'b1;
33     #100 $finish;
34 end
35 endmodule
  
```



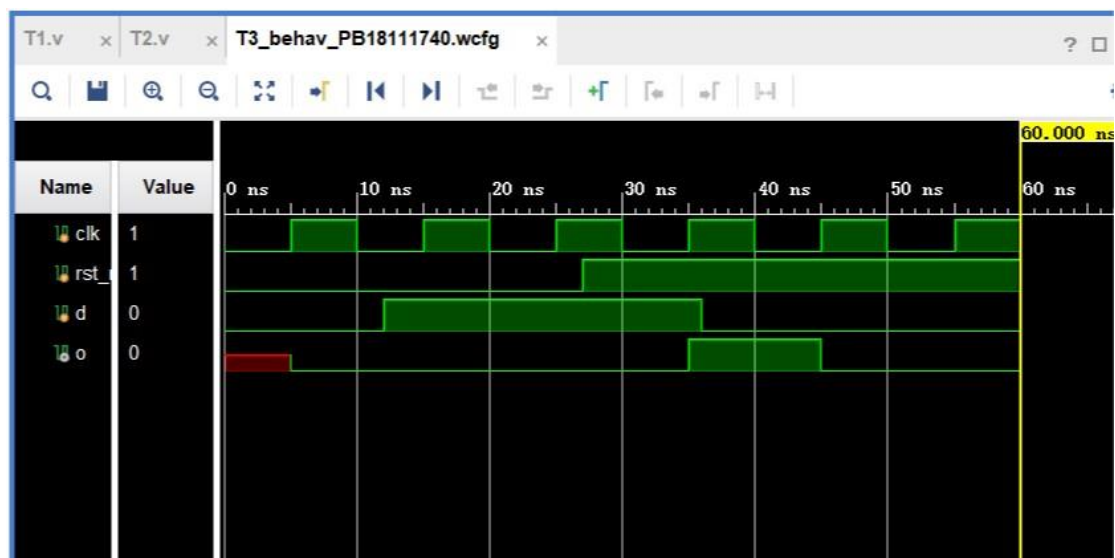
## 题目 2.

```
//PB18111740余致远
module T2( );
    reg clk, rst_n, d;

    initial clk = 0;
    always #5 clk = ~clk;
    initial
    begin
        rst_n = 0;
        #27 rst_n = 1;
    end
    initial
    begin
        d = 0;
        #12 d=1;
        #24 d=0;
    end
    initial #60 $finish;
endmodule
```



## 题目 3.



#### 题目 4.

```

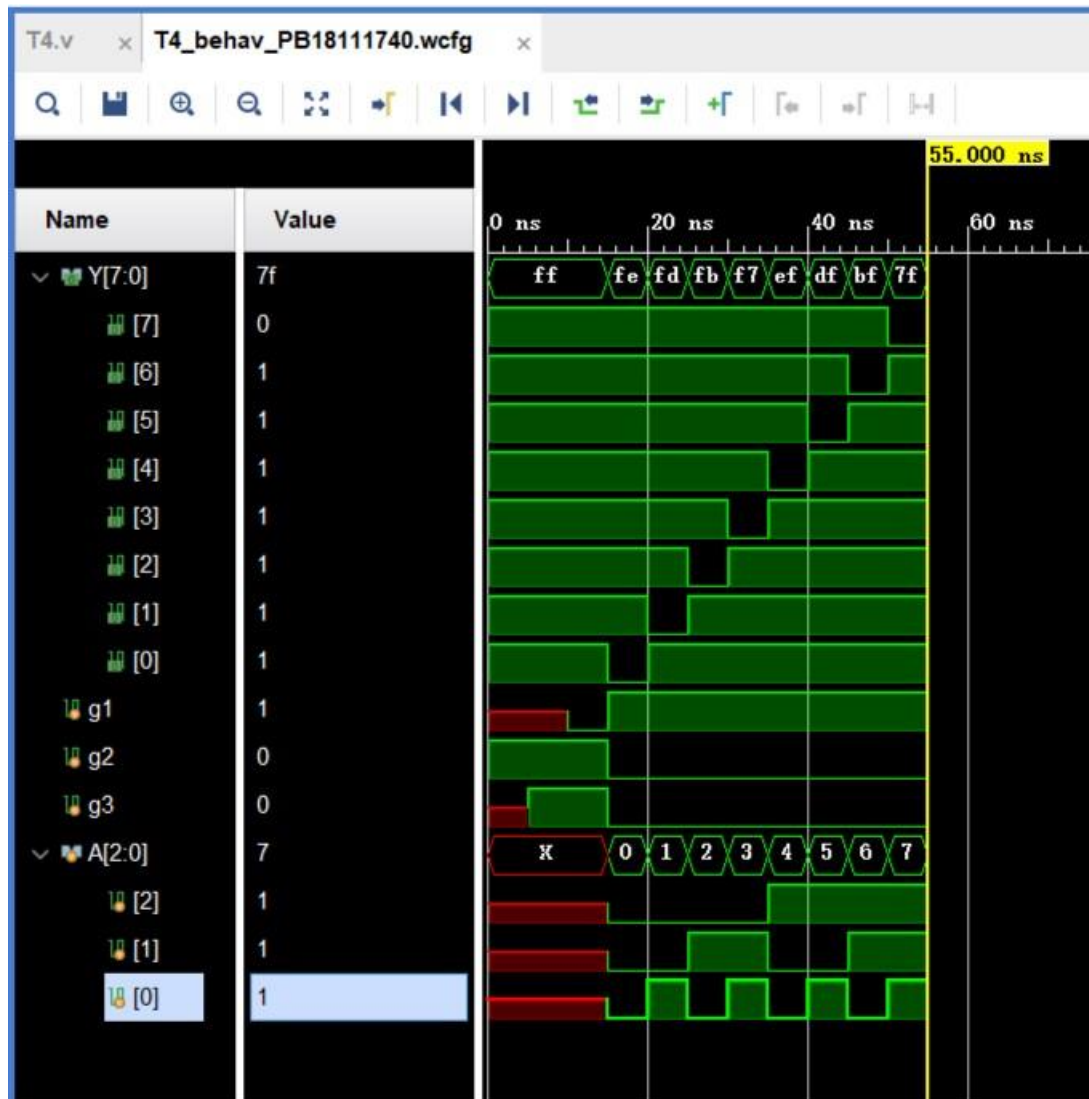
20 ///////////////////////////////////////////////////
21
22 //PB18111740余致远
23 module decoder(
24     input g1, g2, g3,
25     input [2:0]A,
26     output reg [7:0]Y
27 );
28
29 always @(*)
30 begin
31     if (g2==1 || g3==1 || g1==0)
32         Y = 8'b11111111;
33     else
34         case(A)
35             3'b000: Y = 8'b11111110;
36             3'b001: Y = 8'b11111101;
37             3'b010: Y = 8'b11111011;
38             3'b011: Y = 8'b11110111;
39             3'b100: Y = 8'b11101111;
40             3'b101: Y = 8'b11011111;
41             3'b110: Y = 8'b10111111;
42             3'b111: Y = 8'b01111111;
43             default: Y = 8'b11111111;
44         endcase
45     end
46 endmodule
47

```

调用译码器，模拟输入信号：

```
46 |
47 | //PB18111740余致远
48 | module T4(
49 |     output [7:0]Y
50 | );
51 |     reg g1,g2,g3;
52 |     reg [2:0]A;
53 |
54 | decoder decoder(g1,g2,g3,A,Y);
55 | initial
56 | begin
57 |     g2 = 1;
58 |     #5 g3 = 1;
59 |     #5 g1 = 0;
60 |     #5 g1 = 1; g2 = 0; g3 = 0;
61 |     A = 3'b000;
62 |     #5 A = 3'b001;
63 |     #5 A = 3'b010;
64 |     #5 A = 3'b011;
65 |     #5 A = 3'b100;
66 |     #5 A = 3'b101;
67 |     #5 A = 3'b110;
68 |     #5 A = 3'b111;
69 |     #5 $finish;
70 | end
71 | endmodule
72 |
```





## 【总结与思考】

### 1. 请总结本次实验的收获

本次实验中我学习了使用 Verilog 编写仿真文件并进行仿真，查看并分析波形文件。实验中主要遇到的错误是混淆了设计文件和仿真文件的用法，将所有代码放在了仿真文件中。用 Vivado 仿真波形可以具体观察各端口的输入输出情况，为代码调试提供了方便。

### 2. 请评价本次实验的难易程度

实验有一定难度。

### 3. 请评价本次实验的任务量

任务量适中。

#### 4. 请为本次实验提供改进建议

在设计文件与仿真文件的区别上可以多做说明。