

中国科学技术大学计算机学院
《数字电路实验》报告



实验题目：实验 07 FPGA 实验平台及 IP 核使用

学生姓名：余致远

学生学号：PB18111740

完成日期：2019 年 11 月 28 日

计算机实验教学中心制

2019 年 09 月

【实验目的】

学会查看原理图

理解 FPGA 开发各关键环节

学会使用 IP 核（知识产权核）

【实验环境】

PC 一台

Windows 或 Linux 操作系统

Logisim

Vivado 工具

Nexys4DDR 开发板或 FPGAOL 实验平台

vlab.ustc.edu.cn

【实验过程】

Step1: Nexys4 DDR 开发板简介

Step2: 开发板原理图介绍

Step3: FPGAOL 平台介绍

Step4: 使用时钟管理单元 IP 核

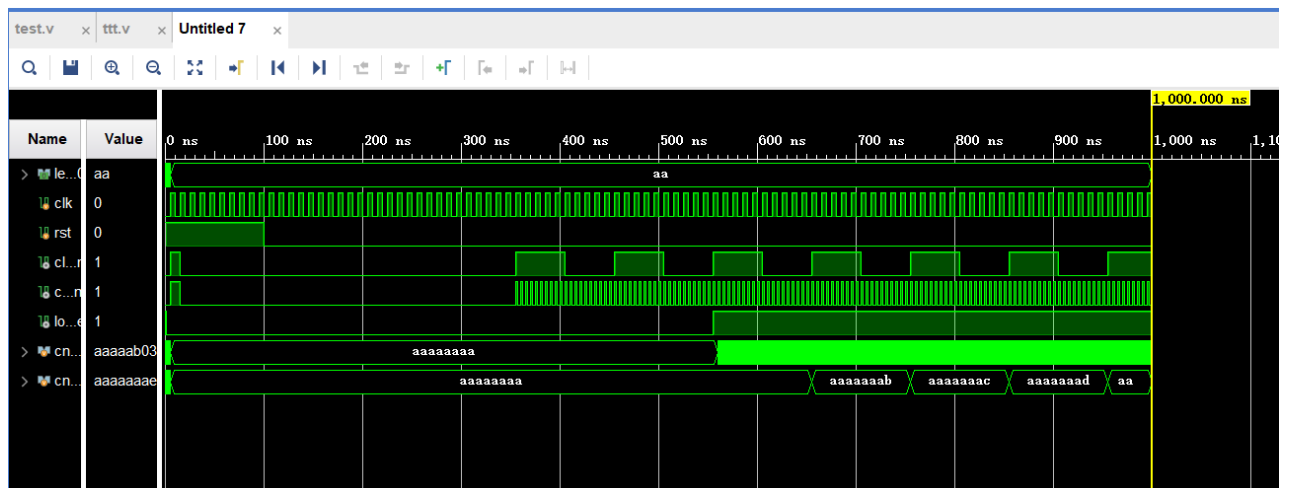
//PB18111740余致远

```
module test(
    input clk,
    input rst,
    output [7:0] led);
wire clk_10m, clk_200m, locked;
reg [31:0] cnt_1, cnt_2;
always@(posedge clk_200m)
begin
    if(~locked)
        cnt_1 <= 32'hAAAA_AAAA;
    else
        cnt_1 <= cnt_1+1'b1;
end
always@(posedge clk_10m)
begin
    if(~locked)
        cnt_2 <= 32'hAAAA_AAAA;
    else
        cnt_2 <= cnt_2+1'b1;
end
end
assign led = {cnt_1[27:24], cnt_2[27:24]};
clk_wiz_0 clk_wiz_0_inst(
    .clk_in1 (clk),
    .clk_out1 (clk_10m),
    .clk_out2 (clk_200m),
    .reset (rst),
    .locked (locked));
endmodule
```

//PB18111740余致远

```
module ttt(
    input clk, rst,
    output reg led);

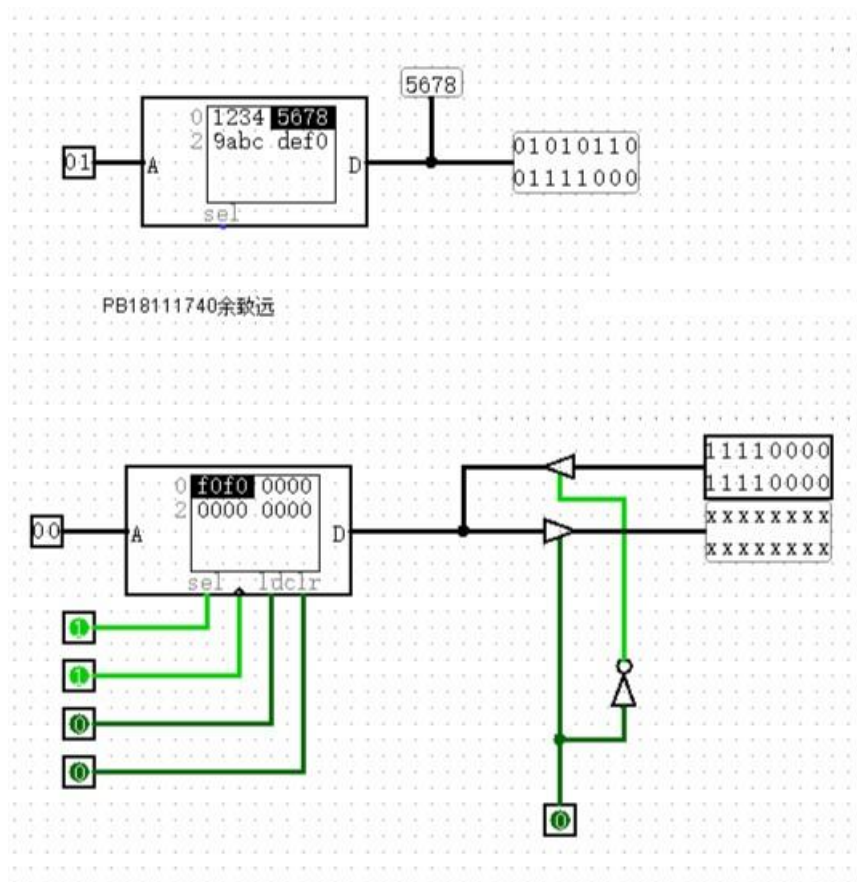
reg [3:0] cnt;
wire pulse_10mhz;
always@(posedge clk)
begin
    if(rst)
        cnt <= 4'h0;
    else if (cnt>=9)
        cnt <= 4'h0;
    else
        cnt <= cnt + 4'h1;
end
assign pulse_10mhz = (cnt == 4'h1);
always@(posedge clk)
begin
    if(rst)
        led <= 1'b0;
    else if (pulse_10mhz)
        led <= ~led;
end
endmodule
```



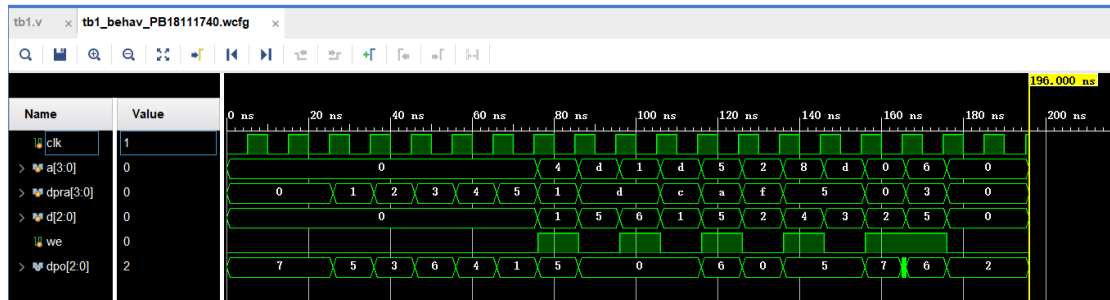
```
//PB18111740余致远
module tb( );

reg clk,rst;
initial
begin
    clk = 0;
    forever
        #5 clk = ~clk;
end
initial
begin
    rst = 1;
    #100 rst = 0;
end
test test(
    .clk (clk),
    .rst (rst),
    .led ( ));
endmodule
```

Step5: 使用片内存储单元



仿真波形如下:



【实验练习】

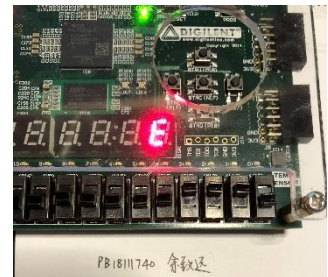
题目 1. 例化一个 16*8bit 的 ROM，并对其进行初始化，输入端口由 4 个开关控制，输出端口连接到七段数码管上（可只用一个数码管显示，也可 8 个数码管同时显示相同的数值），控制数码管显示开关相对应的十六进制数字，例如四个开关输入全为零时，数码管显示“0”，输入全为 1 时，数码管显示“F”。

```
//PB18111740余敦远
module T1(
    input clk,rst,
    input [3:0] sw,
    output reg [7:0] an,
    output [7:0] seg);

always@(posedge clk) //分时复用
begin
    an <= 8'b1111_1110;
end

dist_mem_gen_0 dist_mem_gen_0(
    .a (sw),
    .spo (seg));

endmodule
```



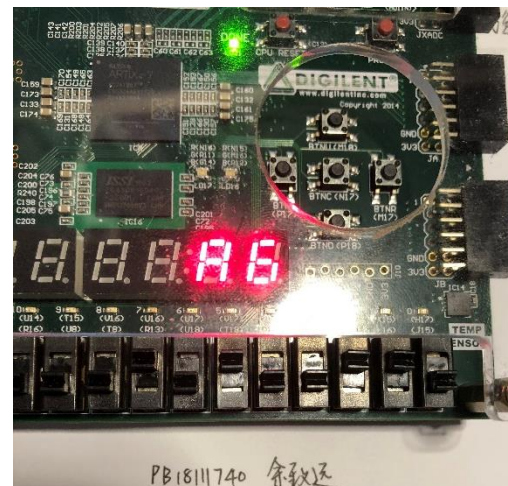
```
T1.coe
C: > xup > digital > lab7_problems > lab7_problems.srcs > sources_1 > ip > dist_mem_gen_0 > T1.coe
1 memory_initialization_radix=2;
2 memory_initialization_vector=
3 00000011 10011111 00100101 00001101 10011001 01001001 01000001 00011111
4 00000001 00001001 00010001 11000001 01100011 10000101 01100001 01110001;
5
```

题目 2. 采用 8 个开关作为输入，两个数码管作为输出，采用时分复用的方式将开关的十六进制数值在两个数码管上显示出来，例如高四位全为 1，低四位全为 0 时，数码管显示“F0”。

```

22 //PB18111740余致远
23 module T2(
24     input clk,rst,
25     input [7:0] sw,
26     output reg [7:0] an,
27     output [7:0] seg);
28
29     reg [19:0] cnt;
30     reg [3:0] data;
31
32 always@(posedge clk) //100MHz 时钟
33 begin
34     if(rst) cnt <= 20'h0;
35     else cnt <= cnt + 20'b1;
36 end
37
38 always@(posedge clk) //分时复用
39 begin
40     case(cnt[19])
41         2'h0:
42             begin
43                 an <= 8'b1111_1110;
44                 data <= sw[3:0];
45             end
46         2'h1:
47             begin
48                 an <= 8'b1111_1101;
49                 data <= sw[7:4];
50             end
51         default: an <= 8'b1111_1110;
52     endcase
53 end
54
55 dist_mem_gen_0 dist_mem_gen_0(
56     .a (data),
57     .spo (seg));
58
59 endmodule
60

```



题目 3. 利用本实验中的时钟管理单元或周期脉冲技术，设计一个精度为 0.1 秒的计时器，用 4 位数码管显示出来，数码管从高到低，分别表示分钟、秒钟十位、秒钟个位、十分之一秒，该计时器具有

复位功能（可采用按键或开关作为复位信号），复位时计数值为1234，即1分23.4秒

```
22 //PB18111740余致远
23 module T4(
24     input clk,rst,
25     input [15:0]sw,
26     output reg [7:0]an,
27     output [7:0]seg
28 );
29
30 reg [23:0] cnt;
31 wire pulse;
32 //reg [5:0]hour;
33 reg [6:0]minute;
34 reg [6:0]second;
35 reg [4:0]dsecond;
36 reg [3:0]data;
37 dist_mem_gen_0 dist_mem_gen_0(
38     .a (data),
39     .spo (seg));
40 always@(posedge clk) //
41 begin
42     if(rst) cnt <= 24'h0;
43     else if(cnt==24'd1000000) cnt <= 0;
44     else cnt <= cnt + 20'b1;
45 end
46 assign pulse = (cnt==24'd1000000) ? 1'b1 : 1'b0;
47 always@(posedge clk) //pulse 作为计数使能信号
48 begin
49     if(rst)
50     begin
51         //hour <= 5'd1;
52         minute <= 6'd1;
53         second <= 6'd23;
54         dsecond <= 4'd4;
55     end
56     else if(pulse)
57     begin
58         if (dsecond!=4'd9) dsecond <= dsecond + 4'd1;
59         else
60         begin
61             if (second!=6'd59) second <= second + 6'd1;
62             else
63             begin
64                 if (minute!=6'd9) minute <= minute + 6'd1;
65                 else
66                 begin
67                     //if (hour!=5'd23) second <= second + 5'd1;
68                     //else hour <=5'd0;
69                     minute <= 6'd0;
70                 end
71                 second <= 6'd0;
72             end
73             dsecond <= 4'h0;
74         end
75     end
76 end
```

```

75 ⊖ end
76 ⊖ end
77 ⊖ always@(posedge clk) //分时复用
78 ⊖ begin
79 ⊖     case(cnt[17:16])
80 ⊖         3'h0: begin
81 ⊖             an <= 8'b1111_1110;
82 ⊖             data <= dsecond;
83 ⊖         end
84 ⊖         3'h1: begin
85 ⊖             an <= 8'b1111_1101;
86 ⊖             data <= second % 6'ha;
87 ⊖         end
88 ⊖         3'h2: begin
89 ⊖             an <= 8'b1111_1011;
90 ⊖             data <= second / 6'ha;
91 ⊖         end
92 ⊖         3'h3: begin
93 ⊖             an <= 8'b1111_0111;
94 ⊖             data <= minute % 6'ha;
95 ⊖         end
96 ⊖     endcase
97 ⊖ end
98 ⊖
99 ⊖ endmodule
00 ⊖

```



【总结与思考】

1. 请总结本次实验的收获

本次实验中我主要学习查看了开发板的原理图，初步了解了各组件的功能，理解 FPGA 开发各关键环节。在 Verilog 编程中主要学习使用了时钟和 ROM/RAM 的 IP 核。在附加材料中学习了使用脉冲信号进行控制，并应用于第三题的编程。总体收获很大。

2. 请评价本次实验的难易程度

实验难度较大。

3. 请评价本次实验的任务量

任务量较多。

4. 请为本次实验提供改进建议

希望以后可以及时提供补充说明。