

中国科学技术大学计算机学院
《数字电路实验》报告



实验题目：实验 06 FPGA 原理及 Vivado 综合

学生姓名：余致远

学生学号：PB18111740

完成日期：2019 年 11 月 22 日

计算机实验教学中心制

2019 年 09 月

【实验目的】

了解 ROM 工作原理

了解 FPGA 工作原理

学会使用 Vivado 工具进行综合

【实验环境】

PC 一台

Windows 或 Linux 操作系统

Logisim

Vivado 工具

Nexys4DDR 开发板或 FPGAOL 实验平台

vlab.ustc.edu.cn

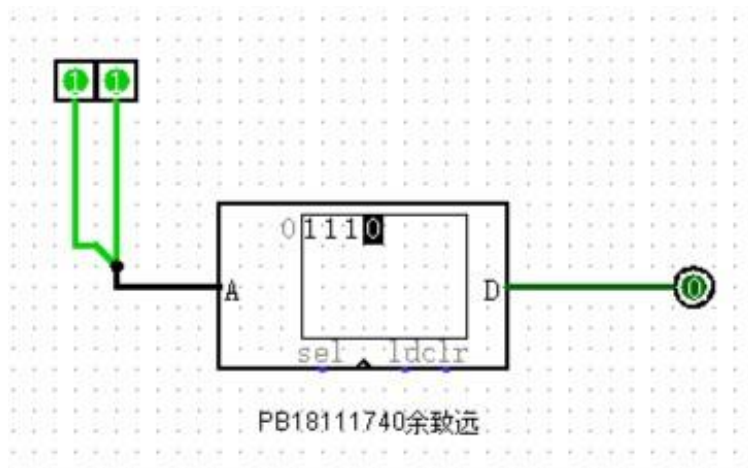
【实验过程】

Step1: 初识 FPGA

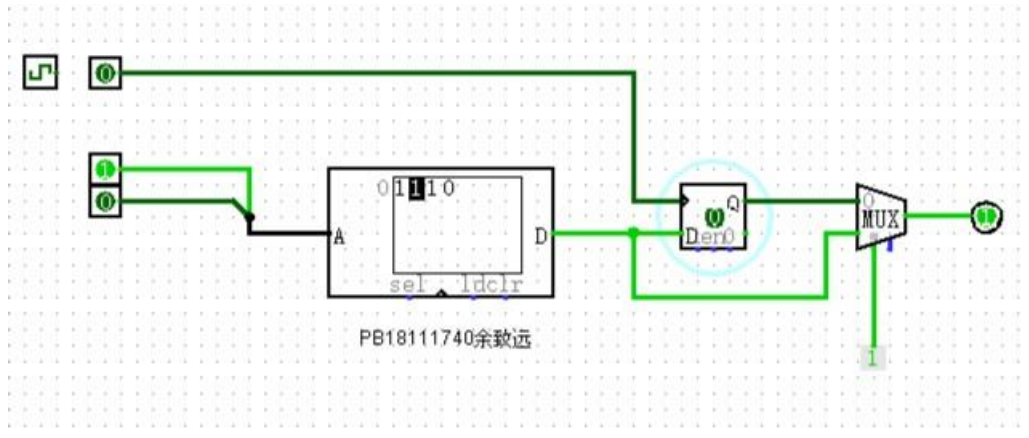
Step2: FPGA 基本结构

Step3: 可编程逻辑单元

使用 RAM 搭建电路:

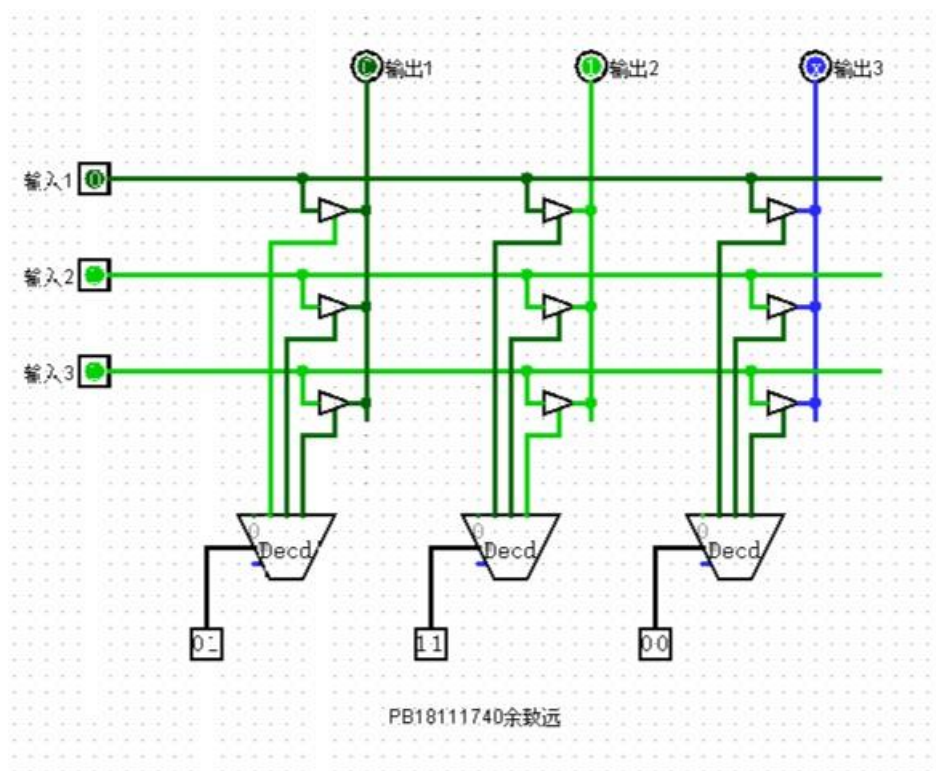


支持组合逻辑和时序逻辑：

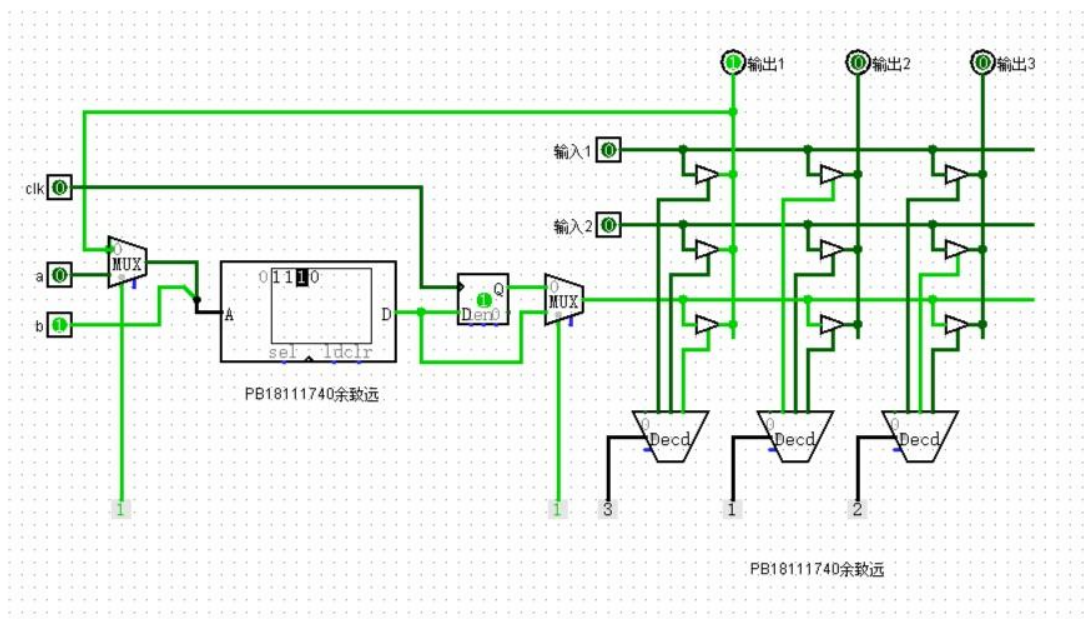


Step4: 交叉互连矩阵

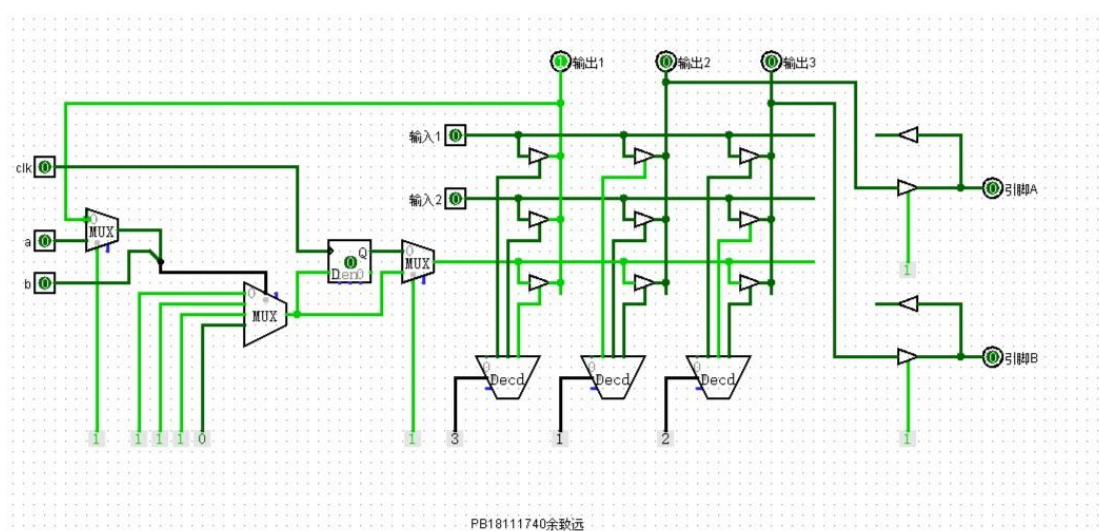
基本原理：



可编程逻辑单元的功能扩展和信号反馈：



添加 IOB 控制模块；



Step5: Vivado 综合

Step6: 烧写开发板

烧写的代码与之后第二题相同，之后展示。

【实验练习】

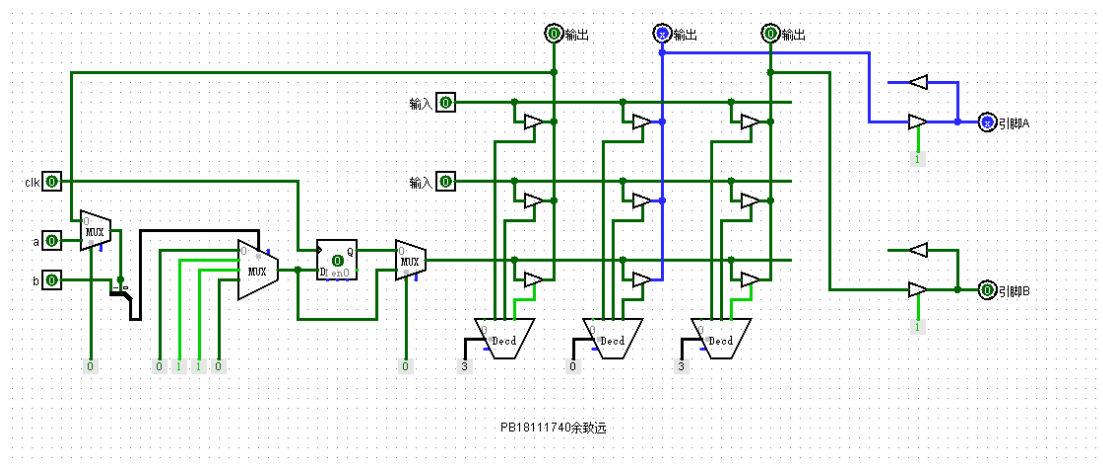
题目 1.

请通过实验中给出的可编程逻辑单元、交叉互连矩阵及 IOB 电路图，实现如下代码，并将其输出到引脚 B 上。给出配置数据和电路

```
Module test(input clk,output reg a);
always@(posedge clk)
a<=a ^ 1'b1;

endmodule
```

如图所示:



题目 2. 请修改实验中给出的 XDC 文件，使开关和 LED 一一对应（最左侧的开关控制最左侧的 LED）

```
//PB18111740余致远
module T2(
    input          CLK,
    input          RST,
    input [7:0]    SW,
    output reg [7:0] LED
);

always @(posedge CLK or posedge RST)
begin
    if (RST)
        LED <= 8'haa;
    else
        LED <= { SW[0] , SW[1] , SW[2] , SW[3] , SW[4] , SW[5] , SW[6] , SW[7] };
end
endmodule
```

配置文件:

```
## LEDs
```

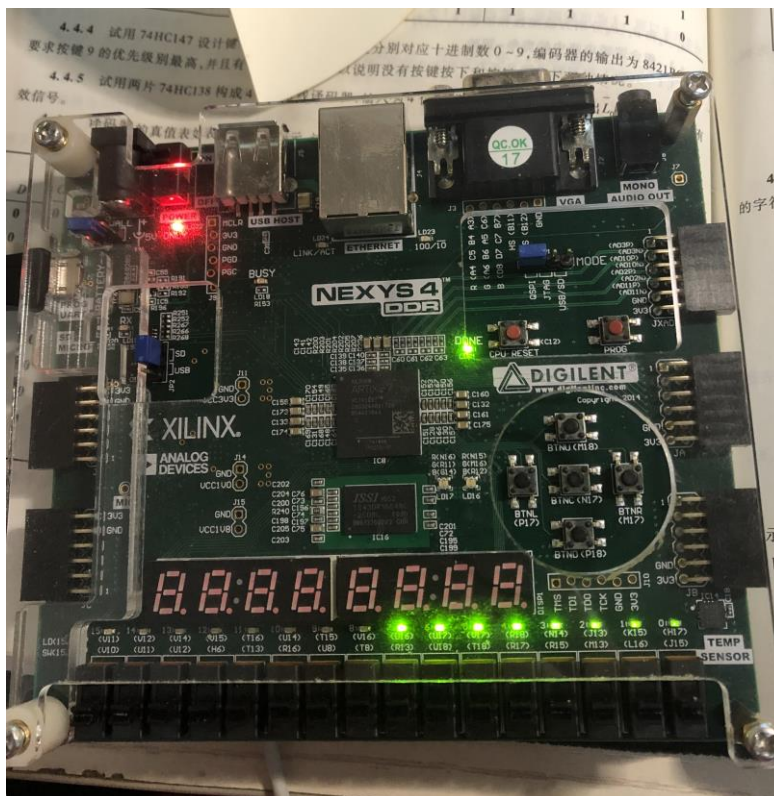
```
set_property -dict { PACKAGE_PIN H17 IOSTANDARD LVCMOS33 } [get_ports { led[7] }]; #IO_L18P_T2_A24_15 Sch=led[0]
set_property -dict { PACKAGE_PIN K15 IOSTANDARD LVCMOS33 } [get_ports { led[6] }]; #IO_L24P_T3_RS1_15 Sch=led[1]
set_property -dict { PACKAGE_PIN J13 IOSTANDARD LVCMOS33 } [get_ports { led[5] }]; #IO_L17N_T2_A25_15 Sch=led[2]
set_property -dict { PACKAGE_PIN N14 IOSTANDARD LVCMOS33 } [get_ports { led[4] }]; #IO_L8P_T1_D11_14 Sch=led[3]
set_property -dict { PACKAGE_PIN R18 IOSTANDARD LVCMOS33 } [get_ports { led[3] }]; #IO_L7P_T1_D09_14 Sch=led[4]
set_property -dict { PACKAGE_PIN V17 IOSTANDARD LVCMOS33 } [get_ports { led[2] }]; #IO_L18W_T2_A11_D27_14 Sch=led[5]
set_property -dict { PACKAGE_PIN U17 IOSTANDARD LVCMOS33 } [get_ports { led[1] }]; #IO_L17P_T2_A14_D30_14 Sch=led[6]
set_property -dict { PACKAGE_PIN U16 IOSTANDARD LVCMOS33 } [get_ports { led[0] }]; #IO_L18P_T2_A12_D28_14 Sch=led[7]
```

题目 3.

```
//PB18111740余致远
```

```
module T3(
    input          CLK,
    input          RST,
    input [7:0]    SW,
    output reg [7:0] LED
);

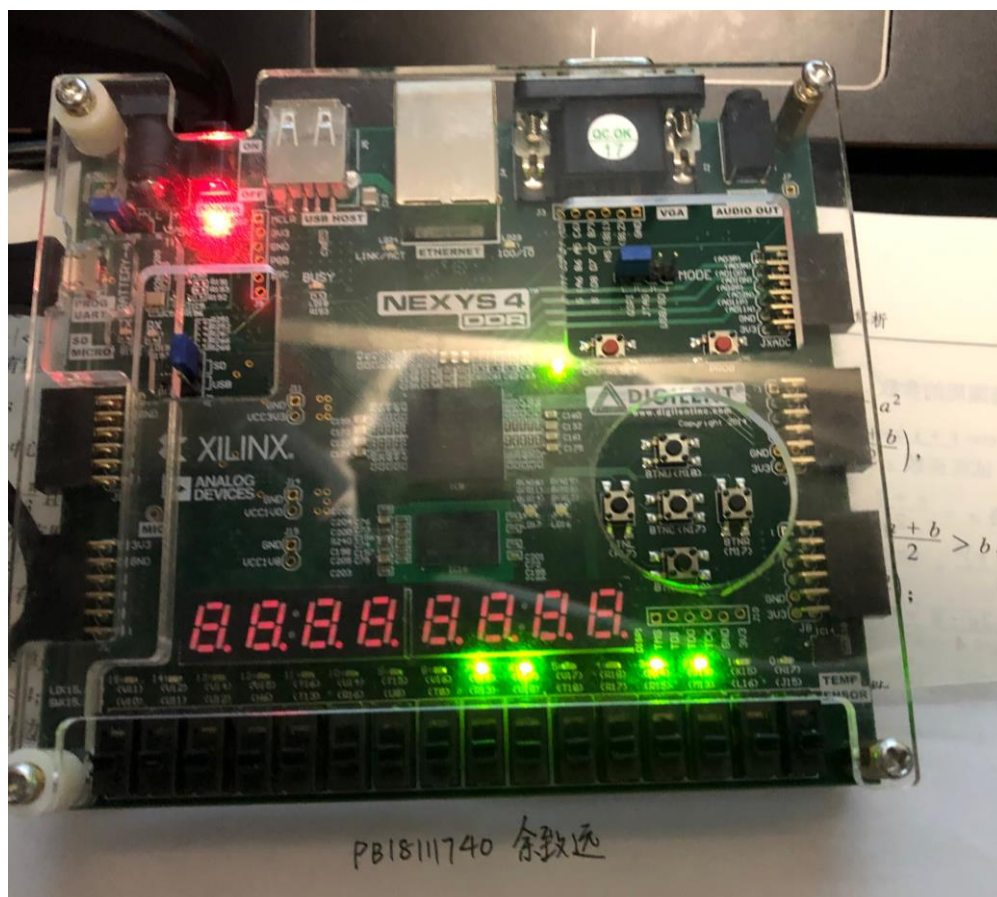
always @(posedge CLK or posedge RST)
begin
    if (RST)
        LED <= 8'h00;
    else
        LED <= LED + 8'h01;
    end
endmodule
```



右边最暗说明刷新频率最快。


```
//PB18111740余致远
module T3_2(
input          CLK,
input          RST,
input          [7:0] SW,
output reg     [7:0] LED
);

reg [31:0] A;
always @(posedge CLK or posedge RST)
begin
    LED[7:0] <= A[31:24];
    if (RST)
        A <= 32'h0000_0000;
    else
        A <= A + 32'h0000_0001;
end
endmodule
```



【总结与思考】

1. 请总结本次实验的收获

本次实验中我了解了 ROM 工作原理，了解了 FPGA 工作原理，并学习使用 Vivado 工具进行综合。交叉互联矩阵需要一点时间理解。生成比特流文件耗时较长，但是实际烧写开发板并正确执行功能时很有趣。

2. 请评价本次实验的难易程度

实验难度较大。

3. 请评价本次实验的任务量

任务量较多。

4. 请为本次实验提供改进建议

希望可以对 Logisim 中的 RAM 作更详细的介绍。