**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目：实验05 使用 Vivado 进行仿真

学生姓名：余致远

学生学号：PB18111740

完成日期：2019年11月15日

计算机实验教学中心制

2019年09月

【实验目的】  
熟悉 Vivado 软件的下载、安装及使用  
学习使用 Verilog 编写仿真文件  
学习使用 Verilog 进行仿真，查看并分析波形文件

【实验环境】

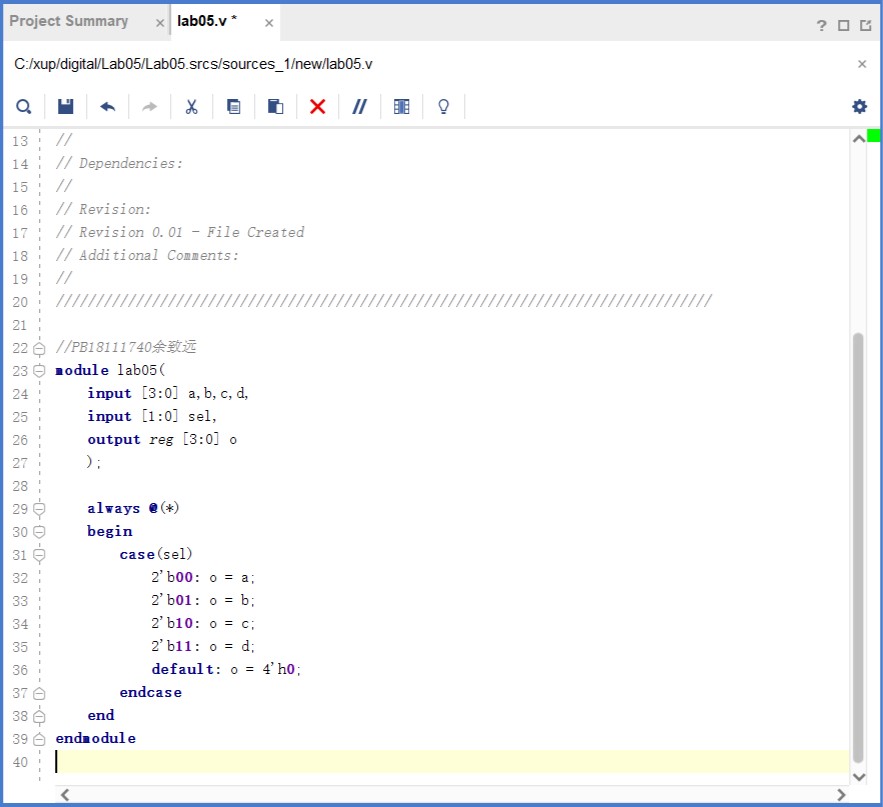
PC一台  
Windows或Linux操作系统  
Vivado 工具  
vlab.ustc.edu.cn（包含 Vivado 下载安装及使用教程）

**【实验过程】**

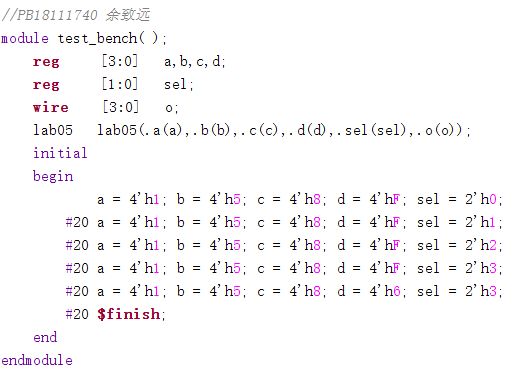
**Step1： 下载并安装 Vivado 环境**

**Step2. 建立 Vivado 工程**

**Step3：添加 Verilog 设计文件**

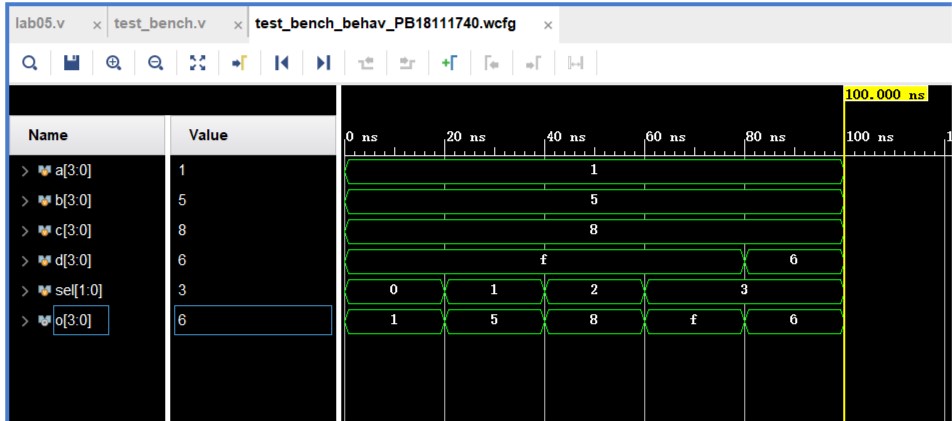
****

**Step4：添加仿真文件**

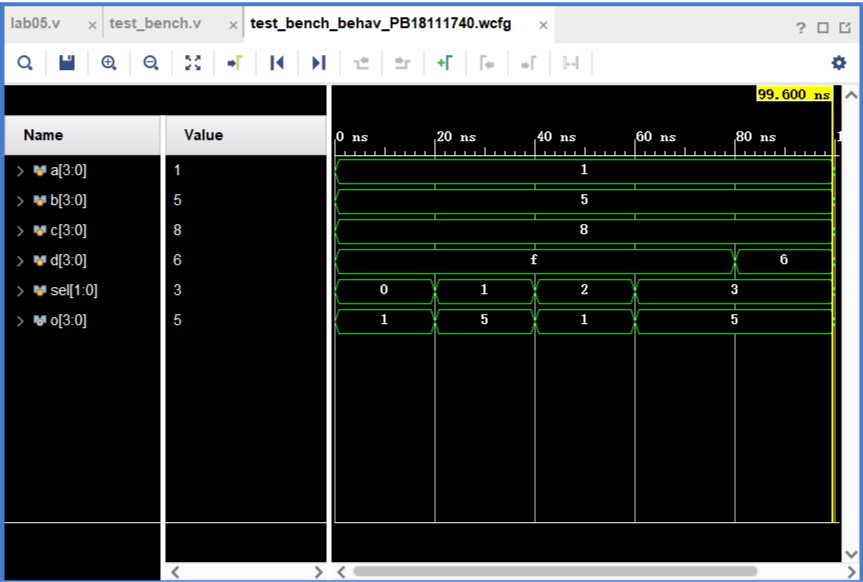
****

**Step5： 波形仿真**

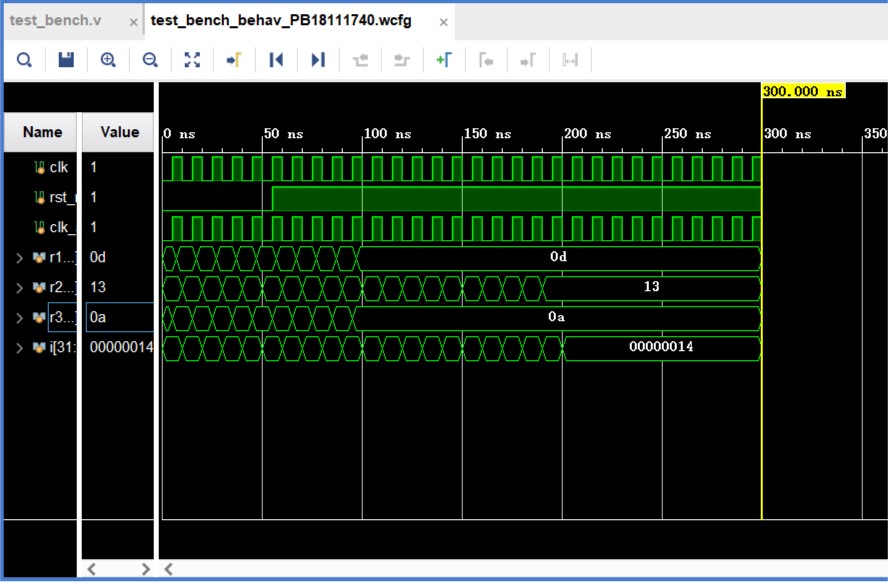
四选一选择器:

****

错误波形：

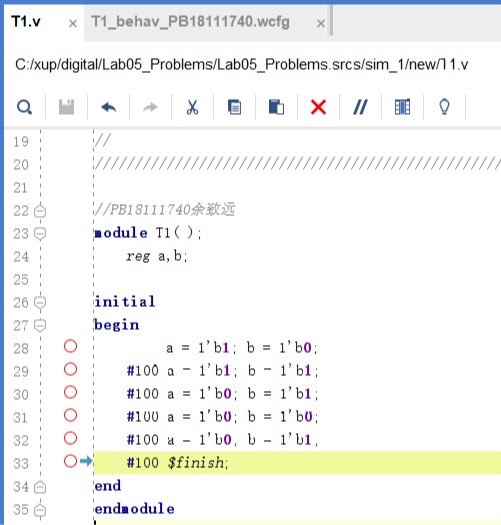
****

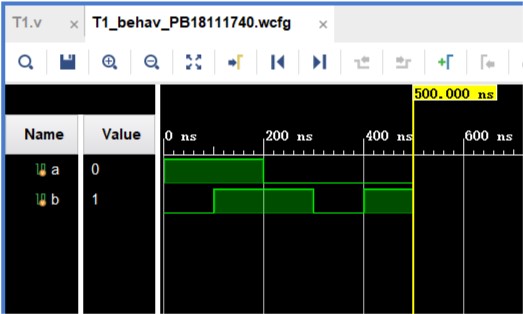
**Step6：Verilog 仿真文件常用语法**

****

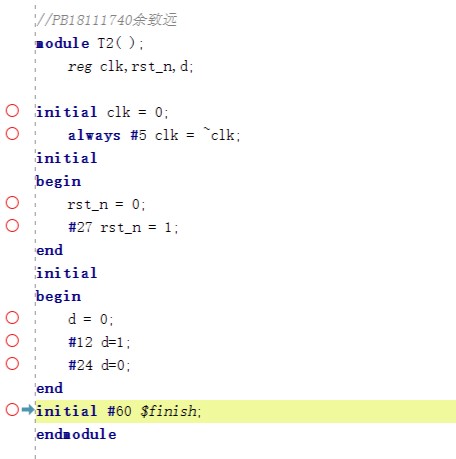
**【实验练习】**

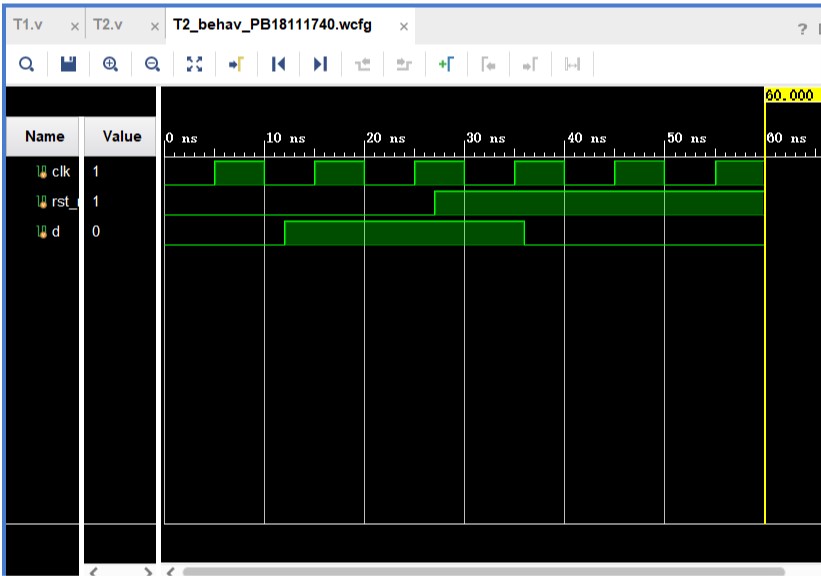
**题目1.**

****

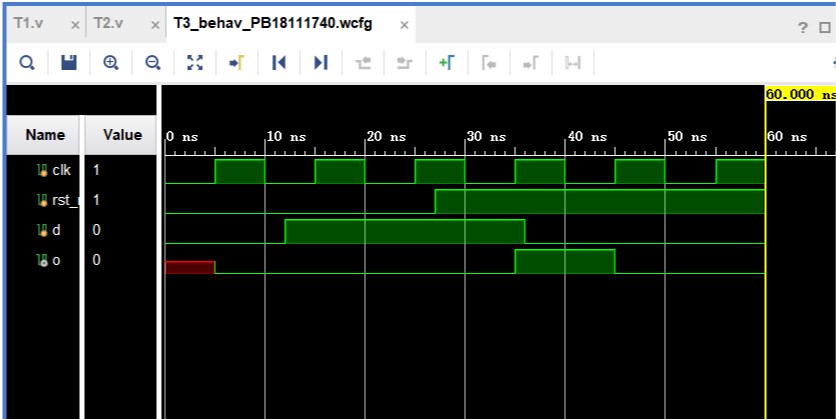
****

**题目2.**

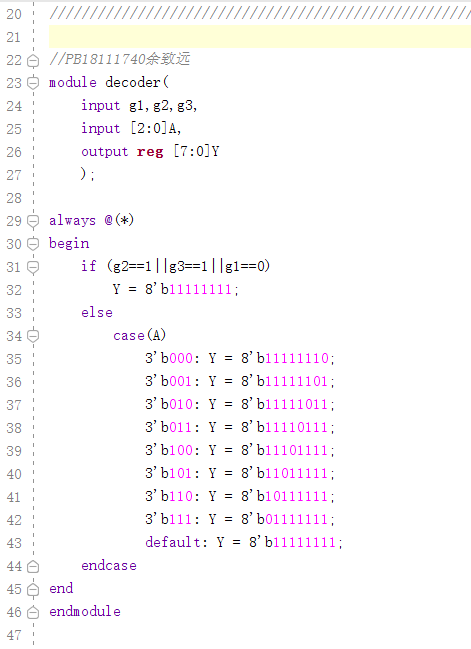




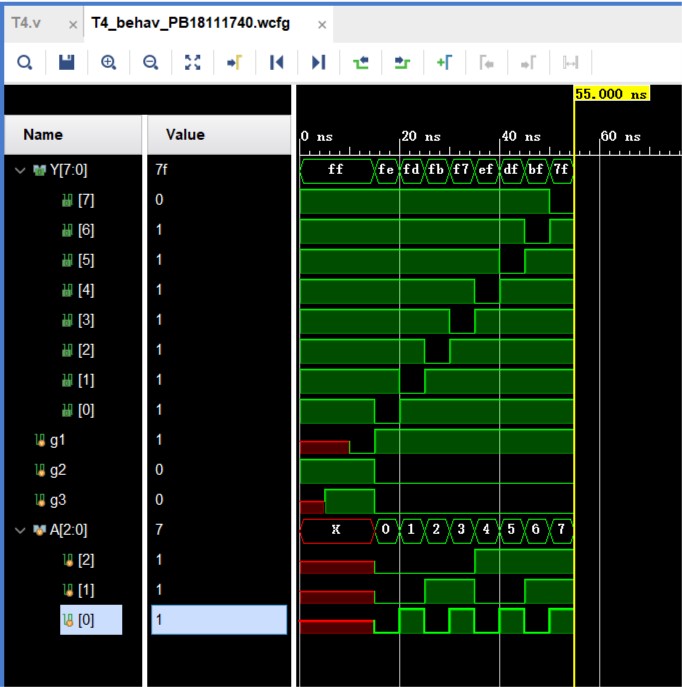
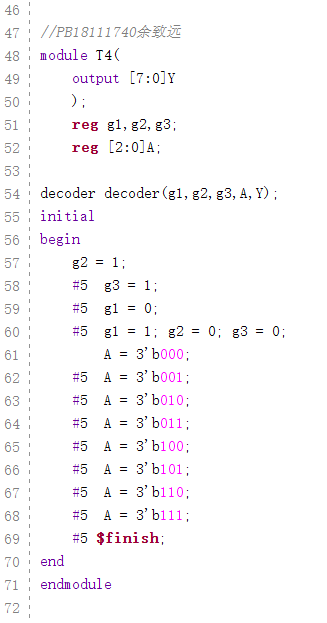
**题目3.**

****

**题目4.**

****

调用译码器，模拟输入信号：

****

**【总结与思考】**

**1. 请总结本次实验的收获**

本次实验中我学习了使用 Verilog 编写仿真文件并进行仿真，查看并分析波形文件。实验中主要遇到的错误是混淆了设计文件和仿真文件的用法，将所有代码放在了仿真文件中。用Vivado仿真波形可以具体观察各端口的输入输出情况，为代码调试提供了方便。

**2.请评价本次实验的难易程度**

实验有一定难度。  
**3.请评价本次实验的任务量**

任务量适中。  
**4.请为本次实验提供改进建议**

在设计文件与仿真文件的区别上可以多做说明。