**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目：实验 07 FPGA 实验平台及IP核使用

学生姓名：余致远

学生学号：PB18111740

完成日期：2019年11月28日

计算机实验教学中心制

2019年09月

**【实验目的】**  
学会查看原理图  
理解 FPGA 开发各关键环节  
学会使用 IP 核（知识产权核）

**【实验环境】**

PC一台

Windows或Linux操作系统

Logisim

Vivado工具

Nexys4DDR开发板或FPGAOL实验平台

vlab.ustc.edu.cn

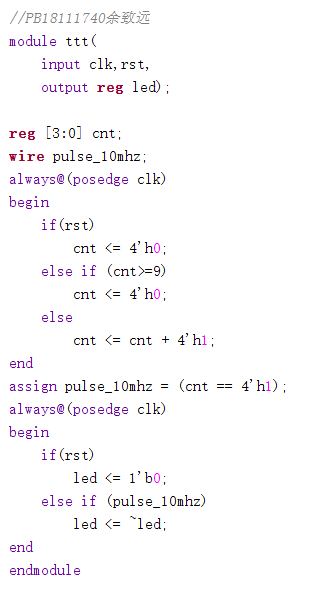
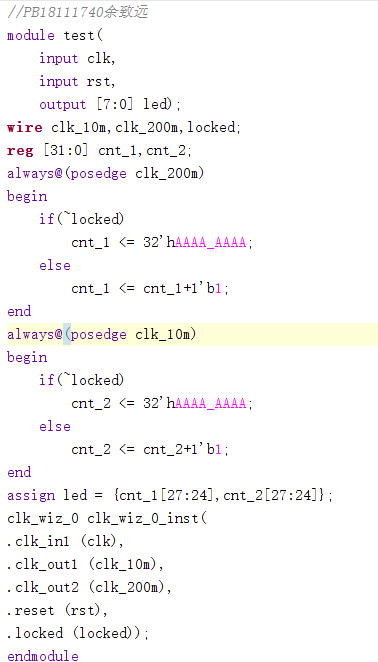
**【实验过程】**

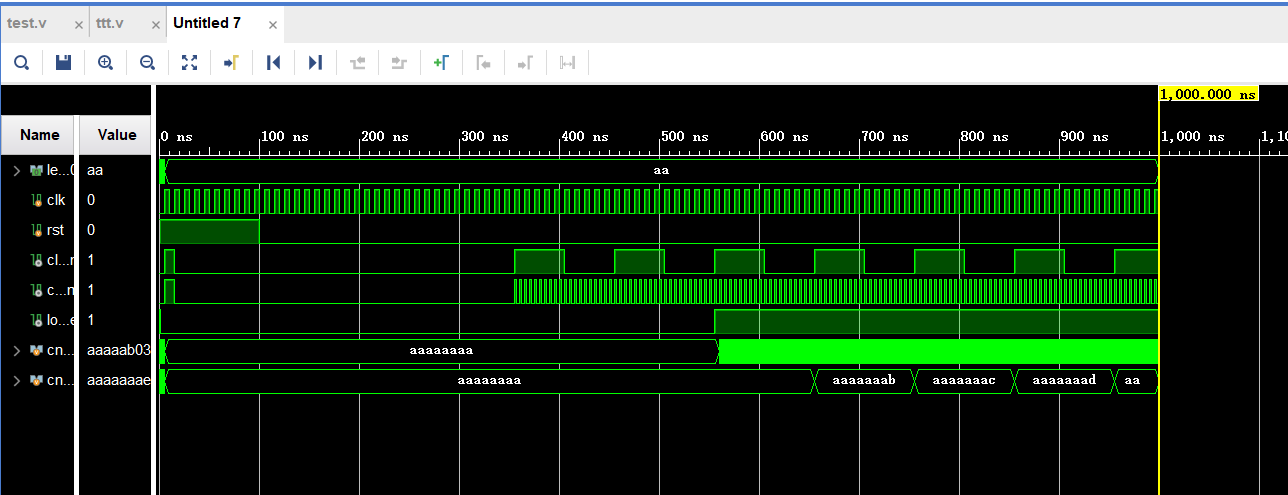
**Step1：Nexys4 DDR 开发板简介**

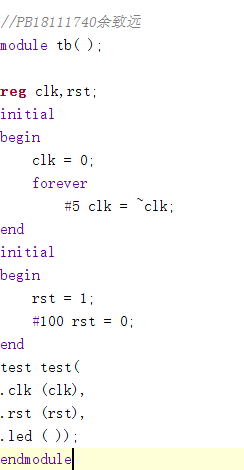
**Step2：开发板原理图介绍**

**Step3：FPGAOL 平台介绍**

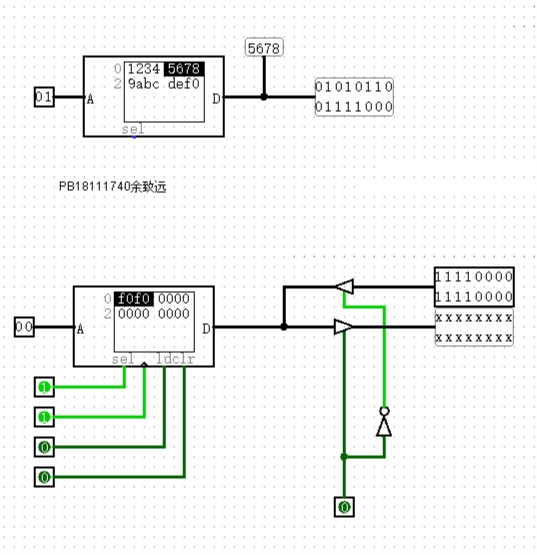
**Step4：使用时钟管理单元 IP 核**

****

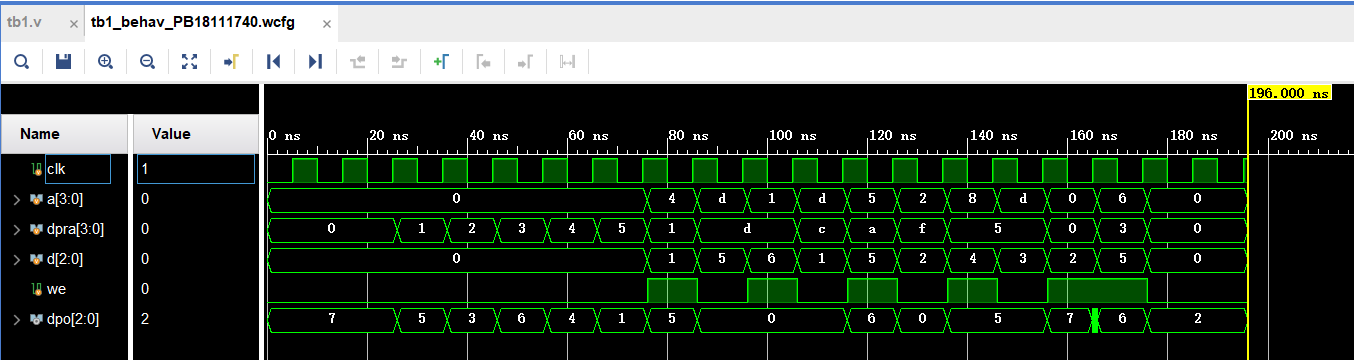
****

****

**Step5：使用片内存储单元**

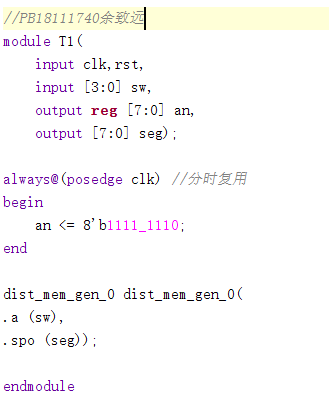
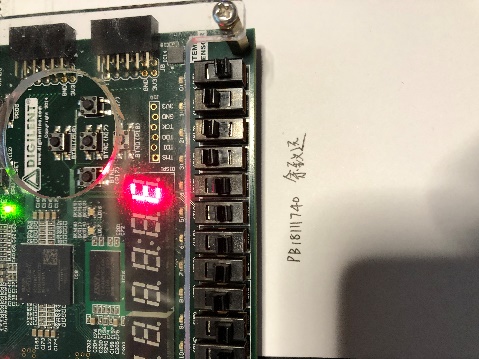
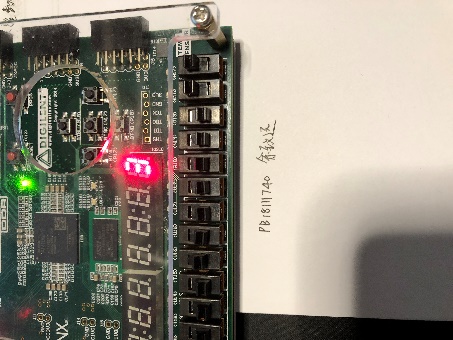
****

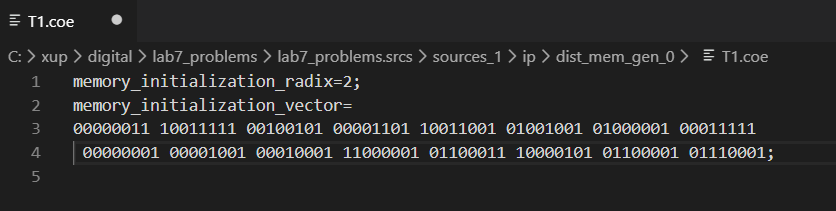
仿真波形如下：

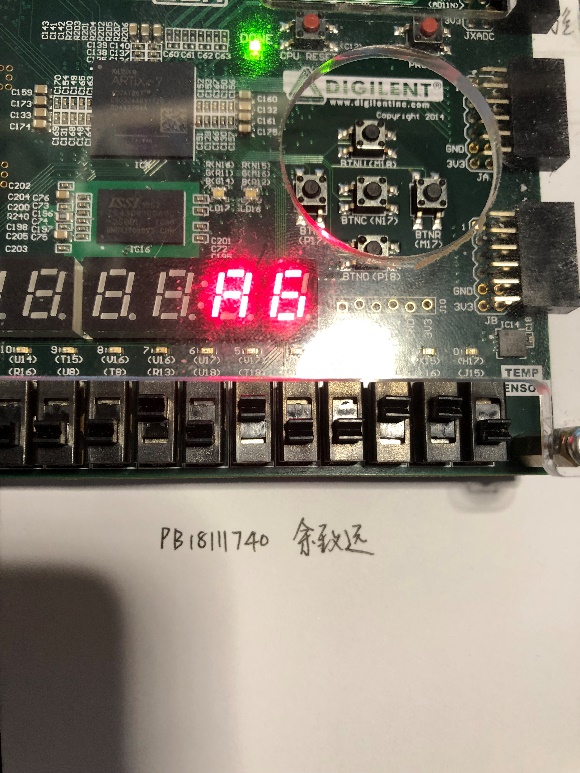
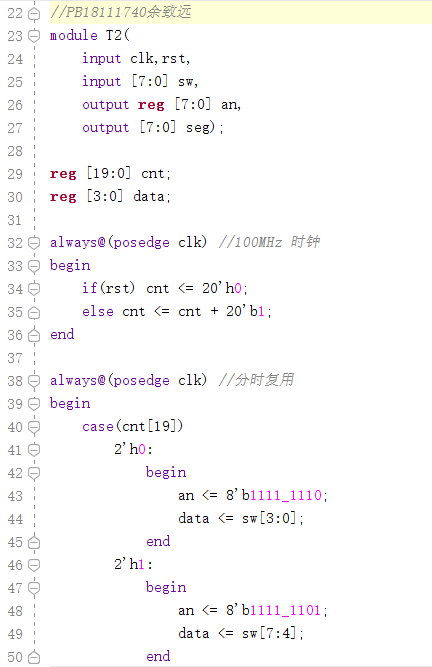
****

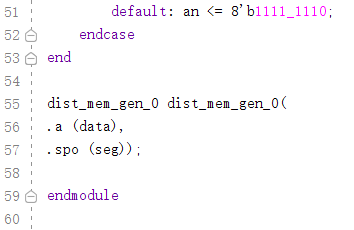
**【实验练习】**

**题目1.**例化一个16\*8bit的ROM，并对其进行初始化，输入端口由4个开关控制，输出端口连接到七段数码管上（可只用一个数码管显示，也可8个数码管同时显示相同的数值），控制数码管显示开关相对应的十六进制数字，例如四个开关输入全为零时，数码管显示“0”，输入全为1时，数码管显示“F”。

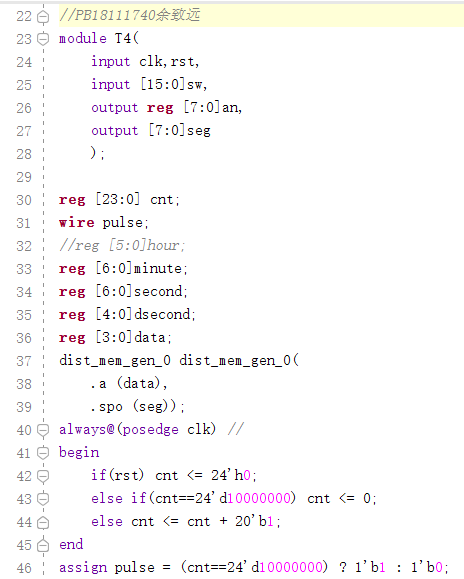
****

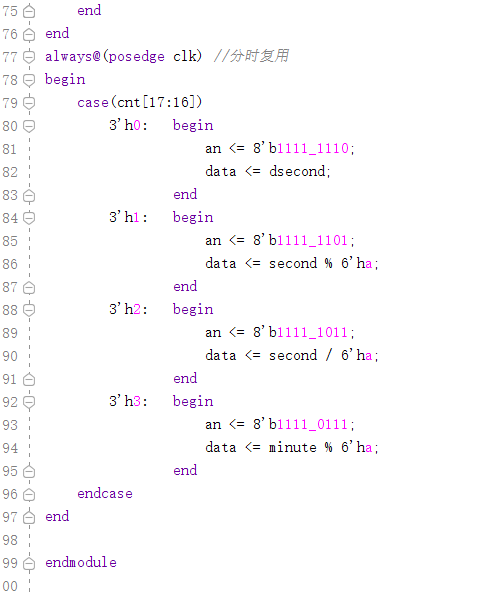
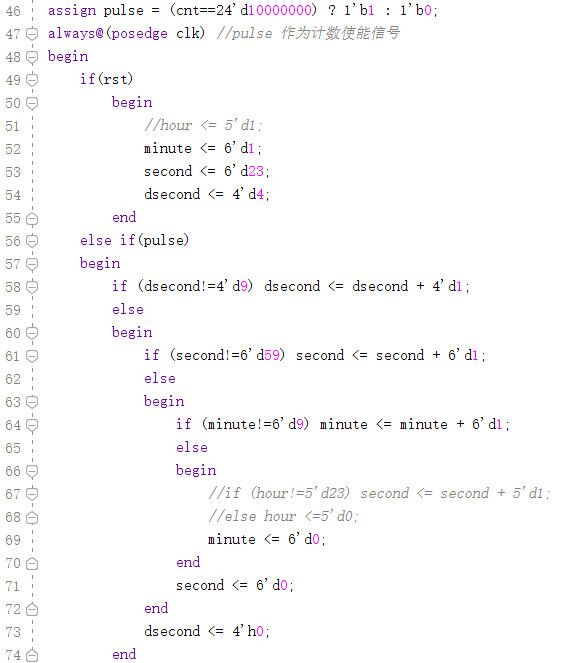
****

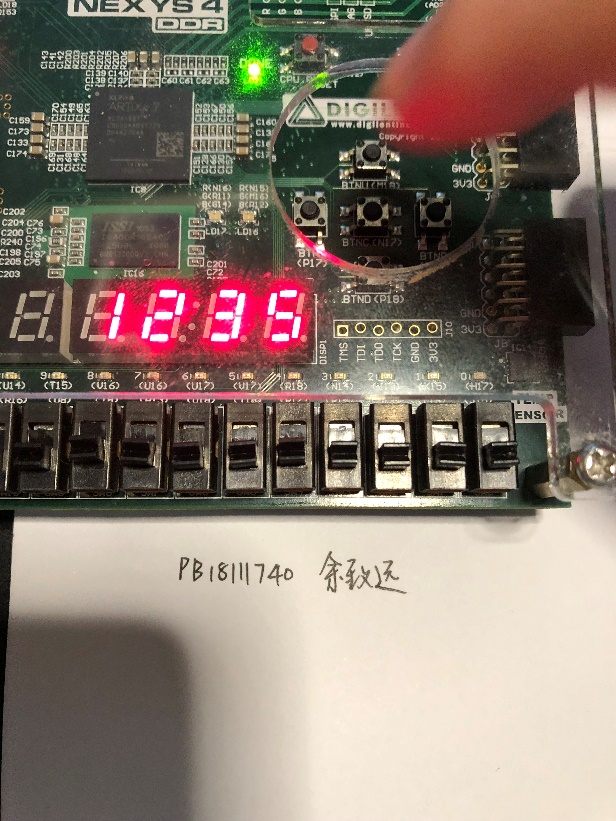
**题目2.**采用8个开关作为输入，两个数码管作为输出，采用时分复用的方式将开关的十六进制数值在两个数码管上显示出来，例如高四位全为1，低四位全为0时，数码管显示“F0”。 



**题目3.**利用本实验中的时钟管理单元或周期脉冲技术，设计一个精度为0.1秒的计时器，用4位数码管显示出来，数码管从高到低，分别表示分钟、秒钟十位、秒钟个位、十分之一秒，该计时器具有复位功能（可采用按键或开关作为复位信号），复位时计数值为1234，即1分23.4秒

****

****

****

**【总结与思考】**

**1.请总结本次实验的收获**

本次实验中我主要学习查看了开发板的原理图，初步了解了各组件的功能，理解 FPGA 开发各关键环节。在Verilog编程中主要学习使用了时钟和ROM/RAM的IP 核。在附加材料中学习了使用脉冲信号进行控制，并应用于第三题的编程。总体收获很大。

**2.请评价本次实验的难易程度**

实验难度较大。  
**3.请评价本次实验的任务量**

任务量较多。  
**4.请为本次实验提供改进建议**

希望以后可以及时提供补充说明。