

Curso: Engenharia de Computação e Ciência da Computação
Disciplina: Arquitetura de Computadores
Professor: Rodolfo da Silva Villaça

## Trabalho T1 – Simulador da Microarquitetura do Computador RAMSES.

### Realização:

- O trabalho poderá ser realizado em duplas (2 alunos);
- O trabalho tem valor igual a 5,0 (cinco) pontos;
- Não serão aceitos trabalhos copiados. A detecção de cópias entre grupos causará a ANULAÇÃO dos mesmos, equivalendo a nota 0,0 (ZERO)

### Especificação do trabalho:

Construir um simulador para uma das possíveis microarquiteturas do computador RAMSES (vide anexos I, II e III). O simulador deverá ter as seguintes entradas: mapa de memória [0..255], registradores (RA, RB, RX, PC) e o vetor de micro instruções (composto pelos sinais de controle da microarquitetura). As saídas do simulador serão: o mapa de memória [0..255] e os registradores (RA, RB, RX, PC).



Baseando-se na micro instrução e no estado inicial (memória e registradores) fornecidos como entrada do simulador da microarquitetura do RAMSES o programa deverá simular a execução da micro instrução e fornecer o resultado (estado da memória e registradores) como saída para o usuário, junto com estatísticas de uso da unidade lógico-aritmética (ULA), memórias (acessos de leitura/escrita) e número de ciclos simulados.

A entrada deverá ser feita por arquivo, onde o programa irá ler um arquivo texto contendo a sequência de micro instruções a ser simulada. A saída (resultado da simulação) poderá ser feita na tela ou em arquivo, de livre escolha do grupo. O simulador deverá permitir a execução passo-a-passo (micro instrução por micro instrução) ou execução direta (toda a sequência de micro instruções, ou seja, o microprograma de uma só vez). No caso da execução passo-a-passo deverão ser exibidas as saídas (conteúdo dos registradores e memória) para cada micro instrução. No caso da execução direta apenas o resultado final (conteúdo dos registradores e memória) precisa ser exibido.

Para quem optar pela microarquitetura do Anexo I os sinais de controle deverão ser ordenados da seguinte forma:

*carga\_RA, carga\_RB, carga\_RX, s1, s2, sel\_ALU (3 bits), carga\_N, carga\_Z, carga\_C, s5, incrementa\_PC, carga\_PC, s3, s4, carga\_RI, carga\_REM, read, write, carga\_RDM.*

Para quem optar pela microarquitetura do Anexo II os sinais de controle deverão ser ordenados da seguinte forma:

*carga\_RA, carga\_RB, carga\_RX, s1, s2, sel\_ALU (3 bits), carga\_N, carga\_Z, carga\_C, s5, s6, incrementa\_PC, carga\_PC, s3, s4, carga\_RI, carga\_REM, read, write, carga\_RDM, s7.*

Para quem optar pela microarquitetura do Anexo III os sinais de controle deverão ser ordenados da seguinte forma:

*carga\_RA, carga\_RB, carga\_RX, carga\_Raux, s1, s2, s3, s4, sel\_ALU (3 bits), carga\_N, carga\_Z, carga\_C, incrementa\_PC, carga\_PC, carga\_RI, carga\_REM, read, write, carga\_RDM.*

Os códigos de operação da ALU para as microarquiteturas I e II são:

<b>Código</b>	<b>Operação</b>
000	X+Y
001	X-Y
010	X and Y
011	X or Y
100	Not X
101	-X
110	X/2
111	Y

Os códigos de operação da ALU para a microarquiteturas III é:

<b>Código</b>	<b>Operação</b>
0000	X+Y
0001	X-Y
0010	X and Y
0011	X or Y
0100	Not X
0101	-X
0110	X/2
0111	Y
1000	X

Os códigos dos multiplexadores para cada uma das três microarquiteturas são:

#### **Anexo I**

S2	S1	SAÍDA
0	0	RA
0	1	RB
1	0	RX
1	1	PC

S4	S3	SAÍDA
0	0	ALU
0	1	Definida por S1,S2
1	0	RDM
1	1	-

S5	SAÍDA
0	ALU
1	REM

## Anexo II

S2	S1	SAÍDA
0	0	RA
0	1	RB
1	0	RX
1	1	-

S4	S3	SAÍDA
0	0	PC
0	1	SOMADOR
1	0	RDM
1	1	-

S6	S5	SAÍDA
0	0	RDM
0	1	SOMADOR
1	0	REM
1	1	-

S7	SAÍDA
0	Definida por S1,S2
1	PC

## Anexo III

S2	S1	SAÍDA
0	0	RA
0	1	RB
1	0	RX
1	1	-

S4	S3	SAÍDA
0	0	RAUX
0	1	PC
1	0	RDM
1	1	-

**Entrega:**

A escolha da melhor linguagem/ferramenta de programação para a realização do trabalho e da microarquitetura fica a critério do grupo, sendo que na entrega deverão constar:

1. Instruções para uso do simulador com exemplos e análise dos testes realizados pelo grupo;
2. Código fonte comentado;

**Data de entrega:** 15 de outubro.