

CA\_Team02\_pmod\_maxsonar\_pmod\_c  
lp\_status

---

# CA\_Team02\_pmod\_maxsonar\_pmod\_clp\_status vom 6.5.25

## - Becker Fabian:

Anpassung Registermapping, Fertigstellung Projektzielsetzung

## - Jürgens Jendrik:

Anpassung Registermapping, Fertigstellung Projektzielsetzung

## - Koch Nicolas:

Anpassung Registermapping, Fertigstellung Projektzielsetzung

## - Krempl Franz:

Anpassung Registermapping, Fertigstellung Projektzielsetzung

## - Sowada Daniel:

Anpassung Registermapping, Fertigstellung Projektzielsetzung

## - Specht Michael:

Anpassung Registermapping, Fertigstellung Projektzielsetzung

# CA\_Team02\_pmod\_maxsonar\_pmod\_clp\_status vom 13.5.25

## - Becker Fabian:

Erstellung VHDL-Code Baudrate Generator + Testbench

## - Jürgens Jendrik:

Erstellung VHDL-Code LCD Init Timing Controller, Recherche Referenz Projekte

## - Koch Nicolas:

Erstellung VHDL-Code Baudrate Generator + Testbench

## - Krempl Franz:

Recherche ip clp, Recherche Referenz Projekt

## - Sowada Daniel:

Recherche ip maxsonar, Recherche Referenz Projekt

## - Specht Michael:

Wiederholung Vorlesungsfolien; Recherche Referenz Projekte

# CA\_Team02\_pmod\_maxsonar\_pmod\_clp\_status vom 20.5.25

## - Becker Fabian:

Erstellung VHDL-Code UART Receiver + Testbench

## - Jürgens Jendrik:

Erstellung VHDL-Code top-level lcd\_controller + submodul variabler timing\_controller

## - Koch Nicolas:

Erstellung VHDL-Code UART Receiver + Testbench

## - Krempl Franz:

Recherche ip clp, Referenzprojekt Setup, Vitis Vertrautmachung

## - Sowada Daniel:

Setup Referenzprojekt, Recherche ip sonar & Demoprojekt

## - Specht Michael:

Erstellung VHDL-Code top-level lcd\_controller + submodul variabler timing\_controller

# CA\_Team02\_pmod\_maxsonar\_pmod\_clp\_status vom 27.5.25

## - Becker Fabian:

Fertigstellung VHDL-Code UART Receiver Testbench, Beginn VHDL-Code ASCII Decoder

## - Jürgens Jendrik:

lcd\_controller überarbeitet, TB für lcd\_controller begonnen, timing\_controller angepasst, TB timing\_controller begonnen

## - Koch Nicolas:

Fertigstellung VHDL-Code UART Receiver Testbench, Beginn VHDL-Code Setup Timer

## - Krempl Franz:

Kombination der Referenzprojekte in Vivado und Anpassen des Codes in Vitis

## - Sowada Daniel:

Recherche und Setup Treiber Software; Entwurf Testumgebung

## - Specht Michael:

lcd\_controller überarbeitet, TB für lcd\_controller begonnen, timing\_controller angepasst, TB timing\_controller begonnen

# CA\_Team02\_pmod\_maxsonar\_pmod\_clp\_status vom 3.6.25

## - Becker Fabian:

Erstellung VHDL-Code UART IP Core + Testbench

## - Jürgens Jendrik:

Recherche & Erstellung AXI-Dateien, Fortsetzung LCD Testbench, Erstellung eines Top-Modules zum Testen der Hardware, Anpassung LCD controller

## - Koch Nicolas:

Erstellung VHDL-Code UART IP Core + Testbench

## - Krempl Franz:

Bugfixing und Inbetriebnahme der kombinierten Referenzprojekte

## - Sowada Daniel:

Bugfixing und Inbetriebnahme der kombinierten Referenzprojekte

## - Specht Michael:

Recherche & Erstellung AXI-Dateien, Fortsetzung LCD Testbench, Erstellung eines Top-Modules zum Testen der Hardware, Anpassung LCD controller

# CA\_Team02\_pmod\_maxsonar\_pmod\_clp\_status vom 17.6.25

## - Becker Fabian:

Erstellung AXI Interface + Verifikation

## - Jürgens Jendrik:

Letzte Anpassungen Code + TB, Erstellung AXI Interface + Verifikation, IP packen

## - Koch Nicolas:

Erstellung AXI Interface + Verifikation

## - Krempl Franz:

Bugfixing und Inbetriebnahme der kombinierten Referenzprojekte

## - Sowada Daniel:

Bugfixing und Inbetriebnahme der kombinierten Referenzprojekte

## - Specht Michael:

Letzte Anpassungen Code + TB, Erstellung AXI Interface + Verifikation, IP packen

# CA\_Team02\_pmod\_maxsonar\_pmod\_clp\_status vom 24.6.25

## - Becker Fabian:

Debugging Synthesefehler, Code Cleaning & Erstellung Abschlusspräsentation

## - Jürgens Jendrik:

Unterstützung HW-SW-Integration, Code Cleaning & Erstellung Abschlusspräsentation

## - Koch Nicolas:

Debugging Synthesefehler, Code Cleaning & Erstellung Abschlusspräsentation

## - Krempl Franz:

Inbetriebnahme beider IPs und Fehlersuche, Debugging mit IP-Teams

## - Sowada Daniel:

Bugfixing, Inbetriebnahme beider IPs und Fehlersuche, Softwareseitige Registertests

## - Specht Michael:

Unterstützung HW-SW-Integration, Code Cleaning & Erstellung Abschlusspräsentation



# CA\_Team02\_pmod\_maxsonar\_pmod\_clp\_status vom 1.7.25

- **Becker Fabian:**

Fertigstellung Projekt

- **Jürgens Jendrik:**

Fertigstellung Projekt

- **Koch Nicolas:**

Fertigstellung Projekt

- **Krempl Franz:**

Fertigstellung Projekt

- **Sowada Daniel:**

Fertigstellung Projekt

- **Specht Michael:**

Fertigstellung Projekt