

# Stundenliste von Fabian Becker

(Blatt 1/ )

**Bitte ausdrucken, handschriftlich ausfüllen, und bei jedem Besprechungstermin zur Unterschrift vorlegen.**

Datum	Zeit (0,5h genau)	Zwischen- summe (fortlaufend aufsummiert)	Tätigkeit	Unterschrift
21.04.25	4	4	Material sichtung MaxSonar und CLP	
23.04.25	3	7	Erstellung Blockbild & Registerbeschreibung	
26.04.25	3	10	Erstellung Konzept MaxSonar IP	
27.04.25	2	12	Rücksprache Projekt Zielsetzung	
30.04.25	0,5	12,5	Änderungen MaxSonar IP	
2.05.25	0,5	13	Arbeitsfeilung MaxSonar IP	
5.05.25	2	15	Planning MaxSonar IP VHDL Struktur	
6.05.25	1,5	16,5	Status meeting (Vorlesung)	
8.05.25	0,5	17	Referenzprojektes lauffähig machen	
9.05.25	5,5	22,5	Erstellung VHDL + Code Bandrate Generator <sup>+TB</sup>	Dr. C.
13.05.25	1,5	24	Status meeting	
13.05.25	1,5	25,5	Implementierung UART-Receiver	
16.05.25	4	29,5	Debugging UART-Receiver	
17.05.25	4	33,5	Erstellung Testbench UART Receiver	
19.05.25	4	37,33,37,5	Umbau UART Receiver + Band Rate (Gen) <del>Dr. C.</del>	
20.05.25	1	38,5	Status meeting	
21.05.25	2,5	41	Debugging UART Receiver + Testbench	
23.05.25	3	44	Erstellen ASCII Decoder	
29.05.25	3	47	Bugfixing + Erstellung Core Model	
30.05.25	3	50	Erstellung Core TB	
6.06.25	3	53	Erstellung AXI Interface	
7.06.25	5	58	Erstellung ZNI Verifikation	
13.06.25	1	59	IP packen	
17.06.25	2	61	erster Versuch IP Integration	
18.06.25	3	64	Debugging Synthesis Fehler: Inferred Latches	
21.06.25	2	66	Erstellung Abschlusspräsentation	
22.06.25	3	69	Code Cleaning, Bugfixing: Synchronisation <sup>+TB</sup>	
24.06.25	3	72	Projektfertigstellung	

Stundenliste von Jendrik Jürgens (Blatt 1/2)

Bitte ausdrucken, handschriftlich ausfüllen, und bei jedem Besprechungstermin zur Unterschrift vorlegen.

Datum	Zeit (0,5h genau)	Zwischen- summe (fortlaufend aufsummiert)	Tätigkeit	Unterschrift
23.04.25	2h	2h	Systemblockbild, Aufgabenteilung	
26.04.25	1,5h	3,5	Registermapping	
27.04.25	1,5h	5	Registermapping	
06.05.25	1,5h	6,5	Statusmeeting	
06.05	0,5h	7	Setup Vorlageprojekt	
21.04	1,5h	8,5	Materialsichtung	
10.05	3,0h	11,5	Aktualisierung & Berichtigung Registermapping, Recherche Referenzprojekte, Brainstorming Vorgehensweise	
10.05	2,0h	13,5h	Erstellung IP-Projektstruktur, Codierung Start: LCD-Init-Timing Controller	P.J.
13.05	2,5h	16h	Erstellung VHDL Timing Controller / LCD Controller	
13.05	0,5	16,5h	Statusmeeting	
16.05	4	20,5h	Erstellung Timing- / LCD-Controller -11-	
17.05	4	24,5h	Recherche: Erstellung Test-Benches	P.J.
17.05	2	26,5h	Statusmeeting	
20.05	0,5	27,0h	Clarification offene Punkte, Anpassung Timings, Refactoring Register für Instruktionen angepasst	
20.05	2,0h	29,0h	Refactoring LCD-Controller, Erstellung Testbench für submodule Timing-C.	
21.05	3,5h	32,5h	Init + Write LCD-Controller	
23.05	4,0h	36,5h	Hinzufügen von Expected Signals, Konstanten zum TB vom Timing Controller	
24.05	1,5h	38h	Debugging / Korrektur Timing Controller, Anpassung Testbench, Beginn LCD-Controller TB	
25.05	3,0h	41h	Fortsetzung TB-Lcd-Controller	P.J.
26.05	3,0h	44h	Statusmeeting	
27.05	0,5h	44,5h	Erstellung lcd-top module, HW testen, Debugging	
27.05	2,5h	47h	B Debugging TB-Lcd-controller	
27.05	1,5h	48,5h	Synthese & Debugging lcd-top.vhd	
28.05	3,0h	51,5h	Fortsetzung TB-Lcd controller	
29.05	3,5	55,0h	Fortsetzung TB-Lcd controller,	
29.05	2,0	57,0h	Brainstorming lcd-controller glitches	
30.05	5,5	62,5h	Erstellung Write-Case TB-Lcd controller	P.J.
3.06	0,5	63,0h	Statusmeeting	

Stundenliste von Aendrik Jürgens (Blatt 2/2)

Bitte ausdrucken, handschriftlich ausfüllen, und bei jedem Besprechungsstermin zur Unterschrift vorlegen.

# Stundenliste von Nicolas Koch

(Blatt 1/1)

**Bitte ausdrucken, handschriftlich ausfüllen, und bei jedem Besprechungstermin zur Unterschrift vorlegen.**

Datum	Zeit (0,5h genau)	Zwischen- summe (fortlaufend aufsummiert)	Tätigkeit	Unterschrift
23.04.25	2h	2h	Systemblockbild, Aufgabenstellung	
26.04.25	2h	4h	Bearbeitung MaxSonar IP und Registermapping	
27.04.25	2h	6h	Rücksprache Projektzielsetzung	
02.05.25	0,5h	6,5h	Aufgabenstellung MaxSonar	
06.05.25	1,5h	8h	Statusmeeting	
06.05.25	0,5h	8,5h	Referenzprojekt zum Laufen bringen	
05.05.25	1h	9,5h	Analyse Referenzcode	
21.04.25	1,5h	11h	Materialbeschaffung	
09.05.25	5,5h	16,5h	VHDL-Code Baudgenerator + Testbench	P. M.
13.05.25	3,0h	19,5h	Statusmeeting, UART-Receiver vhd beginnen	
16.05.25	1,5h	21h	UART-Receiver für Bus, Testbench beginnen	
17.05.25	5h	26h	Debugging UART Receiver + Testbench	
19.05.25	2h	28h	Timing Problem (0,5h)	P. M.
20.05.25	2h	30h	Umbau UART-Receiver + Baudrate Generator	
21.05.25	1h	31h	Statusmeeting	
21.05.25	2,5h	33,5h	Debugging UART-Receiver + Testbench	
23.05.25	4h	37,5h	Erstellen Setup-Timer	P. M.
27.05.25	3h	40,5h	Statusmeeting + Axi-Code anfangen	
31.05.25	3h	43,5h	Fertigstellung Setup-Timer + Beginn Testbench	
02.06.25	4h	47,5h	Leitföhrung Axi	P. M.
03.06.25	3h	50,5h	Statusmeeting + Debugging as-core	
07.06.25	3h	53,5h	Anpassung Register für AXI	
08.06.25	4h	57,5h	Bearbeiten Verification	
14.06.25	4h	61,5h	Fertigstellen AXI IP und packen	P. M.
18.06.25	1h	62,5h	Debugging Systemfehler	
19.06.25	3h	65,5h	Nachziehen as-core Testbenches	
20.06.25	1h	66,5h	Hinzufügen von Kommentaren	
24.06.25	3,5h	70h	Fertigstellung Projekt	P. M.

# Stundenliste von Franz Krempel

(Blatt / )

**Bitte ausdrucken, handschriftlich ausfüllen, und bei jedem Besprechungstermin zur Unterschrift vorlegen.**

Datum	Zeit (0,5h genau)	Zwischen- summe (fortlaufend aufsummiert)	Tätigkeit	Unterschrift
27.04.				
25.04.	1,5 h	1,5	h Projektbeschreibung erstellt	
27.04.	2,0 h	3,5	h Rücksprache Projektzielsetzung	
06.05.	1,5 h	5,0	h Statusmeeting	
06.05.	0,5 h	5,5	h Setup Vorlagegespräch	
12.05.	1,0 h	6,5	h Recherche CLP Referenzprojekt	P.L.
13.05.	0,5 h	7,0	h Statusbericht	
13.05.	1,5 h	8,5	h Übungsstunde	
15.05.	4,0 h	12,5	h Vitis & Referenzprojekt	
17.05.	1,0 h	13,5	h Recherche ip-clp	P.L.
20.05.	0,5 h	14,0	h Statusmeeting	
20.05.	2,5 h	16,5	h Austausch mit Hardware-Teams, Planung	
24.05.	3,0 h	19,5	h Vivado Komponenten verstehen	
26.05.	7,0 h	26,5	h Zusammenfassen der Testkomponenten	
26.05.	1,0 h	27,5	h Bugfixing	P.J.
27.05.	0,5 h	28,0	h Statusmeeting	
27.05.	2,0 h	30,0	h Absprache Hardwareteams	
04.06.	1,5 h	31,5	h IP-Code lesen / verstehen	
04.06.	2,0 h	33,5	h Zusammenfragen / Erweitern von Stoff verposta Stol.	
07.06.	2,0 h	35,5	h Abklären Register / Funktionsweise	
10.06.	8,5 h	44,0	h Schreiben der Treiber ohne vorgegebenen Code	
11.06.	1,0 h	45,0	h Gespräch über Treiberfunkt. Übungsstunde	
15.06.	6,0 h	51,0	h Neuschreiben der Treiber mit Xil-Funktionen	P.J.
17.06.	0,5 h	51,5	h Statusmeeting	
17.06.	4,5 h	56,0	h Zusammenführen IPs und Software	
18.06.	5,0 h	61,0	h Sonar debugging mit IP-Team	
19.06.	0,5 h	61,5	h Präsentationsfolie erstellt	
23.06.	2,5 h	64,0	h Reparierte Sonar-IP eingebunden	
24.06.	1,0 h	65,0	h Statusmeeting	P.J.
24.06.	4,0 h	69,0	h Registertests & Demo	

Stundenliste von Sowada Daniel (Blatt 1)

Bitte ausdrucken, handschriftlich ausfüllen, und bei jedem Besprechungstermin zur Unterschrift vorlegen.

Datum	Zeit (0,5h genau)	Zwischen- summe (fortlaufend aufsummiert)	Tätigkeit	Unterschrift
23.4	1,5	1,5	Erstellung des Projektberichts	
25.4	1,5	3	Projektbeschreibung	
27.4	2	5	Richtsprache Projekt Zielsetzung	
6.5	1,5	6,5	Statusmeeting	
6.5	0,5	7	Setup Referenzprojekt	
8.5	1,5	8,5	Recherche zur Umsetzung d. Treiberimpl.	
10.5	1	9,5	Setup Referenz Projekt p2	<i>D.W.</i>
13.5	1	10,5	Statusrunde	
13.5	2,5	13	Referenzprojekt „Hello World“	
16.5	2	15	Recherche ip Sonar + Demo Projekt	
20.5	1	16	Recherche & Brainstorming Setup TreiberSW	
22.5	2	18	Setup Treibesoftware	
22.5	1,5	19,5	Entwurf Testumgebung	
27.5	1	20,5	Statusrunde	<i>D.W.</i>
27.5	2,5	23	Kombination Referenzprojekte	
	1,5	24,5	Inbetriebnahme Sonar + CLP	
23.5	1,5	26	Bugfixing	
2.6	1	27	erste Registertests	
2.6	2	29	Bugfixing	
2.6	1	30	Recherche zur Kommunikation	<i>D.W.</i>
3.6	1	31	Statusrunde	
3.6	3	34	Bugfixing, Buffer Error	
3.6	2	36	„Verschieben der Codezeile“	
4.6	3	33	Debugging & entfernen d. Referenzcode	
4.6	1	40	Recherche	
5.6	1	41	Debugging	
9.6	1,5	42,5	Informationen sammeln	
10.6	1	43,5	Register unmapping	
10.6	1	44,5	Maschen implementieren	
10.6	2	46,5	Logik implementieren	
10.6	3	49,5	Testing (failed)	
15.6	1	50,5	Beginn CLP Logik (Recherche)	<i>D.W.</i>
17.6	0,5	51	Statusmeeting	
17.6	4,5	55,5	IP's zusammenführen + Bugfixing	
17.6	2		& fehlersuche	
17.6	2	57,5	Registertests	
18.6	2	59,5	Registertest <del>verschoben</del> abgeschlossen	
23.6	2	61,5	Arbeit an der Powerpoint	
18.6	3	64,5	Fehlersuche	
23.6	2	66,5	Fehler gefunden, anpassung Sonar Code	<i>D.W.</i>
24.6	1,5	68	Statusmeeting	
24.6	1	69	Registertests	

Stundenliste von Michael Specht (Blatt 1/1)

Bitte ausdrucken, handschriftlich ausfüllen, und bei jedem Besprechungstermin zur Unterschrift vorlegen.

Datum	Zeit (0,5h genau)	Zwischen- summe (fortlaufend aufsummiert)	Tätigkeit	Unterschrift
20.4	3h	3	ELO Dokumente sortieren; Einlesen	
22.4	4h	7	Latex Setup; Einlesen Xilinx Doku	
23.4	2h	9	Systemblockbild; Aufgabenteilung	
26.4	1,5h	10,5	Registermapping	
27.4	1,5h	12	Registermapping	
6.5	1,5h	13,5	Statusmeeting	
6.5	0,5h	14	Setup Vorlageprojekt	
9.5	3h	17	Wiederholung Verarbeitungsfolien	
9.5	3h	20	Recherche Referenz Projekte	
13.5	0,5h	20,5	Statusmeeting	P.M.
13.5	2,5h	23	Erstellung timing-controller, Icd-controller	P.M.
16.5	4h	27	- " -	
17.5	4h	31	- " -	
20.5	0,5h	31,5	Statusmeeting	P.M.
20.5	2h	33,5	Kürzung offene Punkte Prof. Timings angepasst, Register für initialisierung angepasst (RS, RW)	P.M.
21.5	3h	36,5	Neugestaltung LCD Controller, TB-Timing	
23.5	5h	41,5	Init + Write LCD Controller fertig, TB begonnen	
27.5	0,5h	42	Statusmeeting	
28.5	3h	45	Debugging LCD Controller	
30.5	3h	48	Anpassungen Sensitivity List + ungewünschte Latches	
30.5	4h	52	Axi Wiederholung, Axi Dateien angepasst	
2.6	3h	55	Debugging, erste Zeichen geschrieben	
2.6	1h	56	Axi VIP erster Entwurf	
3.6	0,5h	56,5	Statusmeeting	
3.6	2,5h	59	Anpassung Registermap, Rückprobe Prof	
3.6	6,5h	65,5	Clear Display, Return Home, Line Break	
5.6	2h	67,5	Anpassung AXI an neues Registermapping	
6.6	4h	71,5	- " - + Implementierung Generic Prof TB-Timing	
10.6	1h	72,5	+ Einbindung AXI TB	
10.6	3h	74,5	Bugfixing AXI TB, Anpassung Generic Mip bis AXI TB	
11.6	2,5h	77	Bugfixing AXI TB,	
11.6	3h	80	AXI TB fertiggestellt	
15.6	0,5h	80,5	IP gepackt	
17.6	0,5h	81	Statusmeeting	
18.6	4h	85	Integration HW ISW, Bugfixing SW	
20.6	3h	88	Bericht	
24.6	1h	89	Statusmeeting	
24.6	3h	92	Projektfertigstellung	P.M.