



**universidade de aveiro**  
theoria poiesis praxis

# Relatório - Controlador da intensidade dos 18 LEDs vermelhos (Versão 1)

Turma P11 – Ricardo Azevedo (84730) e Fábio Alves (84734)

Universidade de Aveiro - Laboratórios de Sistemas Digitais

07 de Maio de 2017

# Conteúdo

Especificações do Sistema .....	3
Arquitetura detalhada do sistema .....	3
Arquitetura faseada do desenvolvimento e validação.....	4
Divisão do trabalho entre os dois elementos do grupo .....	4
Manual do Utilizador.....	4

## Especificações do Sistema

Para este sistema é pedido que o próprio altere a intensidade dos LEDs vermelhos existentes em dois FPGAs. A alteração da intensidade será controlada através dos botões disponíveis nas FPGAs (Keys), os LEDs serão acesos também com estes botões.

Os dois FPGAs estarão ligados entre si e as ações de cada botão de um dos FPGAs fará a alteração correspondente no outro FPGAs, resumindo cada FPGA é controlado pelo outro. Assim que existir uma alteração na intensidade dos Leds vermelhos um dos LEDs verdes acende durante um décimo de segundo permitindo confirmar assim a sua alteração. Além disso nos displays será mostrada a operação em curso (tudo apagado se não estiver a acontecer nada, o texto RE se o botão de redução estiver a ser carregado e o texto AU se o botão de aumento estiver a ser carregado).

## Arquitetura detalhada do sistema

Este sistema vai consistir em 6 componentes principais. Estes componentes serão 2 timer, 2 contadores, 1 comparador, 1 decoder, e posteriores condições finais.

Um timer vai verificar se uma das teclas KEY (1 ou 2) é premida durante mais de 2 segundos, não funcionando caso haja mais que uma tecla carregada, retornando 1 enquanto isto acontecer. O outro vai manter a saída a '1' durante 5 milhões de ciclos caso a KEY (0 ou 1) sejam premidos e depois passará para '0' este timer controlará um LEDG.

Os Contadores o primeiro irá ocorrer uma contagem de 0 até 1279, sendo adicionada 1 unidade em cada ciclo de relógio, de forma a garantir que os leds não se encontram desligados mais de 1279 ciclos. O segundo por sua vez fará também a mesma contagem, porém não aumentará apenas uma unidade mas sim  $2 \times 20$  ou  $5 \times 20$  dependendo do valor que provem do timer e da KEY(0). Este ultimo terá na sua constituição um caso que permitirá fazer a contagem regressiva se o KEY(1) for carregado, na mesma proporção anteriormente mencionada, ou seja decrescerá  $2 \times 20$  ou  $5 \times 20$  unidades.

O comparador vai verificar se o segundo contador possui um valor superior ao primeiro e em caso afirmativo passará a sua saída para '1'.

O decoder será de 4 para 8 de forma a permitir a existência de todos os números bem como as 4 letras necessárias que vão aparecer em dois dos displays de 7 segmentos, os números servirão para colocar o nível de brilho em dois dos outros displays.

As condições finais são realizadas nas atribuições das diferentes variáveis aos LEDR. Estas são LEDR passarão a um sempre que sempre que o SW respectivo estiver a um e a saída da comparação for um, ou caso o KEY(2) seja carregado e apenas se o KEY(3) não o for também.

Numa parte final iremos realizar modulo\_comunicação que vai realizar a comunicação entre 2 kits FPGA, para tal a saída UART\_TXD enviará um conjunto de bits, que começará por um e terminara com o mesmo, que serão recebidos pela entrada UART\_RXD que verificará o primeiro bit no caso de ser zero significará que nada foi enviado. Este envio ocorre através de um único cabo.

## Arquitetura faseada do desenvolvimento e validação

No nosso planeamento, os módulos precisam de estar todos individualmente feitos até dia 21 de Maio. Desde esse dia, até ao dia 26 procederemos com todos os testes e validações necessários para simular o funcionamento do sistema. No máximo, dia 30 de Maio, o sistema tem de estar completamente funcional, com todos os testes realizados e a funcionar corretamente na FPGA, para podermos ter tempo para nos preparar caso algo corra fora do previsto.

## Divisão do trabalho entre os dois elementos do grupo

Decidimos dividir o trabalho da seguinte forma. O Fábio Alves vai trabalhar com as entidades:

- Timers;
- Contadores;
- Comparador;
- Decoder;

O Ricardo Azevedo vai trabalhar com as entidades:

- Shift Register;
- Modulo Comunicação;

Cada aluno deverá realizar as suas TestBenches às entidades nucleares de forma a certificar-se de que estão a funcionar corretamente. Não deverão apenas fazer TestBenches à entidade criada, mas também às ligações entre as entidades, de forma a garantir a sanidade do sistema.

## Manual do Utilizador

O utilizador tem à sua disposição quatro botões onde pode modificar o comportamento do circuito. No primeiro botão (KEY(0)) e o segundo botão (KEY(1)) , pode aumentar ou reduzir a intensidade do brilho, com os dois botões seguintes (KEY(2) e KEY(3)) poderá ligar ou apagar todos os LEDRs vermelhos. Os botões e as funções estão descritas na mesma ordem.