FRECUENCIA DE SALIDA DE SEÑALES LVDS

9.2.2.4 ADC Operation

9.2.2.4.1 ADC Clock Configurations

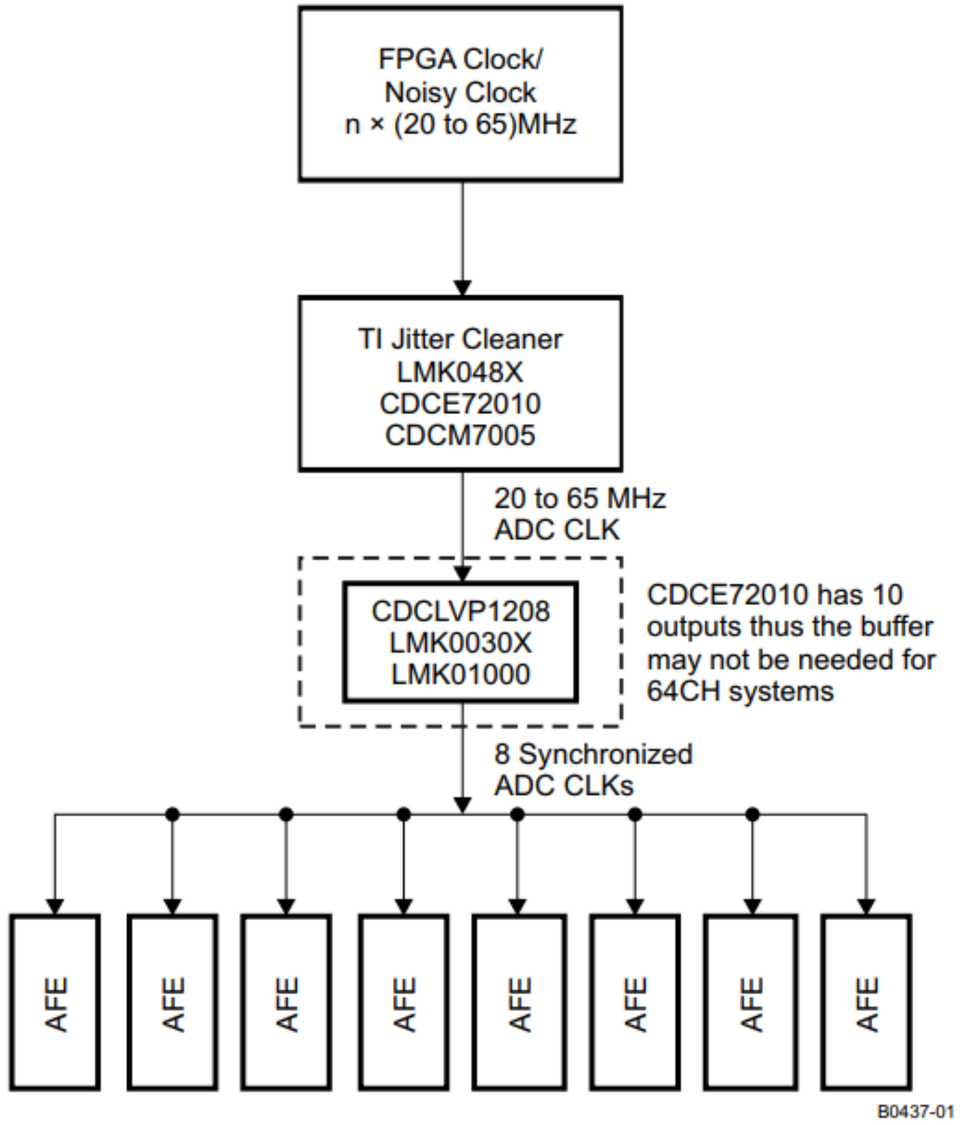


Figure 90. ADC Clock Distribution Network

Para garantizar que el retraso de apertura y el jitter sean los mismos en todos los canales, el dispositivo AFE5808A **utiliza una red de distribución de reloj para generar relojes de muestreo individuales para cada canal. El reloj, para todos los canales, está igualado desde el punto de origen hasta el circuito de muestreo de cada uno de los ocho ADC internos.** La variación en este retraso se describe en el parámetro de retraso de apertura de la temporización de la interfaz de salida. Su variación está dada por el valor de jitter de apertura en la misma tabla.

Fuente de reloj
La señal de reloj proviene de una fuente como un FPGA

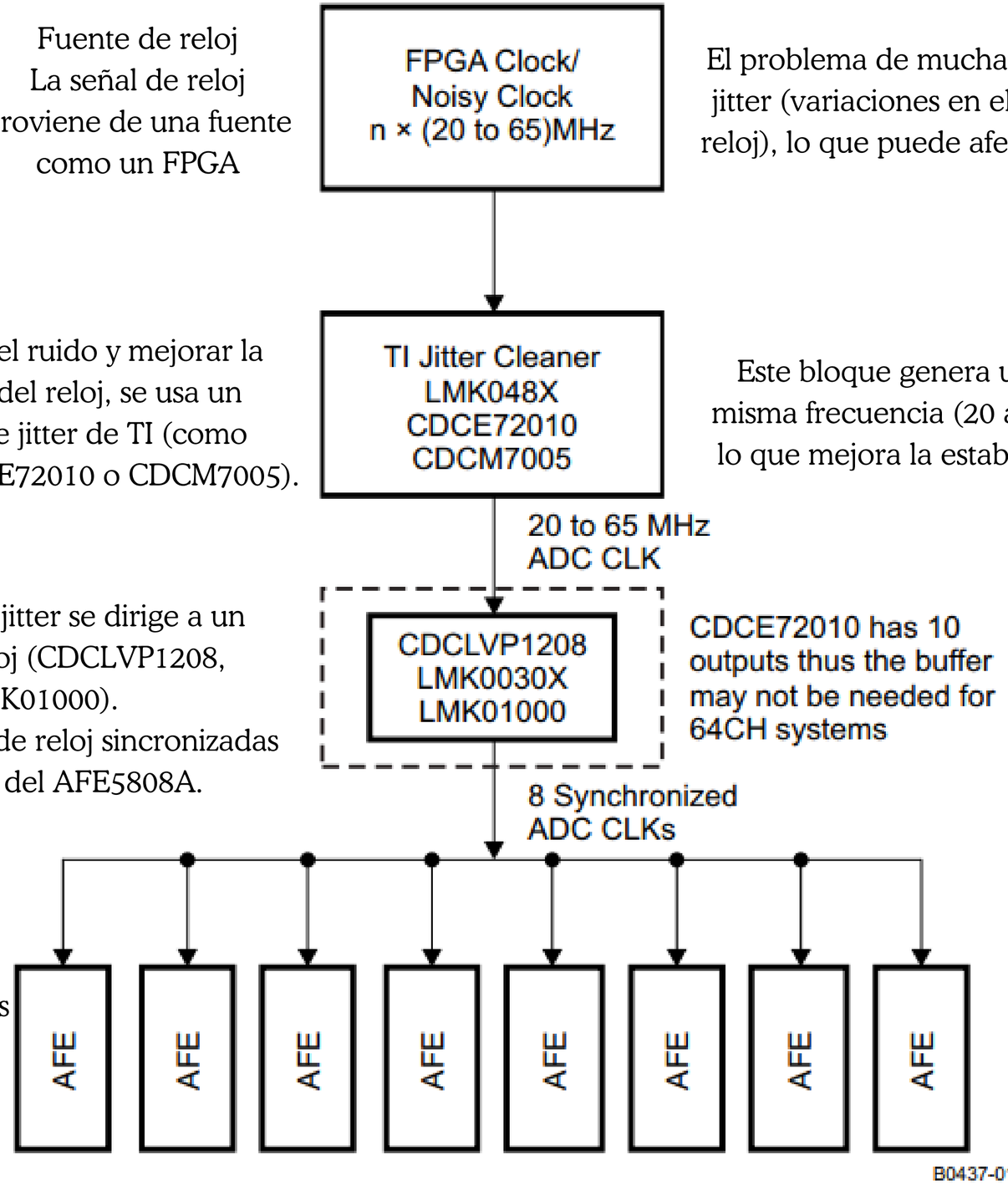
El problema de muchas fuentes de reloj es que tienen jitter (variaciones en el tiempo de las transiciones del reloj), lo que puede afectar la conversión de los ADCs.

Para reducir el ruido y mejorar la estabilidad del reloj, se usa un limpiador de jitter de TI (como LMK048X, CDCE72010 o CDCM7005).

Este bloque genera una señal de reloj limpio con la misma frecuencia (20 a 65 MHz) pero con menor jitter, lo que mejora la estabilidad de muestreo de los ADCs.

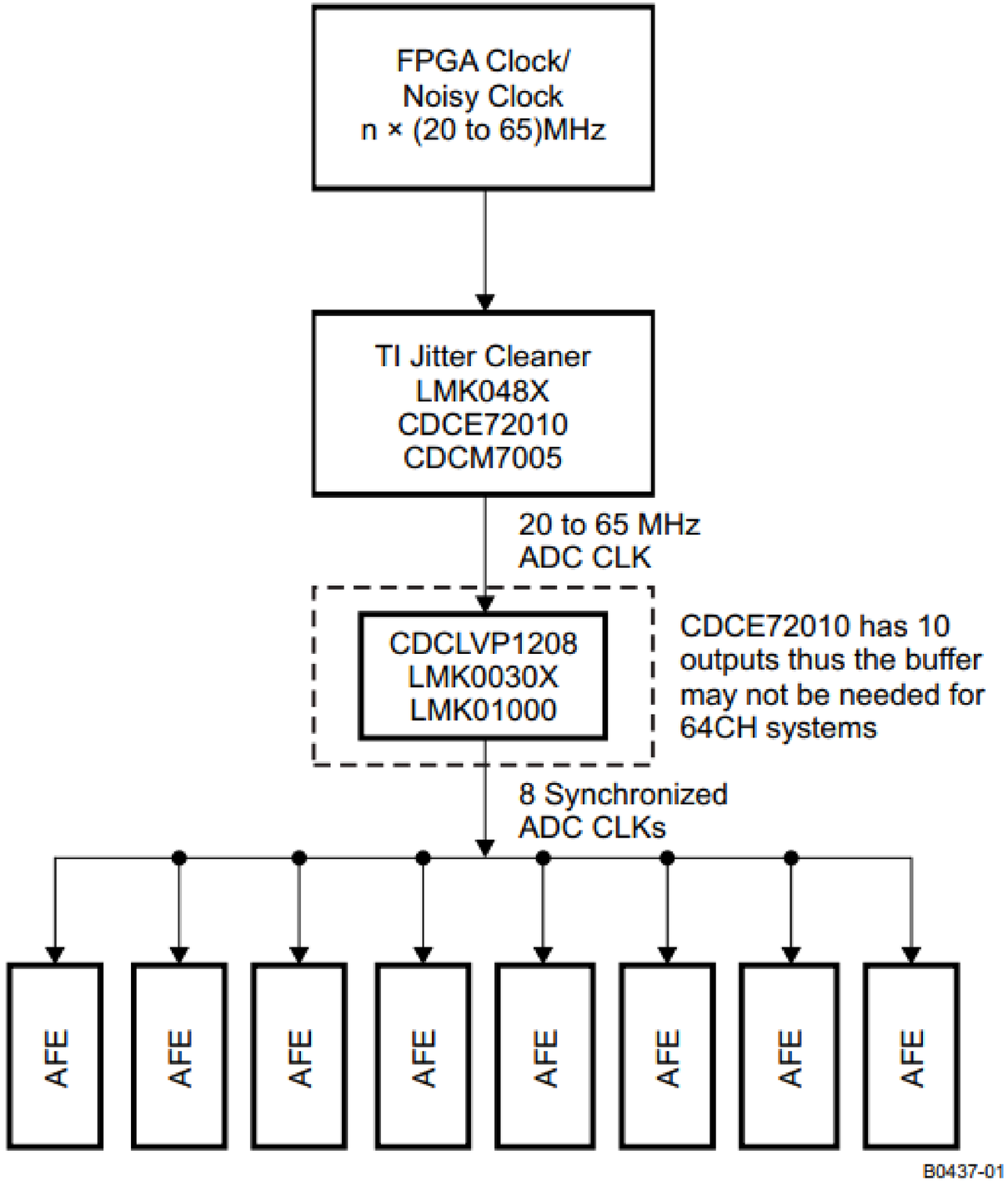
La salida del limpiador de jitter se dirige a un buffer/distribuidor de reloj (CDCLVP1208, LMK0030X o LMK01000).
Este buffer genera 8 señales de reloj sincronizadas para los ADCs internos del AFE5808A.

Cada AFE recibe una de estas señales de reloj sincronizadas, asegurando que todos los canales tengan el mismo retardo de apertura y jitter.



Los ADCs internos del AFE5808A muestrean las señales analógicas en base a este reloj de muestreo sincronizado.

La conversión digital de las señales se transmite mediante una interfaz LVDS con una frecuencia que depende del reloj del ADC.



Este esquema se encarga de limpiar el reloj de entrada, distribuirlo de manera sincronizada y alimentar los ADCs para que trabajen sin diferencias de fase entre canales.

El parámetro clave es la frecuencia del reloj de entrada al AFE5808A, ya que las señales LVDS dependen del muestreo de los ADCs.

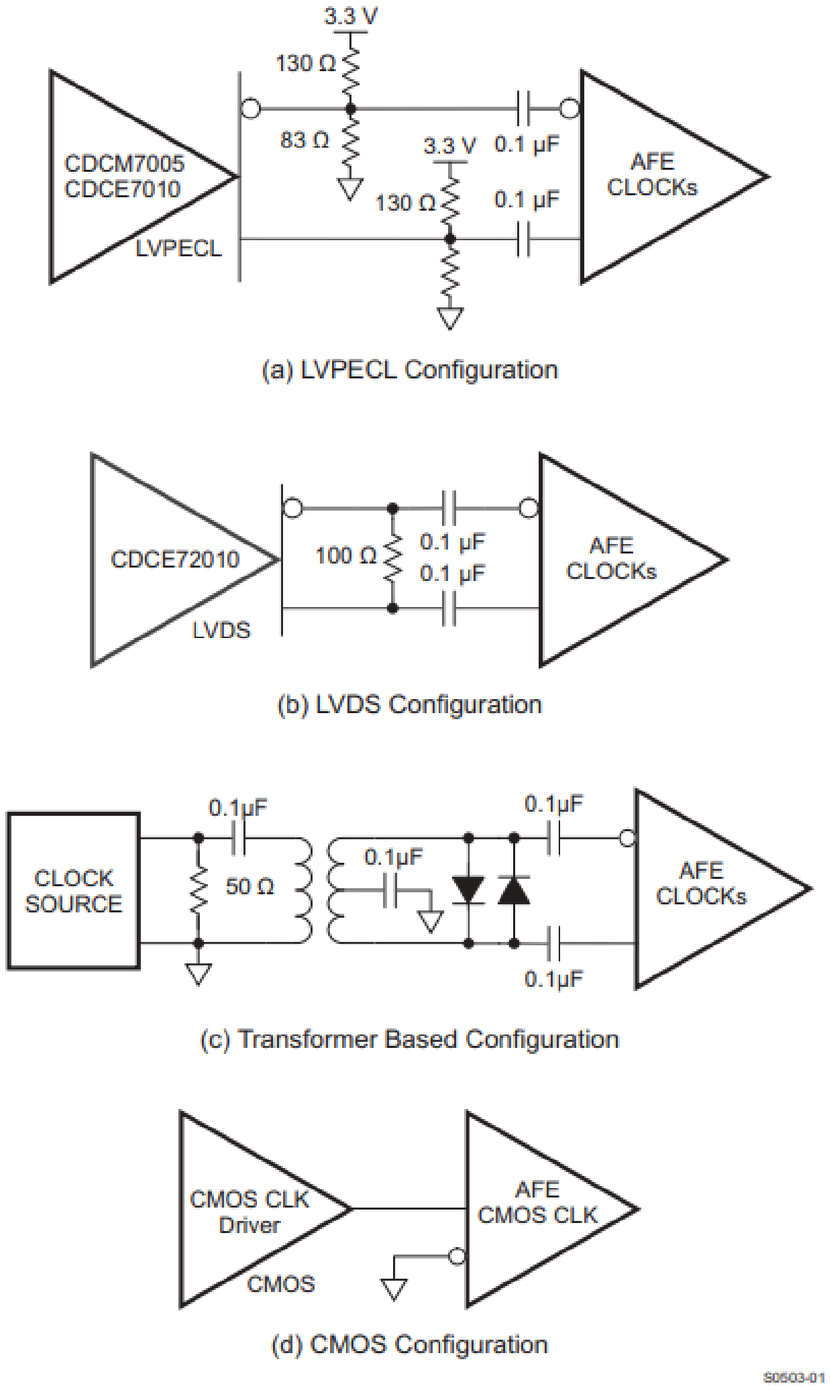


Figure 88. Clock Configurations

La entrada de reloj del ADC en el AFE5808A puede ser accionada por relojes diferenciales (onda senoidal, LVPECL o LVDS) o relojes de un solo extremo (LVCMOS), similares a los relojes CW, como se muestra en la Figura 88. En el caso de una entrada de un solo extremo, TI recomienda el uso de señales cuadradas de bajo jitter (niveles LVCMOS, amplitud de 1.8 V). Para más detalles sobre la teoría, consulte el informe técnico de TI Clocking High-Speed Data Converters SLYT075.

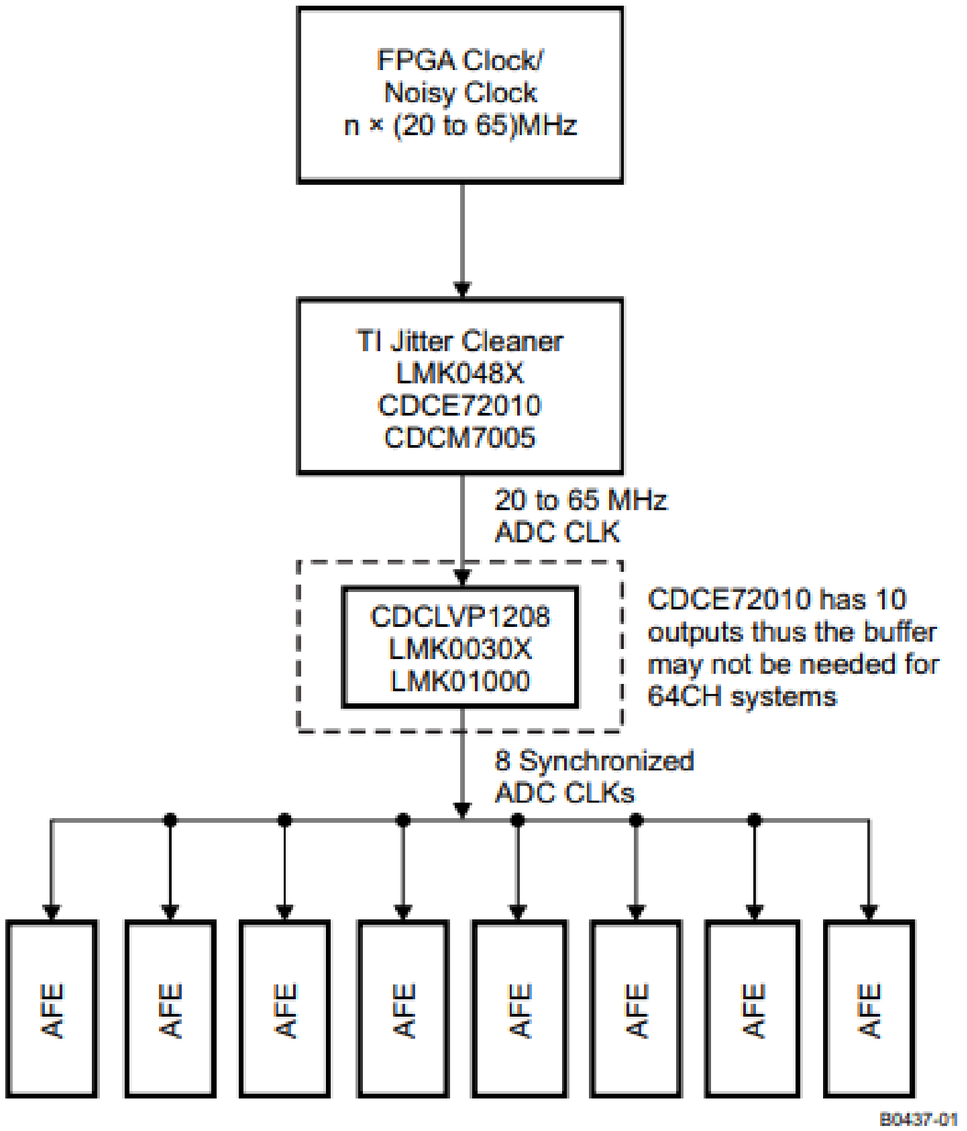


Figure 90. ADC Clock Distribution Network

El limpiador de jitter LMK048X/CDCM7005/CDCE72010 es adecuado para generar el reloj del ADC del AFE5808A y garantizar el rendimiento del ADC de 14 bits con 77 dBFS SNR. Una red de distribución de reloj se muestra en la Figura 90.

9.3.4 Using a Clock Source With Excessive Jitter, an Excessively Long Input Clock Signal Trace, or Having Other Signals Coupled to the ADC or CW Clock Signal Trace

These situations cause the sampling interval to vary, causing an excessive output noise and a reduction in SNR performance. For a system with multiple devices, the clock tree scheme must be used to apply an ADC or CW clock. See the *Switching Characteristics* section for clock mismatch between devices, which can lead to latency mismatch and reduction in SNR performance. Clocks generated by FPGA may include excessive jitter and must be evaluated carefully before driving ADC or CW circuits.

9.3.5 LVDS Routing Length Mismatch

The routing length of all LVDS lines routing to the FPGA must be matched to avoid any timing related issue. For systems with multiple devices, the LVDS serialized data clock (DCLKP, DCLKM) and the frame clock (FCLKP, FCLKM) of each individual device must be used to deserialize the corresponding LVDS serialized data (DnP, DnM).

7.7 Switching Characteristics

Typical values are at 25°C, AVDD_5V = 5 V, AVDD = 3.3 V, AVDD_ADC = 1.8 V, DVDD = 1.8 V, differential clock, C_{LOAD} = 5 pF, R_{LOAD} = 100 Ω, 14 bit, sample rate = 65MSPS (unless otherwise noted). Minimum and maximum values are across the full temperature range T_{MIN} = 0°C to T_{MAX} = 85°C with AVDD_5V = 5 V, AVDD = 3.3 V, AVDD_ADC = 1.8 V, DVDD = 1.8 V(1)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
ta	Aperture delay	The delay in time between the rising edge of the input sampling clock and the actual time at which the sampling occurs	0.7	3		ns
	Aperture delay matching	Across channels within the same device		±150		ps
t_j	Aperture jitter			450		Fs rms
	ADC latency	Default, after reset, or 0 x 2 [12] = 1, LOW_LATENCY = 1		11/8		Input clock cycles
t_{delay}	Data and frame clock delay	Input clock rising edge (zero cross) to frame clock rising edge (zero cross) minus 3/7 of the input clock period (T).	3	5.4	7	ns
Δt_{delay}	Delay variation	At fixed supply and 20°C T difference. Device to device	–1		1	ns
t_{RISE}	Data rise time	Rise time measured from –100 to 100 mV, fall time measured from 100 mV to –100 mV, 10 MHz < f_{CLKIN} < 65 MHz		0.14		ns
t_{FALL}	Data fall time			0.15		
$t_{FCLKRISE}$	Frame clock rise time	Rise time measured from –100 mV to 100 mV, fall time measured from 100 mV to –100 mV, 10 MHz < f_{CLKIN} < 65 MHz		0.14		ns
$t_{FCLKFALL}$	Frame clock fall time			0.15		
	Frame clock duty cycle	Zero crossing of the rising edge to zero crossing of the falling edge	48%	50%	52%	
$t_{DCLKRISE}$	Bit clock rise time	Rise time measured from –100 to 100 mV, fall time measured from 100 mV to –100 mV, 10 MHz < f_{CLKIN} < 65 MHz		0.13		ns
$t_{DCLKFALL}$	Bit clock fall time			0.12		
	Bit clock duty cycle	Zero crossing of the rising edge to zero crossing of the falling edge 10 MHz < f_{CLKIN} < 65 MHz	46%		54%	

(1) Timing parameters are ensured by design and characterization; not production tested.

7.8 Timing Requirements

Minimum values across full temperature range T_{MIN} = 0°C to T_{MAX} = 85°C, AVDD_5V =5 V, AVDD = 3.3 V, AVDD_ADC = 1.8 V, DVDD = 1.8 V

PARAMETER	DESCRIPTION	MIN	TYP	MAX	UNIT
t_1	SCLK period	50			ns
t_2	SCLK high time	20			ns
t_3	SCLK low time	20			ns
t_4	Data setup time	5			ns
t_5	Data hold time	5			ns
t_6	$\overline{SEN}$ fall to SCLK rise	8			ns
t_7	Time between last SCLK rising edge to $\overline{SEN}$ rising edge	8			ns
t_8	SDOUT delay	12	20	28	ns

7.9 Output Interface Timing(1)(2)(3)

f_{CLKIN}, INPUT CLOCK FREQUENCY	SETUP TIME (t_{su}), ns			HOLD TIME (t_h), ns			t_{PROG} = (3/7)x T + t_{delay}, ns		
	DATA VALID TO BIT CLOCK ZERO-CROSSING			BIT CLOCK ZERO-CROSSING TO DATA INVALID			INPUT CLOCK ZERO-CROSS (rising edge) TO FRAME CLOCK ZERO-CROSS (rising edge)		
MHz	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX
65/14bit	0.24	0.37		0.24	0.38		11	12	12.5
50/14bit	0.41	0.54		0.46	0.57		13	13.9	14.4
40/14bit	0.55	0.70		0.61	0.73		15	16	16.7
30/14bit	0.87	1.10		0.94	1.1		18.5	19.5	20.1
20/14bit	1.30	1.56		1.46	1.6		25.7	26.7	27.3

(1) FCLK timing is the same as for the output data lines. It has the same relation to DCLK as the data pins. Setup and hold are the same for the data and the frame clock.
(2) Data valid is logic HIGH = +100 mV and logic LOW = –100 mV
(3) Timing parameters are ensured by design and characterization; not production tested.

NOTE

The previous timing data can be applied to 12-bit or 16-bit LVDS rates as well. For example, the maximum LVDS output rate at 65 MHz and 14-bit is equal to 910 MSPS, which is approximately equivalent to the rate at 56 MHz and 16-bit.

REVISAR PÁG. 18 DEL DATASHEET